

アバランシェ・フォトダイオードを用いた
次世代PET用LSIの開発

小泉 誠

卒業論文

東京工業大学 理学部 物理学科 河合研究室

学籍番号 03_27741

2007年 3月

(最終版)

要旨

陽電子放出断層撮影 (PET) とは、被験者に陽電子放出核種を投与し、体内から放出される対消滅ガンマ線を利用してがん細胞の位置を特定する最新のがん検査法である。がんの形状のみならず活動性まで可視化できること、また一度に全身を検査でき、放射線被曝量も少ないことなどから、がんの再発・転移の診断等で特に有効性が認められている。一方で、検査装置の大型化や高い検査コスト、空間分解能の制限などといった問題が PET の広い普及を妨げており、誰もが気軽に検査を受けられる状況であるとは言い難い。

このような現状を改善するため、アバランシェ・フォトダイオード (APD) と呼ばれる半導体検出器を用いて全く新しい PET 装置の開発を行う。内部に電荷増幅機能を持つ高感度な光検出器である APD を 8×8 ch ないし 16×16 ch にアレー化し、専用のアナログ信号処理 LSI (Large Scale Integration circuit : 大規模集積回路) と共にハイブリッドセンサユニット化することで、今までにない小型高性能かつ低コストな「拡張型次世代 PET」を実現することが可能になる。

本論文では PET 及び APD の概要と、それらを組み合わせた次世代 PET 用のアナログ信号処理 LSI について開発を行った結果について述べる。まず PET に要求される回路の仕様をリストアップし、次に Open-IP と呼ばれる動作検証済みの回路ブロックを組み合わせ、さらに SPICE シミュレーション等の方法を用いて動作検証を行い、最終的に低雑音 (等価雑音電荷で 1000 electron 以下) かつ 10 倍のダイナミックレンジを有し、600 ps 以内の時間分解能を持つ高速なアナログ信号処理回路を設計することに成功した。

目次

第1章	はじめに	8
第2章	陽電子放出断層撮影 (PET)	11
2.1	PET の原理	11
2.2	従来の PET の特徴と拡張型モバイル PET	12
2.3	タイム・オブ・フライト型次世代 PET	15
第3章	アバランシェ・フォトダイオードを用いた撮像検出器	16
3.1	半導体検出器の原理	16
3.2	アバランシェ・フォトダイオード (APD)	17
3.3	PET への応用	19
第4章	APD-PET 専用 LSI の設計	20
4.1	開発目的	20
4.2	LSI 開発の基礎	21
4.2.1	集積回路とは	21
4.2.2	ASIC	21
4.2.3	CMOS プロセス	22
4.2.4	LSI 設計の流れ	23
4.3	開発スケジュール	25
4.4	システム設計	26
4.5	回路設計環境	27
4.6	全体構成	28
4.7	部品設計	32
4.7.1	入出力インターフェース	33
4.7.2	電荷増幅回路	34
4.7.3	増幅要素の構成	35

4.7.4	高抵抗回路	36
4.7.5	バッファ回路	36
4.7.6	波形整形回路	37
4.7.7	微分回路	38
4.7.8	VALID 判定回路	39
4.7.9	アナログ加算回路	40
4.7.10	時間電圧変換回路	41
4.7.11	バイアス回路	42
4.7.12	静電気保護回路	43
第 5 章	APD-PET 用 LSI の性能評価	44
5.1	シミュレーションについて	44
5.2	アナログ回路シミュレーション	44
5.2.1	SPICE シミュレータ	44
5.2.2	過渡特性	46
5.2.3	パルス波形の検出器容量依存性	48
5.2.4	リニアリティ評価	50
5.2.5	ノイズ評価	51
5.2.6	スキュー解析	53
5.2.7	温度解析	54
5.2.8	電源電圧の変動による影響	55
5.2.9	FAST のクロス電圧の最適化	56
5.2.10	消費電力	57
5.2.11	アナログ回路シミュレーション結果のまとめ	58
5.3	デジタル回路シミュレーション	60
5.3.1	verilog-HDL シミュレータ	60
5.3.2	コントロールレジスタとは	61
5.3.3	ローカルコントロールレジスタ	61
5.3.4	セントラルコントロールレジスタ	63
5.3.5	パラレル/シリアル変換回路	65
5.3.6	デジタル回路シミュレーション結果の考察	66
第 6 章	まとめ	67

付録A	68
A.1 略語集	68
付録B	69
B.1 APD-PET用LSIのピン対応図およびレイアウト図	69
付録C	74
C.1 SPICE ネットリスト	74

目 次

1.1	癌による死亡率の推移 [1]	8
1.2	(左)32 ch APD アレー素子 (右) ピクセルシンチレータとの組み合わせ	9
1.3	同じ集光力の APD と PMT	10
1.4	アナログ信号処理 LSI	10
2.1	PET の原理 [4] (左) 同時計数の仕組み (右) リング状の検出器	11
2.2	実際の PET 画像 [5] (左) リンパ節転移 (中) 乳がん (右) 全身転移	12
2.3	ハイブリッドセンサユニット	14
2.4	拡張型 PET の概念 (左) 従来の PET 装置 [7] (右) 拡張型モバイル PET	14
2.5	TOF-PET の原理	15
3.1	p-n 型半導体のバンド構造	16
3.2	半導体検出器の構造	16
3.3	APD の種類 (a) 斜めエッジ型 (b) リーチスルー型 (c) リバース型 [10]	18
4.1	nMOSFET の構造	22
4.2	LSI 設計の流れ	23
4.3	本チップの開発スケジュール	25
4.4	本チップのシステム全体図	28
4.5	CHAIN1 における信号処理の流れ	29
4.6	時間電圧変換回路 (TAC) と TOF 情報	30
4.7	信号モニタシステム	31
4.8	回路全体図	32
4.9	シングルエンド伝送と差動伝送の違い	33
4.10	電荷増幅回路の回路図	34
4.11	PRC2 の回路図	35
4.12	高抵抗回路の回路図	36
4.13	バッファ回路の回路図	37

4.14	波形整形回路の回路図	37
4.15	簡略化した波形整形回路の回路図	38
4.16	微分回路の回路図	39
4.17	VALID 判定回路	40
4.18	アナログ加算回路	40
4.19	TAC 回路	41
4.20	TAC 回路のタイミングチャート	41
4.21	バイアス回路	42
5.1	テストパルス入力に対する過渡応答	47
5.2	2種類のAPDにおける波形の変化	48
5.3	波形の検出器容量依存性	49
5.4	リニアリティ評価 (SLOW)	50
5.5	リニアリティ評価 (FAST)	50
5.6	ノイズ感度 (SLOW)	51
5.7	ノイズ感度 (FAST)	51
5.8	ノイズ総量 (SLOW)	52
5.9	ノイズ総量 (FAST)	52
5.10	ノイズ評価 (左) 容量に対する S/N 比 (右) 等価雑音電荷	52
5.11	スキュー解析	54
5.12	温度解析	55
5.13	電源電圧の変動による影響	55
5.14	-14 fC ~ -18 fC の電荷入力に対する応答	56
5.15	基準電圧 -54.0 mV に対する FAST のクロス時間	57
5.16	ローカルコントロールレジスタ	61
5.17	LCR のシミュレーション結果	62
5.18	セントラルコントロールレジスタ	63
5.19	セントラルコントロールレジスタのシミュレーション結果	64
5.20	LSI チップからのデータ読み出し回路	65
5.21	パラレル/シリアル変換回路	65
5.22	パラレル/シリアル変換回路のシミュレーション結果	66
B.1	ピン配置対応図	69

B.2 完成したレイアウト図 (3 mm × 3 mm) 73

表 目 次

3.1	シンチレーション検出器の比較	17
4.1	APD-PET 読み出し回路チップパラメータ	27
4.2	バイアス電圧のモニタ出力	43
4.3	今回使用するパッドの種類と用途	43
5.1	シンチレータの特性	46
5.2	テストパルス入力に対する過渡応答	47
5.3	本 LSI チップの消費電力	57
5.4	LCR の各ビットの役割	62
5.5	セントラルコントロールレジスタの各ビットの役割	63
5.6	モニタ出力信号の選択	64
A.1	本論文中の専門用語	68
B.1	ピン配置一覧表	70

第1章 はじめに

癌は昭和56年から日本人の死因の第1位を占め、現在では年間約50万人が罹患し、そのうち約30万人が死亡している。図1.1に日本における癌の死亡率の推移を示す。実に日本人の3人に1人は癌で死亡していることになる。

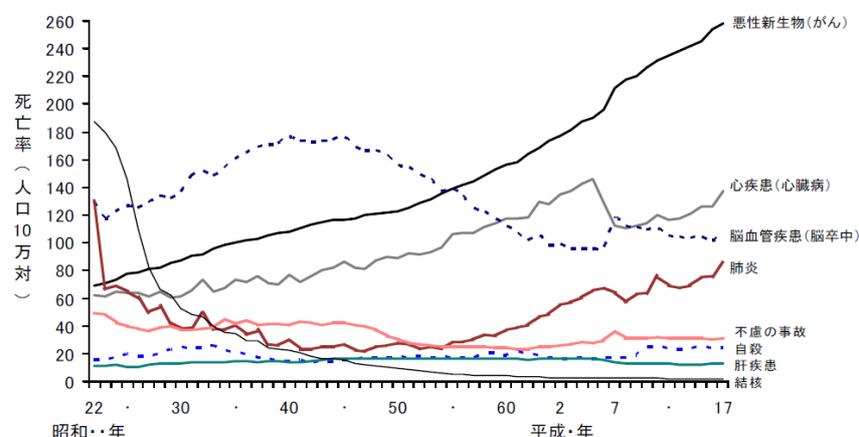


図 1.1: 癌による死亡率の推移 [1]

しかし、癌は早期発見、早期治療を行えば決して不治の病ではない。近年、陽電子放出断層撮影 (PET : Positron Emission Tomography) を利用した癌診断への関心が高まっている。PET とは、陽電子を放出する半減期の短い放射性同位元素を利用した画像診断方法である。従来の癌検診に比べて約 10 倍の発見率があると言われ、癌の早期発見を実現する上で欠かせない存在になりつつある [2]。

一方で、検査装置の大型化や高い検査コストなどといった問題が PET の広い普及を妨げており、途上国や地方医療の場において十分な活躍をしているとは言えず、誰もが気軽に検査を受けられる状況ではないのが現状である。また、空間分解能の制限から PET で確実に捕えることができる腫瘍は少なくとも 5~10 mm 程度の大きさが必要であり、これより小さな癌や、薄く広がった癌には対応することができない。そのため根本的な撮像技術の見直しが必要である。

近年、光電子増倍管 (PMT : PhotoMultiplier Tube) に代わる優れた光検出器としてアバランシェ・フォトダイオード (APD : Avalanche Photo Diode) が注目を集めている。APD は微弱な信号を内部増幅するシリコン半導体検出器であり、PMT の約 4 倍の優れた感度と低い雑音レベルを同時に実現する。本研究室ではコンパクトで高感度な APD の特性を生かし、 4×8 ch にアレー化した APD アレー素子を用いて、数 mm 程度の空間分解能を持つガンマ線カメラの試作に成功している [3]。

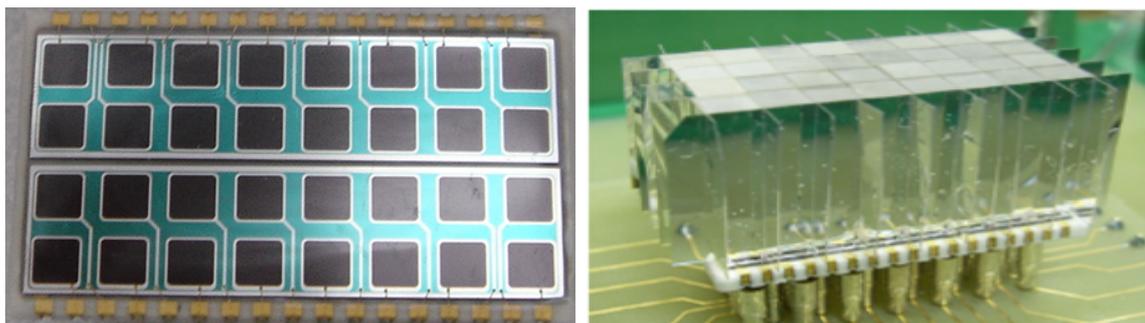


図 1.2: (左)32 ch APD アレー素子 (右) ピクセルシンチレータとの組み合わせ

従来技術では、PET 用の放射線検出器としてシンチレータに PMT を組み合わせたものが用いられていた。しかし PMT は複雑な構造のため量産が難しく、またシンチレータと合わせて 15 cm 程度のスペースが必要となってしまうため、PET 装置の大型化と高価格化の原因になっていた。一方 APD アレーは量産すればコストを下げることができ、コンパクトで消費電力も小さいため、検出器部分の大幅な小型化が可能である (図 1.3)。また検出器の 1 ピクセル当たりのサイズも小型化できるので、空間分解能も大幅に向上させることができると考えられる。

撮像検出器の大型化には読み出し回路の複雑化・多チャンネル化にも原因がある。通常の PET では、PMT から引き出した数万チャンネル分の生の信号を一同に集め、外部で解析を行う手法が取られる。当然ながら装置の大型化は免れず、汎用性のない高額な装置となってしまう。一方で近年におけるアナログ回路集積技術の進展は目覚しく、国内でも数 mm サイズの低雑音・多チャンネル LSI が開発され始めている (図 1.4)。そこで 8×8 ch もしくは 16×16 ch 程度の APD アレー素子を多チャンネルのアナログ信号処理 LSI と組み合わせ、1 つの検出器ブロック単位で信号処理を行うことができれば、PET の処理系統が大幅に簡略化される結果、PET 装置全体を小型化することが可能になる。しかしながら、APD の読み出し用に特化した LSI はいまだに普及していない。

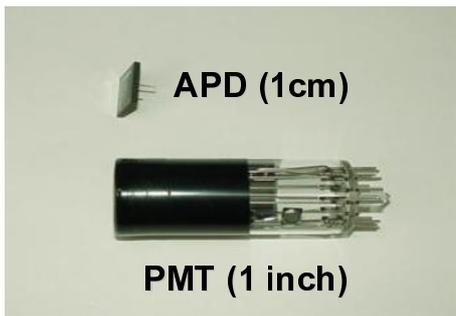


図 1.3: 同じ集光力の APD と PMT

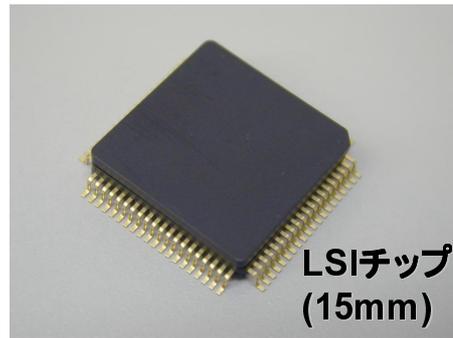


図 1.4: アナログ信号処理 LSI

そこで本論文では、APD アレーを撮像検出器として用いる APD-PET の実現に向けて新規に開発を行った、低雑音・多チャンネルアナログ信号処理 LSI の設計及び性能評価について述べる。将来的には本 LSI チップを APD アレー、ピクセルシンチレータと組み合わせで一体化し、フレキシブルな”拡張型次世代 PET”の実用化によって、誰もが手軽に高度な癌診断を受けることが可能なシステムの実現を目指している。

本論文の構成は以下の通りである。まず第 2 章で PET の基本的な原理と特徴をまとめ、我々の提案する拡張型モバイル PET の意義について述べる。第 3 章ではアバランシェ・フォトダイオードの原理と、撮像検出器として用いる方法について述べる。第 4 章では APD-PET 専用 LSI の開発目的と設計手順・設計スケジュールの説明を行い、具体的な回路構成について述べる。第 5 章では SPICE シミュレータ及び verilog シミュレータを用いた回路の性能評価を行い、第 6 章で LSI チップの総合的な評価を行う。

第2章 陽電子放出断層撮影 (PET)

2.1 PET の原理

陽電子放出断層撮影 (PET : Positron Emission Tomography) とは、陽電子放出核種から放出された陽電子が体内の電子と結合して対消滅する際に放出される消滅ガンマ線を検出することで、放射性薬剤の体内分布の画像化を行い様々な病気を診断する最新の検査法である。PET を癌診断に用いる場合、まず陽電子放出核種をブドウ糖と合成した薬剤 (FDG : フルオロデオキシグルコース) を体内に注入する。癌細胞は正常な細胞よりも活動性が高く、ブドウ糖を異常に多く取り込む性質があるため、一定時間経つと放射性薬剤である FDG は癌細胞に集まっていく。その結果、癌組織からは正常組織よりも 3 ~ 20 倍程度強い放射線が放出され、画像診断によってその位置を特定することが可能となる。

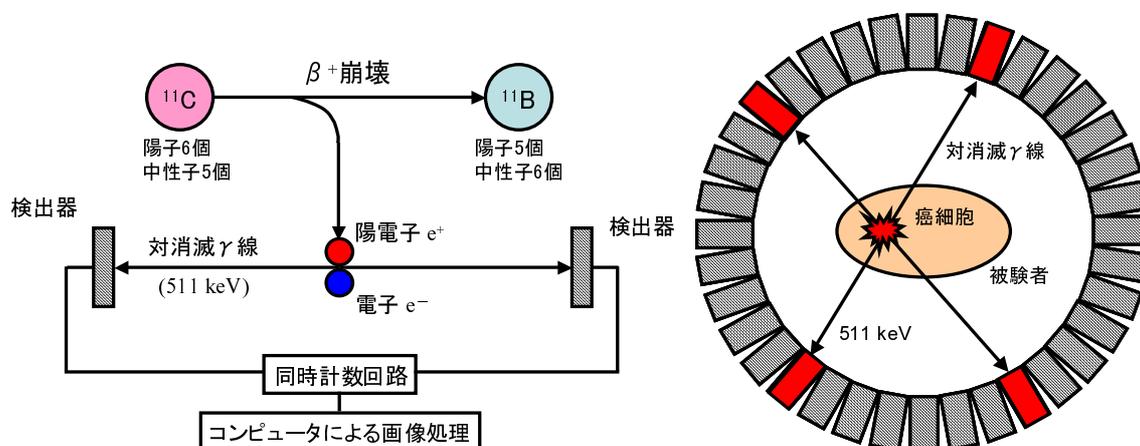


図 2.1: PET の原理 [4] (左) 同時計数の仕組み (右) リング状の検出器

PET の原理を図 2.1 に示す。陽電子放出核種から β^+ 崩壊によって放出された陽電子がその反粒子である電子と結合すると、電子と陽電子の全質量エネルギーが光子に転換される結果、511 keV の消滅ガンマ線が 180 度対向方向に 1 対だけ放出される。それを被験者を取り囲むようにリング上に配置した検出器を用いて検出する。同時計数回路は、ある一定の時間幅の中で同時に起こったイベントのみを計数する。対消滅線は同時に 2 つの検出

器で検出されるため、その2つの検出器を結ぶ線上 (LOR : Line of Response) のどこかに陽電子放出核種が存在することになる。このイベントを多数集めた後にコンピュータ処理を行うことで様々な方向からの投影データ (放射性薬剤の生体内分布) が得られる。PET の場合は同時計数によってガンマ線の入射方向を決められるため、コリメータが不要で感度が高く、構造も単純であるという特徴がある。図 2.2 に実際の PET 検査で見つかった癌の症例を示す [5]。

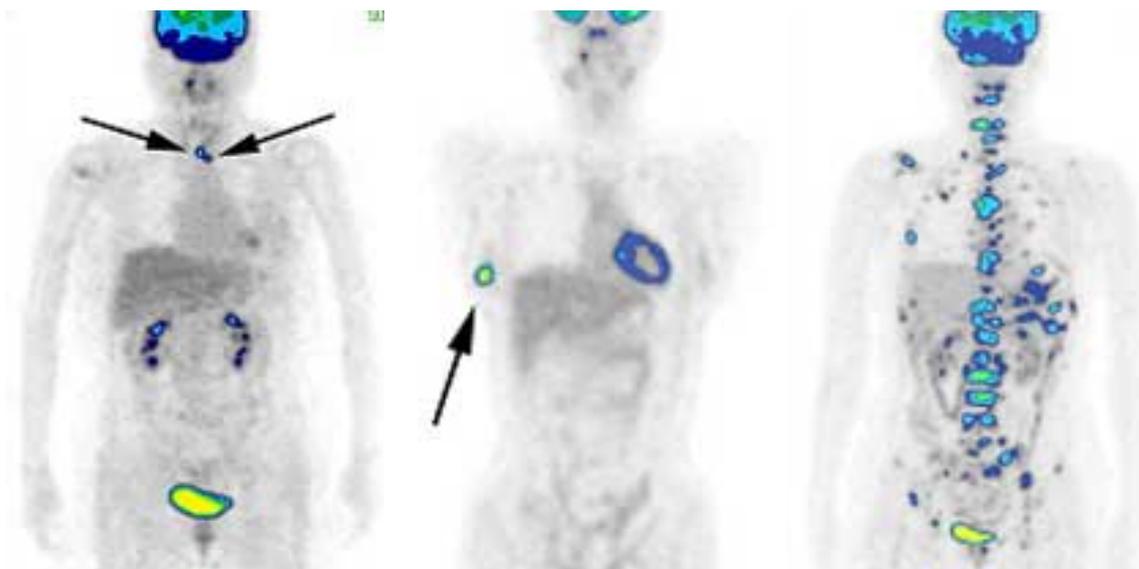


図 2.2: 実際の PET 画像 [5] (左) リンパ節転移 (中) 乳がん (右) 全身転移

左の画像を見ると、腎臓の部分は正常であるにもかかわらず PET に反応してしまっている。PET 検査では検査薬が集まった部分が画像上で光るため、腎臓や膀胱など排泄に関係した臓器や、元々ブドウ糖の消費が多い臓器に発生した癌は PET 単独では発見しにくい場合がある。

2.2 従来の PET の特徴と拡張型モバイル PET

PET は非常に有効な癌検査法であるが万能ではないため、その長所と短所について意識しておく必要がある。従来の PET の特徴を以下に述べる [6]。

長所

- X線 CT¹ (Computed Tomography: コンピュータ断層撮影) や MRI² (Magnetic Resonance Imaging: 核磁気共鳴画像法) は腫瘍の形態を見るだけだが、PET の場合は活動性の高い腫瘍ほど多くの放射性薬剤が集まり、放射線の強度が増大するため、腫瘍の形態のみならず「活動性」、すなわち「悪性度」まで見ることができる。
- 一度に全身を検査できるため、予期せぬ場所に生じた転移や再発を早期に発見可能である。従来のがん検診に比べて 10 倍の発見率があるとされる。
- 1 回の検査で受ける放射線の量は全身で 2 mSv 程度であり、体の一部を撮影するだけで 10 mSv 程度被爆してしまう X 線 CT に比べると被爆量は格段に少ない。

短所

- 使用する放射性核種は人体への影響を考慮して半減期の短いものを使用する必要があるため、小型のサイクロトロン等でその都度、生産しなければならない。その他にも放射性薬剤を合成するための自動合成装置、放射性薬剤の動態を画像化するための撮像装置など大がかりな設備が必要となるため、結果として検査費用も高くなってしまう。PET の検査費用は 1 回あたり 10 万円前後である。
- 感度と分解能の両立が難しく、用途に応じて全身用・頭部用・動物用など細分化されており汎用性が無い。
- 健康な人でも FDG が集積してしまう腎臓や膀胱の癌、組織の表面に沿って薄く広がってしまう傾向のある胃癌など、特定の癌に対して有用性が低い。
- 検出器のピクセルサイズの制限、及び陽電子の体内中での飛程と対消滅放射線の角度揺動のため、1 mm 以下の腫瘍を検出することは難しい。現状では少なくとも 5 ~ 10 mm 以上の大きさが必要である。

¹ X 線 CT は人体に様々な方向から X 線を照射し、それぞれの方向における X 線の吸収率を測定する。そうして得られたデータをコンピュータで画像処理することで、体の断面画像を得ることができる。放射線の被曝量は比較的多いが、解像度が高く、安価であるなどの利点がある。

² 高磁場中で人間の体にラジオ波を当てると、体の組織を構成している水素原子が共鳴を起こし、ラジオ波を発する。MRI はこのラジオ波をコンピュータで解析し、画像化する。磁場を利用するため放射線被曝が無く、また CT より画像のコントラストが高いという利点がある。

これらの短所の中でも、高い検査コストは経済的に恵まれない人々が高度な医療の恩恵を受ける機会の喪失に繋がるため、PETの最大の弱点であると言える。そこで我々は低コスト化への方法として、過去に例を見ない「拡張型モバイルPET」を提案する。

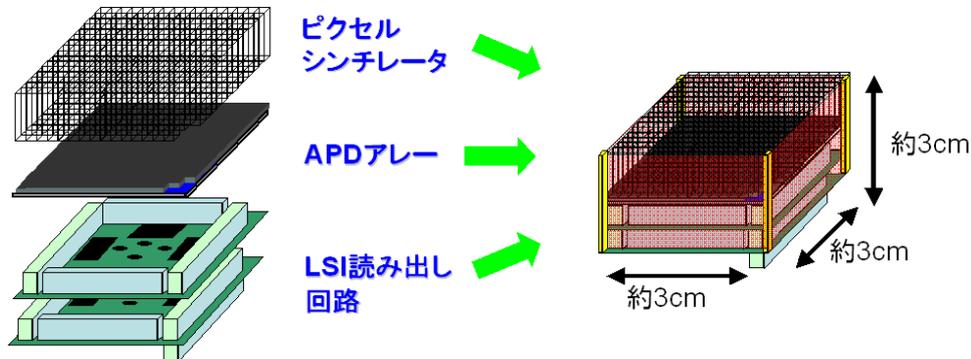


図 2.3: ハイブリッドセンサユニット

拡張型モバイルPETは、まず放射線を検出するピクセルシンチレータ、シンチレーション光を電気信号に変換するAPDアレー、信号処理を行う専用LSIを一体化させ、3cm角程度のハイブリッドセンサユニットを構成する(図2.3)。この極限まで小型化されたユニットをリング状に連結することで、小動物用から全身撮像用まで用途に応じて自由にサイズを変更させることが可能になり、広い汎用性を持たせることができる(図2.4)。

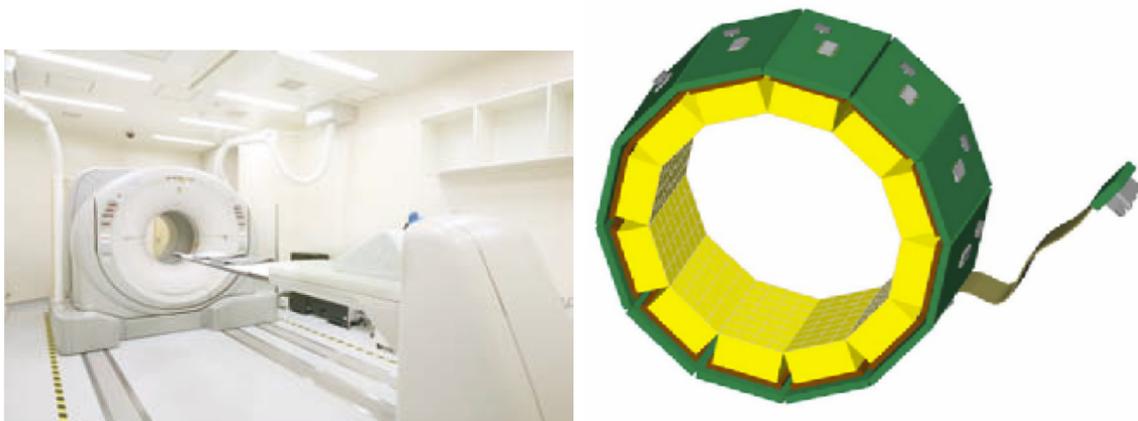


図 2.4: 拡張型PETの概念 (左) 従来のPET装置 [7] (右) 拡張型モバイルPET

またユニット毎に信号処理系が独立しているため、故障時などにおける保守性も大幅に向上させることができ、運用コストの削減にも効果が期待できる。さらに遠隔地への輸送も可能となり、地方医療の向上にも貢献することができると思われる。

2.3 タイム・オブ・フライト型次世代PET

近年、再構成画像の画質の向上を目的として、従来の LOR 情報に加えて消滅ガンマ線が検出器に到達するまでの飛行時間 (TOF : Time of Flight) 情報を利用する装置の研究が行われ始めている [8]。従来の PET 装置では、複数の放射線検出器を用いて一对の消滅放射線のある時間の枠内で同時に計測し、LOR 上に等しい確率で線源の存在を仮定している。これに対して TOF-PET では、図 2.5 のように相対する検出器の計測時刻の差から線源の位置を求め、LOR に沿って検出器の時間分解能に相当するガウス関数でぼかした分布を位置情報とする。その結果ノイズの寄与を軽減することができ、画像再構成後の画質を格段に向上させることが可能である [9]。

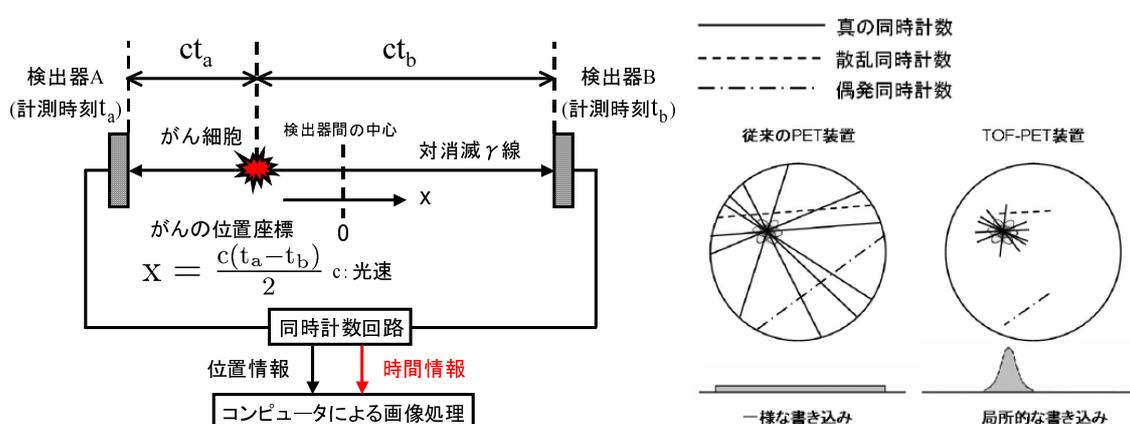


図 2.5: TOF-PET の原理

(左) 対消滅 γ 線は近い方の検出器に先に到達し、その後僅かに遅れて遠い方の検出器に到達する。従って両検出器間の計測時刻の差から LOR 上の線源の位置座標 x を求めることができる。

(右) 従来の PET 装置と TOF-PET 装置における位置情報の書き込み方の違いを表している [9]。

TOF 情報を利用するというアイデアは PET 研究の当初から提案されており、1980 年代を中心に幾つかの研究グループにより CsI(Tl) や BaF₂ 等のシンチレータを用いて TOF-PET の開発が行われたが、当時は十分な発光量と高速な時間特性を両立するシンチレータが存在せず満足な性能は得られなかった。以来 TOF-PET の研究は長らく停滞していたが、最近になって珪酸ルテチウム (LSO : Lu₂SiO₅) や臭化ランタン (LaBr₃) 等の発光量が大きく、時間特性の良い Ce 添加シンチレータが開発され、TOF-PET への応用が検討され始めた。我々は LSO にイットリウムを添加してコストを下げた LYSO ピクセルシンチレータを用いて、TOF 情報を活用することも視野に入れている。

第3章 アバランシェ・フォトダイオードを用いた撮像検出器

3.1 半導体検出器の原理

結晶性の物質中における電子のエネルギー準位は、束縛状態にある価電子帯と、自由に動き回ることのできる伝導帯の2層の構造を持つ。2つの準位間には電子の存在することが出来ない禁制帯と呼ばれるエネルギーギャップが存在し、価電子帯の電子は光や熱などのエネルギーを受け取ると伝導帯に励起される。電子が伝導帯に励起されると、価電子帯の電子が存在していた場所は正孔(ホール)と呼ばれる空席になり、その場所へ電子が移動することであたかも正電荷のような振る舞いをする。半導体のエネルギーギャップは小さく、シリコン半導体では1.1 eV程度であり、平均電離エネルギーは3.6 eVである。典型的なシンチレーション光は3~4 eVのエネルギーを持っているため、半導体中の電子を励起させるのに十分である。

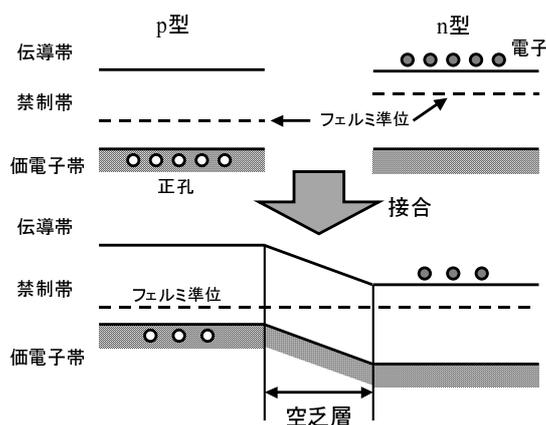


図 3.1: p-n 型半導体のバンド構造

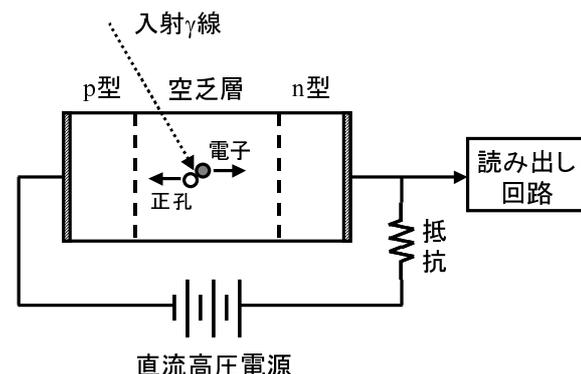


図 3.2: 半導体検出器の構造

半導体には不純物を含まない真性半導体にアクセプタ(ホウ素、アルミニウムなど価電子の1つ少ない元素)を添加したp型半導体と、ドナー(リン、ヒ素など価電子の1つ多い元素)を添加したn型半導体がある。これらの半導体中では添加された不純物がシリコ

ン結晶中に取り込まれ、禁制帯の中に新たなエネルギー準位が生じる結果、p型では正孔が、n型では電子が余分な電荷キャリアとなる。この2種類の半導体を接合すると、n型からp型へ電子が、p型からn型へ正孔が拡散し、接合部分で両者が打ち消し合って電荷キャリアの無い空乏層と呼ばれる領域が生まれる(図3.1)。

この空乏層に光や放射線が入射すると、光電効果などの電離作用によって入射線のエネルギーに比例した数の電子正孔対が生成される。生成された電子正孔対は内部の電場によって両極に移動し、電極から収集された電荷の量によって放射線のエネルギーが求められる(図3.2)。半導体の両極に逆電圧を印加すると、電子と正孔が互いに両極に移動しようとするため空乏層が広がり、半導体内部の広い領域で生成される電子正孔対を収集できるようになる。

3.2 アバランシェ・フォトダイオード (APD)

アバランシェ・フォトダイオード (APD) とは、半導体の内部に高い電場勾配を持たせることで電荷増幅機能を備えた半導体検出器である。光や放射線によって生成された電子正孔対は APD 内部の電場によって加速され、電極に到達するまでの間に多数のキャリアを伝導帯に叩き上げて信号をなだれ増幅させる。信号を検出器内部で増幅させると回路内で発生する雑音を相対的に小さく抑えることができるため、通常のフォトダイオードよりもはるかに優れた S/N 比 (雑音に対する信号の比) が得られる。APD は高い増幅率を持つ光電子増倍管 (PMT) と、量子効率が高いフォトダイオード (PD) の両方の長所を兼ね備えている (表 3.1)。

表 3.1: シンチレーション検出器の比較

	光電子増倍管	フォトダイオード	アバランシェ・フォトダイオード
量子効率	≤ 25 %	≥ 80 %	≥ 80 %
増幅機能	(~ 10 ⁶ 倍)	× (なし)	(~ 100 倍)
印加電圧	~ 1000 V	≤ 100 V	~ 300 V
容積	× (大)	(小)	(小)
磁場の影響	× (大)	(小)	(小)
構造	× (複雑)	(単純)	(単純)
消費電力	× (大)	(小)	(小)

APDにはその内部構造の違いからいくつかの種類が存在し、代表的なものとしては斜めエッジ型、リーチスルー型、リバーstypeの3種類が挙げられる(図3.3)。その中でもここでは特にリバーstypeについて取り上げる。

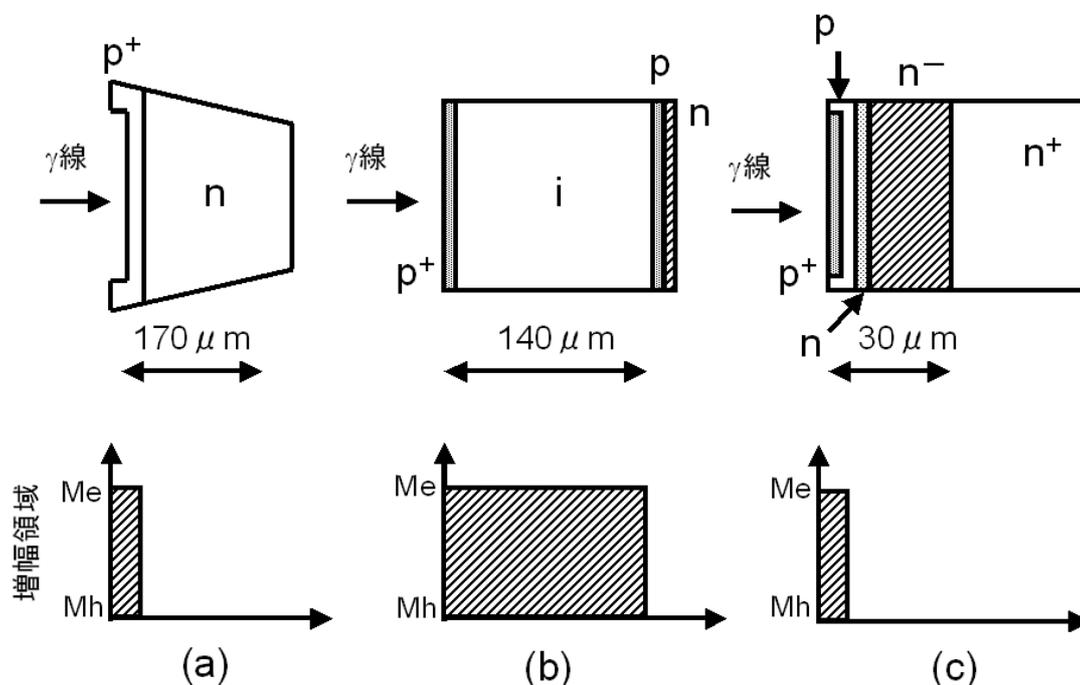


図 3.3: APDの種類 (a) 斜めエッジ型 (b) リーチスルー型 (c) リバーstype [10]

リバーstype APDはシンチレーション光の検出用に特化して開発されたもので、表面から5 μm程度の深さに狭い増幅領域が存在する。一般的なシンチレータの出力波長は550 nmよりも短く、シンチレーション光は表面から1~3 μmの領域で電子正孔対に変換されるため、ほぼ全ての光が増幅領域の手前で電子に変換されて完全に増幅される。増幅領域を表面側に配置することによりドリフト領域で発生する熱励起電子を増幅せずに済むため、他のAPDに比べて暗電流を低く抑えることができる。また空乏層の厚さが40 μm程度と薄く、300 V程度の低い電圧で十分な増幅率が得られる。

APDをPET用の検出器として用いる場合、511 keVのガンマ線を止められるだけの密度の高いシンチレータと組み合わせる必要があるため、我々はシンチレーション光の検出に適したリバーstypeのAPDを用いることにした。

3.3 PETへの応用

これらの優れた特性を持つAPDをアレー化し、PET用の撮像検出器として用いることで、飛躍的な性能の向上が期待できる。

1. 量子効率が高く、小さいピクセルでも効率よく集光を行うことができるため、ピクセルサイズの小型化によってPETの空間分解能を向上させることができる。
2. 優れたエネルギー分解能を生かして511 keVの光電ピークのみを正確に取り出すことにより、散乱フラクション¹を抑えることが可能。
3. 内部に強い電場をかけて増幅を起こすため電荷の収集時間も数ナノ秒と高速であり、同時計数の時間幅を狭く設定することで偶発同時計数²を抑えられる。
4. 時間分解能が良いため、飛行時間情報を活用したTOF-PETに応用できる。
5. PMTと異なり、大量生産が可能なのでコストを下げるができる。
6. 磁場に強いので、MRIとの併用も可能。
7. コンパクトで頑丈、低消費電力のため、ユニット化して持ち運びが可能。

このようにAPD-PETの実用化には多くの魅力があるが、APDの増幅率が気温によって変動してしまうこと、またアレー化した際に個々のピクセル間の性能にばらつきがあることなど、克服すべき課題も残されている。

¹ 1度ないし数回コンプトン散乱された後に光電効果を起こし、同時計数されてしまうイベント。本来のLORとは別のLOR情報になってしまうため、画質が低下する。原子番号の小さなシンチレータを用いる場合に問題が大きい。

² 共通の対消滅による起源を持たず、たまたま同時に2つの検出器で検出され、同時計数されてしまうイベント。放射線のカウントレートが高くなるにつれて増大する。

第4章 APD-PET専用LSIの設計

この章ではAPD-PETの実現に向けたアナログ信号処理回路の設計について述べる。まず開発目的を明らかにし、次にLSIの開発に必要な基礎知識についてまとめる。さらに最低限満たすべき仕様の確定を行い、使用する回路の全体構成及び各部品について述べる。

4.1 開発目的

PETでは装置全体で1万チャンネル以上もの膨大な信号を高速に処理する必要があるため、検出器セル毎に個別に信号処理回路を設ける事はスペース及び消費電力の点でも現実的とは言えない。特に我々が目指す検出器のハイブリッドセンサユニット化に当たっては、信号処理部分の小型化、低消費電力化は必要不可欠であるため、アナログ信号処理系統を高密度に集積しつつ低消費電力を実現できる専用LSIの導入は必須である。

代表的な多チャンネルのアナログ信号処理LSIとしては、IDEAS社のVikingシリーズを元に開発されたVA32TA等が挙げられる[11]。VA32TAチップは32チャンネルの読み出し回路を備えており、低雑音、低消費電力を実現している。しかしながらシリコンストリップセンサの読み出し用に最適化されているため電荷増幅器の増幅率が高く、信号を内部増幅する事が特徴であるAPDの読み出し用にはそのまま適用することができない。また信号の整形時定数も長く設定されており、PETのように高速な処理が必要とされる用途には適さない。そこで今回はAPDの読み出し用に特化した多チャンネルのアナログ信号処理LSIそのものを開発することにした。

4.2 LSI 開発の基礎

4.2.1 集積回路とは

集積回路とは、ダイオード、トランジスタ、抵抗、コンデンサ、などの回路素子が一つのシリコン結晶チップに組み込まれ、決められた作用をする電子デバイスである。一つのチップの中に組み込まれる素子数は、100 個未満のものから 10 万個以上のものまで実に様々である。システムとしての電子回路は、ある決まった仕様を満たすように回路部品を組み合わせたものであると考えることができるため、使用者側から見れば回路の具体的な形がどのようなであっても不都合は無い。しかしながら、個別に回路素子を配線して回路を構成する場合に比べると、集積化することで一般に以下のような利点を得られる [12]。

1. 1 枚のシリコンウェーハ上に多数の集積回路を同時に製造することが可能なため、製造コストを下げるができる。
2. 配線のための半田付け行程が存在しないため、信頼性を高めることができる。
3. 小型化することでトランジスタの動作電圧を低く設定することができ、その結果として消費電力も小さくすることができる。
4. 配線が短くなるため、信号伝達の遅延時間を短縮することができ、回路の動作速度を向上させることが可能となる。

4.2.2 ASIC

ASIC (Application Specific Integrated Circuit) とは、本研究で開発する APD-PET 専用信号処理 LSI のように、ある特定の用途のためだけに設計、製造される集積回路の呼称である。あらかじめ特定の用途を想定して製造する「セミカスタム IC」と、自分で自由に設計をすることができる「フルカスタム IC」の二種類がある。「セミカスタム IC」はあらかじめ特定の機能を持った回路の組み合わせによる製造途中段階の製品を用意しておき、要望に応じて回路ブロックの配線を変更して所望の回路構造を得る手法であるため、低コストで開発を行うことができるという利点がある。しかしながら繊細なアナログ信号処理回路の開発には適さないため、本研究では自由度が高く、高精度を実現可能なフルカスタム IC の開発を行うことにした。

4.2.3 CMOS プロセス

相補型金属酸化膜半導体 (CMOS : Complementary Metal Oxide Semiconductor) とは、電子をキャリアとする n MOSFET と、ホールをキャリアとする p MOSFET という性質の異なる 2 種類の電界効果トランジスタ (FET : Field Effect Transistor) を組み合わせて同一の基板の上に形成したものである。CMOS はゲートのスイッチングの瞬間にしか電力を消費しないため、消費電力が非常に小さい回路を実現できるという特徴がある。また製造コスト、動作速度といった点においても通常の MOSFET に比べ優位であることが知られており、現在では CMOS を基本とした LSI が広く使用されている。本チップもこの CMOS を基本構成要素としてアナログ信号処理回路を構成した。

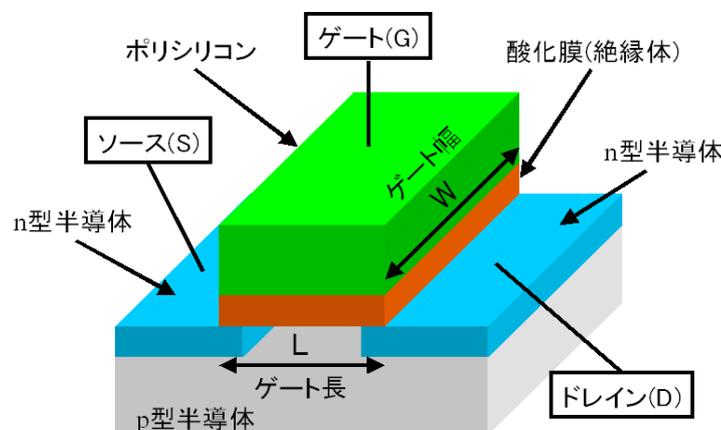


図 4.1: nMOSFET の構造

図 4.1 に nMOSFET の構造を示す。nMOSFET の場合、電子がキャリアとなるので、電子を供給する低電圧側 (VSS) がソース、電子が流れ出る高電圧側 (VDD) がドレインと呼ばれる。アナログ CMOS 設計の基礎となる MOSFET のドレイン電流は、

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (4.1)$$

という形で表せる [13]。ここで、 μ_n は電子の移動度、 C_{ox} は単位面積あたりのゲート容量、 V_{GS} はゲート・ソース間の電圧、 V_{DS} はドレイン・ソース間の電圧、 V_{TH} はドレイン・ソース間にドレイン電流 I_D が流れ始める閾値となる電圧である。また $\frac{W}{L}$ はゲートの幅をゲートの長さで割ったものであり、アスペクト比と呼ばれ MOSFET の特性を決める重要なパラメータの一つである。

4.2.4 LSI 設計の流れ

LSI 設計のおおまかな流れを図 4.2 に示す。

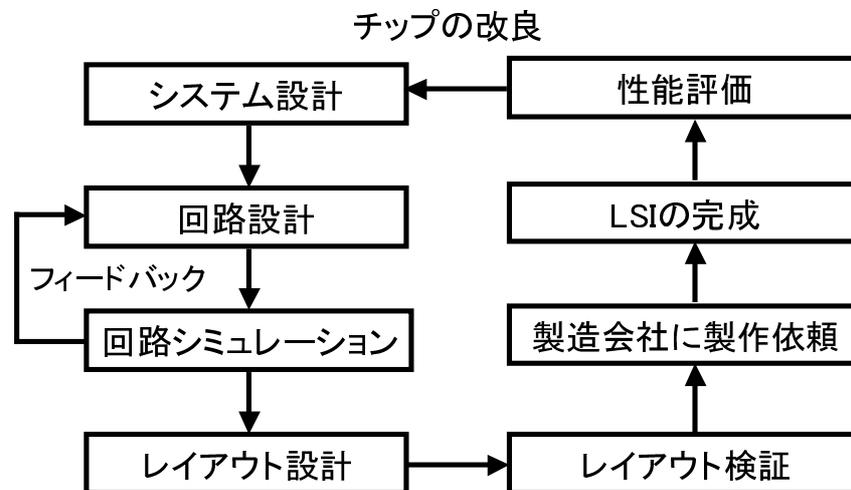


図 4.2: LSI 設計の流れ

システム設計

まず、LSIに必要な機能や最低限満たさなければならない性能など、チップに要求される仕様を確定する。具体的には、信号処理回路の仕様、チャンネル数、雑音レベル、消費電力、電源電圧、チップのサイズ等の検討を行い、最終的に仕様に適合する半導体プロセス(例えばCMOSの $0.35\ \mu\text{m}$ プロセス等)を決定する。

回路設計

次にシステム設計の要求を満たす回路を、トランジスタ、抵抗、コンデンサ等の基本素子で構成する。回路設計の場では回路シミュレータの入力言語であるSPICE(後述)による記述が標準的に用いられている。その際、IP(Intellectual Property:知的財産)ライブラリを用いることで効率的に設計を進めることが可能である。IPライブラリとは、検証済みの再利用可能な集積回路の構成ブロックの事であり、メーカーと守秘契約を締結することで提供を受けることができる。また日本では近年、宇宙航空研究開発機構を中心として「Analog-VLSI Open-IPプロジェクト」が推進されており、自由に公開されているIPを使用することで研究目的に最適な読み出し回路を比較的短期間に、しかも一定の確実性を持って製作することが可能となっている[14, 15]。

回路シミュレーション

回路ブロックの構成後、SPICE ネットリストを用いて回路シミュレーションを行い、回路の動作検証を行う。このシミュレーション結果を随時回路設計にフィードバックすることで、仕様を満たす回路に近付けていくことが可能である。確認事項にはパルス波形の容量依存性、線形性、雑音特性、製造誤差による影響、温度特性、電源電圧の変動に対する影響、オフセット評価など、数多くの項目が存在する。

レイアウト設計

動作検証の完了後、SPICE 記述を元にして物理的な素子や配線のレイアウト設計を行う。アナログ信号処理回路のレイアウト設計には各チャンネルの配線の長さを揃えたり、抵抗や容量のばらつきを抑える工夫など、設計者の経験や勘に頼った領域が存在しているため自動化が困難である。そのため我々は株式会社デジアン・テクノロジーにレイアウト設計を依頼した。

レイアウト検証

レイアウトの完成後には、最終作業として DRC 及び LVS と呼ばれる確認作業を行う必要がある。DRC (Design Rule Check) とは、レイアウト設計データが製造工程の基準を満たしているかどうかの検証を行うことである。具体的には、配線の幅、配線間の距離、素子または打ち込み領域間の非干渉性等が対象となる。LVS (Layout Versus Schematic) とは、回路設計で作成した SPICE ネットリストと、レイアウトから抽出した SPICE ネットリストを比較照合し、必要な修正を行うものである。

製造会社に製作依頼

完成したレイアウトデータを、露光マスクデータに変換して LSI の製造会社に提出し、製作を依頼する。我々は TSMC 社 (Taiwan Semiconductor Manufacturing Company) に製作を依頼した。

LSI の完成

LSI の完成までには、マスクデータの提出から 3ヶ月程度の時間が必要である。

性能評価

完成したLSIチップに対して、様々な角度から性能評価を行う。性能評価には、半導体プロセスの評価と回路設計の評価という2種類が存在する。もしチップに不具合が発見された場合、それが半導体プロセスの製造上の問題なのか、それとも回路設計上の問題なのかどうかを切り分けることは非常に重要である。しかし半導体プロセスの場合、製造の精度に関しては製作会社の定める一定の許容範囲があるため、常に製造誤差による影響まで考慮した回路設計を行うことが必須であると言える。以上の結果を次の回路設計に活用することで、チップの改良を行っていくことが必要である。

4.3 開発スケジュール

本チップの開発スケジュールを図4.3に示す。

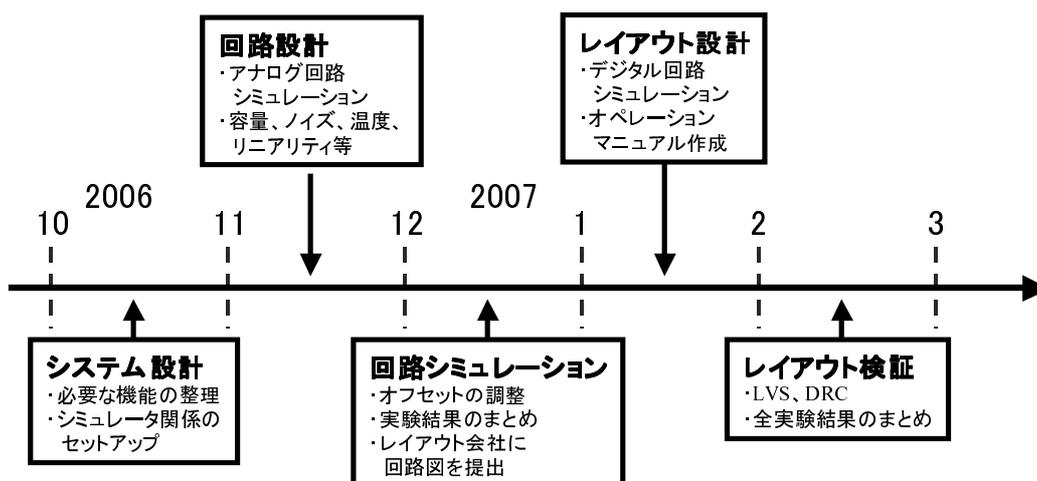


図 4.3: 本チップの開発スケジュール

おおまかな流れとしては、10月中に仕様を確定させ、11月に回路設計を行い、さらにシミュレーション結果をフィードバックして最終的な回路構成を決定、12月末にレイアウト会社に回路図を提出した。これまでの作業に要した期間は、3ヶ月程度であった。

4.4 システム設計

PET用の信号処理回路には、まず高速な処理速度が必要とされる。PET用に用いる線源の放射強度は典型的には10億Bq程度であり、カウントレートが高いため、シンチレータや整形回路の時定数が長いと容易に信号が重なり合ってしまう。今回APDアレーと組み合わせるLYSOシンチレータの蛍光減衰時定数は40 nsと短いため、整形回路の時定数は100 ns程度に設定することができた。

また、もし1つの検出器ブロックで同時に2つの放射線が検出された場合、どちらが正しいLOR情報を持っているのか判別できないという問題がある。よって放射線のHITアドレスの他にダブルトリガ判定の結果を出力するよう設定し、もし同じ検出器ブロックで同時にトリガが生成された場合には容易に判別できるようにした。

511 keVのガンマ線がLYSOシンチレータで光電効果を起こした場合、APDから出力される標準入力電荷量は -18 fC程度であると概算される(後述)が、APDアレー特有の問題としてピクセル毎にAPDのゲインにばらつきが見られる場合がある。そのため電荷増幅器のゲインを0.6倍~2.5倍の間で調整できるようにした。TOF-PETとして用いる場合には、さらに放射線のHIT時間情報も出力する必要がある。その際の時間分解能は600 ps以内を目標とした。

- 検出器：リバーstype APD-array 64チャンネル
- 標準入力電荷量： -18 fC @ 511 keV
- 入力信号：APD、テストパルス
- 出力信号：HITアドレス、ダブルトリガ判定、HIT時間情報
- 1チップあたりの実装チャンネル数：8チャンネル
- ゲイン可変範囲：0.6倍~2.5倍
- プリアンプ減衰時定数： 10 μ s程度
- 整形時定数：100 ns程度
- 時間分解能：600 ps以内
- 保護機能：入出力用端子に静電気保護回路を実装

表 4.1: APD-PET 読み出し回路チップパラメータ

会社名	TSMC (Taiwan Semiconductor Manufacturing Company)
デザインルール	0.35 μm
ピン数	80 pin QFP (Quad Flat Package)
チップサイズ	3 mm \times 3 mm
電源電圧	3.3 V (VDD=1.65 V, VSS=-1.65 V, GND=0 V)
搭載チャンネル数	8 チャンネル

4.5 回路設計環境

回路設計はシステム設計の要求を満たす回路を SPICE ネットリストの形で表現することが目的である。設計作業には、Tanner 社の回路図エディタである「S-Edit」を用いた。S-Edit は Tanner 社の EDA ツール (Electronic Design Automation Tools) である「Tanner Tools Pro」に付属しているソフトであり、複雑なフルカスタム IC の設計用に特化している。

アナログ CMOS 集積回路の設計は自動化が難しく、技術の習得には多大な時間と努力を必要とする [13]。今回は過去に Astro-E 衛星搭載用の硬 X 線検出器に用いられるピークホールド IC や、64 ch マルチアノード PMT 読み出し用のアナログ信号処理 LSI を独自に設計・開発した実績を持つ ISAS/JAXA の池田博一教授との共同研究によって、短期間に目標の回路を設計することに成功した。

4.6 全体構成

図4.4に本チップのシステム全体図を示す。回路は大きくCHAIN1とCHAIN2に分けられる。CHAIN1は8チャンネル分用意されており、それぞれAPDアレーの個々のピクセルと接続され、電荷の入力に対して高速な波形整形を行い、信号が”511 keVの光電ピークとして”妥当 (VALID) であるかどうかを判断した後、ガンマ線の光ったピクセルの位置情報を出力する。CHAIN2は時間電圧変換回路を用いて、入力信号がピークに達してからSTOP信号が入力されるまでの時間を電圧値に変換し、ガンマ線の到着した時間情報を出力する。またアナログ加算回路を搭載しており、各チャンネルで検出されたガンマ線のエネルギースペクトルを得ることが可能となっている。

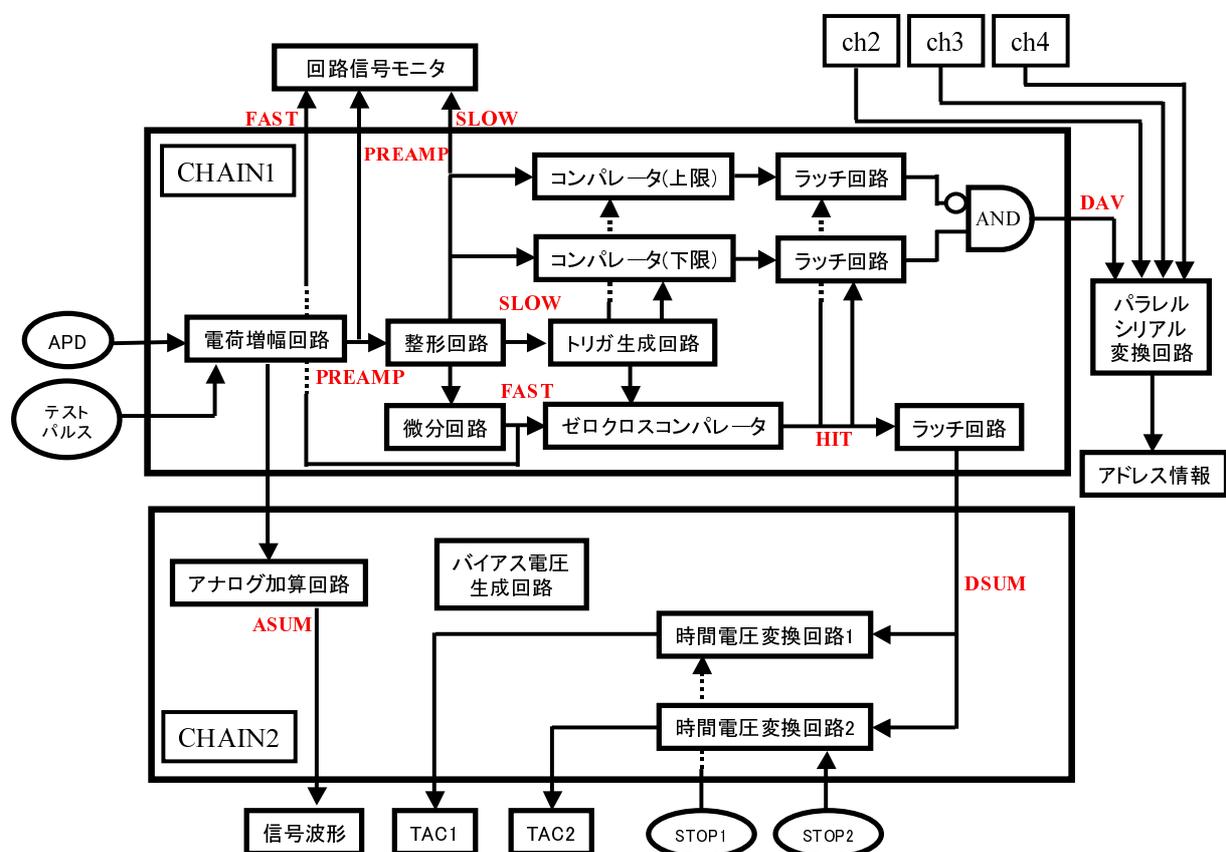


図 4.4: 本チップのシステム全体図

1チップに8つ存在するCHAIN1と、1つだけ存在するCHAIN2では信号の処理内容が大幅に異なる。CHAIN1はガンマ線の位置情報を、CHAIN2は時間情報とエネルギー情報をそれぞれ出力する。どちらの処理を行う場合にも、入力信号のピーク位置を正確に検出することが鍵となる。

図 4.5 に CHAIN1 における信号処理の流れを示す。

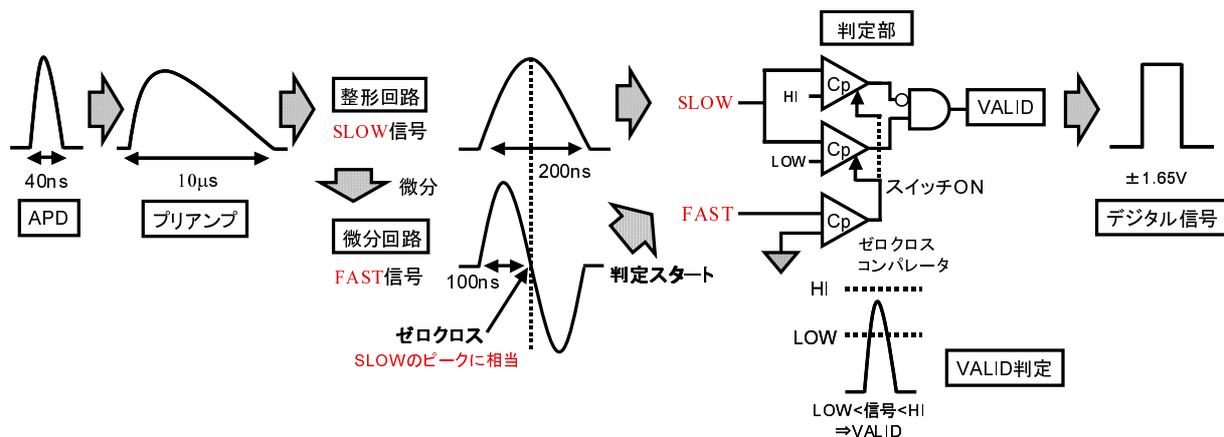


図 4.5: CHAIN1 における信号処理の流れ

APD から入力された電荷は、電荷増幅器で増幅された後、整形回路にて高速に整形される。次に整形された波形 (SLOW) を、さらに微分器に通す (FAST) と、SLOW のピークにおいて波形の傾きは 0 となるため、FAST はゼロ点を通過する。従って FAST がゼロ点をクロスした瞬間に SLOW の波高を取り出せば、信号の大小に関わらず波形のピーク位置を精度良く検出することが可能である。FAST のゼロクロス時点におけるピーク波高が LOW より高く HI より低い場合は VALID であると判定され、最終的にアドレス情報がデジタル出力される。

CHAIN2 はアナログ加算回路と時間電圧変換回路 (TAC: Time-to-Amplitude Converter) から構成される。アナログ加算回路はスペクトル波形を取り出して信号の確認を行うために設けられたもので、本来 PET には必要の無いものである。加算回路には電荷増幅器からの出力が 8 チャンネル分入力されており、スイッチを切り替えることで波形をモニタするチャンネルを選択することが可能となっている。

時間電圧変換回路は TOF 情報を得るために設けられたもので、一方の検出器がガンマ線を検出してから、相対するもう一方の検出器でガンマ線が検出されるまでの時間差の情報を得ることができる。時間電圧変換回路を用いて TOF 情報を得る方法の概念図を図 4.6 に示す。TAC 回路は、スタート信号が入力されてから STOP 信号が入力されるまで参照電流を一定の速度で積分し、STOP 信号が入力されるとその瞬間の電圧値を保持する機能を持っており、時間情報を非常に高い精度で電圧値に変換することが可能である。実際に 100 ps 程度の時間分解能を達成した例がある [16]。光の速度は 3.0×10^8 m/s なので、100 ps の時間分解能を確保することは 1.5 cm の位置分解能を得ることに相当する。

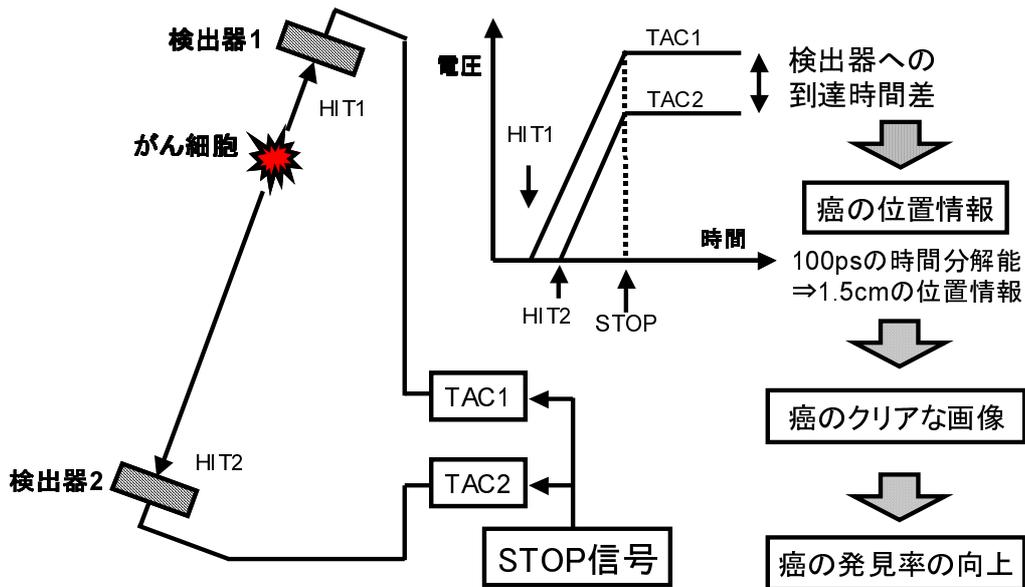


図 4.6: 時間電圧変換回路 (TAC) と TOF 情報

がん細胞から対向方向に放出されたガンマ線が、まず最初に近い方の検出器 1 で検出されると、TAC1 の出力電圧は一定の速度で上昇していく。次に遠い方の検出器 2 でガンマ線が検出されると、今度は TAC2 の出力電圧が同じ速度で上昇を始める。これらの電圧値は、外部から一定の間隔で入力される STOP 信号が入力されるまで上昇を続け、信号が入力された後はその時点での電圧値を維持する。従って STOP 信号の入力後に 2 つの TAC 回路の出力電圧を比較することで、ガンマ線が検出器に到達するまでの時間差情報が得られる。

TAC 回路のスタートのタイミングは、波形整形後の信号 (SLOW) をさらに微分したもの (FAST) が、ゼロ点をクロスするタイミングに設定した。つまり、SLOW がピーク波高に達した瞬間に TAC 回路のカウントが開始され、外部から全ての検出器に共通な STOP 信号が入力されるまでの時間を電圧に変換して出力する仕組みになっている。

またチップ全体に関わる設計として、電荷増幅器出力や整形回路出力、微分回路出力など、回路上の重要なポイントは外部からモニタできるように構成した。その結果、チップの完成後に詳細な特性評価を行うことが可能になる。図 4.7 に本チップの信号モニタシステムとそれぞれの信号の名称を示す。

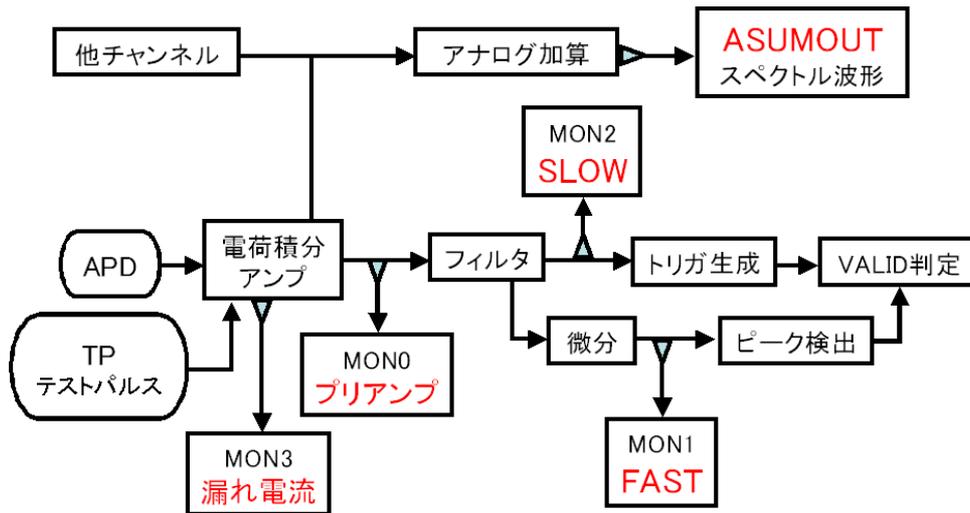


図 4.7: 信号モニタシステム

LSI チップの場合は個別に回路素子を組む場合と異なり、回路上でモニタしたい場所があっても自由にテスタやオシロスコープで観察するわけにはいかない。従って、最低限必要な回路上の要点だけチップの製作後もモニタ可能なように設計を行う。本チップの場合、電荷増幅器出力 (PROUT)、整形回路出力 (SLOW)、微分回路出力 (FAST)、漏れ電流 (LKMON)、アナログ加算出力 (ASUMOUT) の 5 点に関して、チップ製作後もモニタ可能となるよう設計を行った。

4.7 部品設計

図 4.8 に本チップの回路全体図を示す。

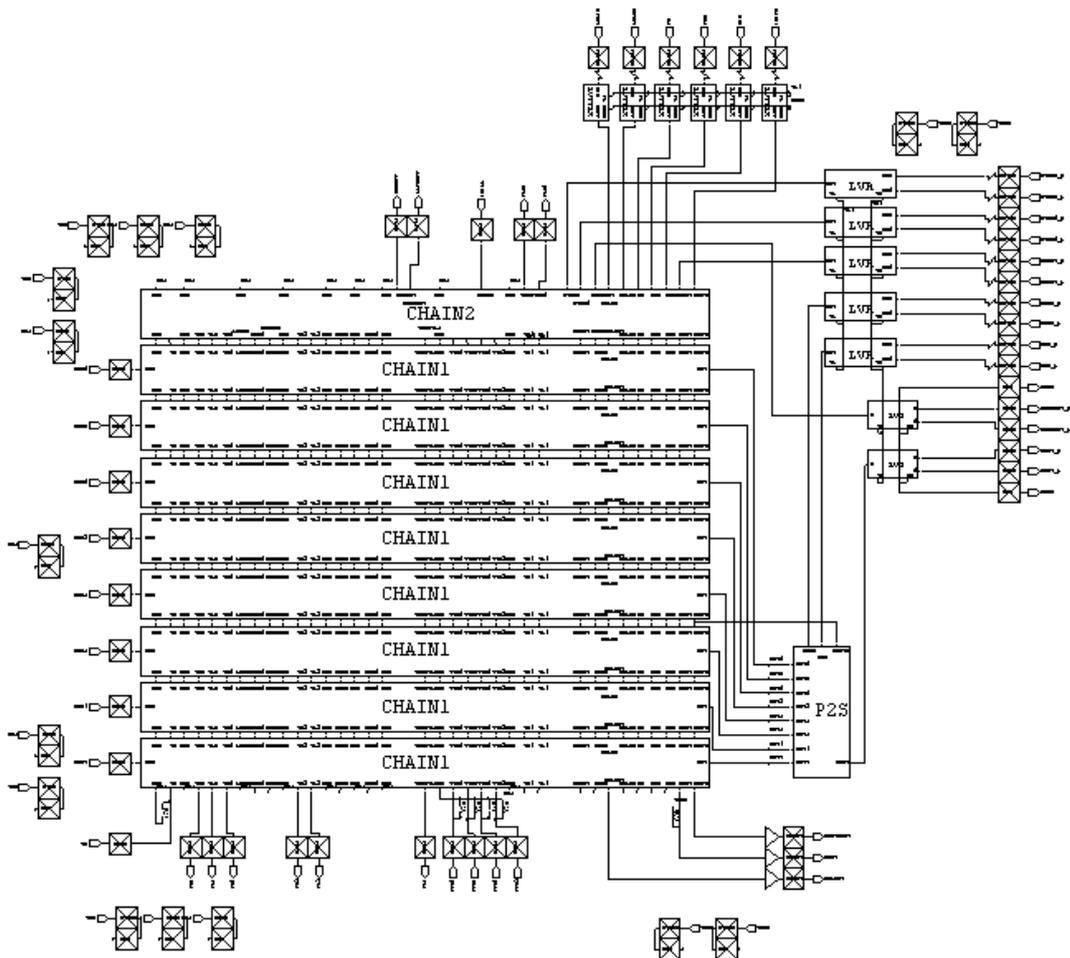


図 4.8: 回路全体図

全体回路は CHAIN1、CHAIN2 という 2 つの大きな信号処理系統と、それらの処理結果を外部に出力するパラレル/シリアル変換回路及び LVDS ドライバ、外部から TAC 回路の操作を行うための信号を入力する LVDS レシーバ、コントロールレジスタに制御コードを書き込むための信号を入力する LVTTL レシーバ、その他静電気保護回路を兼ねたワイヤボンディング用パッド等から構成されている。

4.7.1 入出力インターフェース

今回設計した LSI の内部は VDD(正極電源) を HI レベル、VSS(負極電源) を LOW レベルとする ± 1.65 V の CMOS レベルで動作している。しかしこのような信号を入出力用の信号として用いると、検出器からの微弱な信号に干渉してアナログ信号の品質を著しく劣化させることがある [14]。そこで今回は入出力用の信号として、LVDS (Low Voltage Differential Signaling) という差動信号インターフェースを用いることにした。従来デジタル信号の伝送には、グラウンドを共通にして 1 本の信号線を使用してデータを送る方式が使われていた。すなわち、基準とする電圧よりも信号電圧が高い場合を”High”、低い場合を”Low”に対応させて信号を伝送する方式である。この方式はシングルエンド伝送と呼ばれる。一方で、最近では + と - の 2 本の信号線を用い、+ 信号線の電圧が - 信号線の電圧より高い場合を”High”、低い場合を”Low”に対応させて信号を伝送する方式が採用されるようになってきた。この方式は差動デジタル伝送と呼ばれる。図 4.9 にシングルエンド伝送と差動伝送の違いを示す [17]。

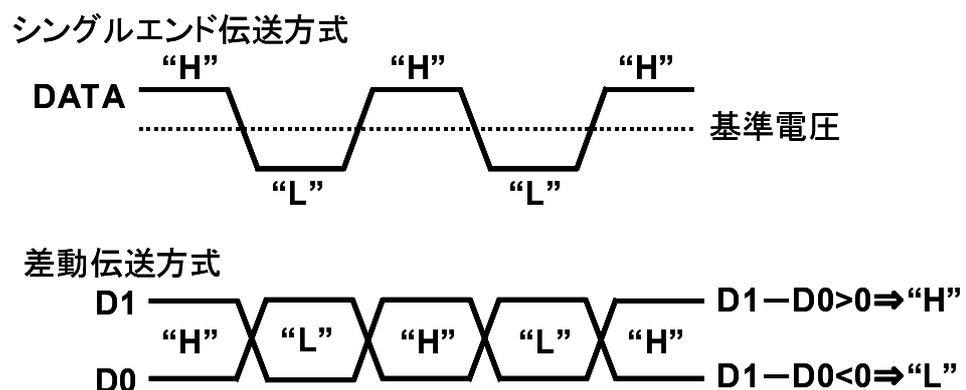


図 4.9: シングルエンド伝送と差動伝送の違い

シングルエンド伝送方式の場合、伝送周波数が高くなるほど、他の信号の帰還電流が共通の帰還経路(グラウンド)に流れ込んでしまうこと、隣を通る信号線の信号の干渉(クロストーク)を受けやすいこと、などといった問題が無視できなくなるため、一般に数十 Mbps 程度の伝送速度が限界となる。今回、高速処理が必要なデジタル出力に関しては、差動振幅を 100 mV、終端抵抗を 100 Ω に設定し、LVDS 規格より低電圧な低レベルデジタル信号インターフェースを用いることに決定した。一方、高速通信の必要が無いオペレーション関係の入力部には、1.65 V シングルエンド方式の LVTTTL (Low Voltage Transistor-Transistor Logic) 規格を用いることで、信号線の本数を削減している。

4.7.2 電荷増幅回路

図 4.10 に、電荷増幅回路の回路図を示す。

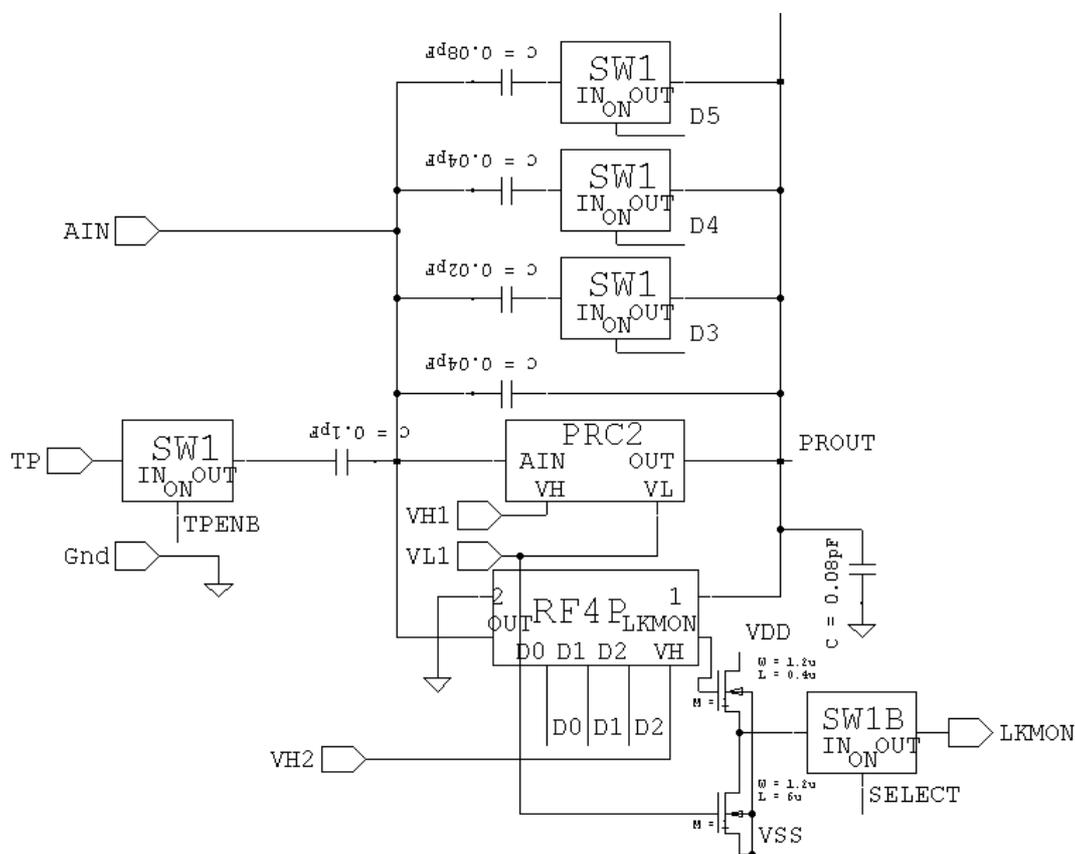


図 4.10: 電荷増幅回路の回路図

電荷増幅回路は、APD から入力された電荷を収集・増幅するための回路であり、増幅要素である PRC2 (増幅器)、帰還抵抗の RF4P (高抵抗回路)、及び SW1 (スイッチ) と共に接続された複数の帰還容量から構成される。AIN は APD と接続するための入力端子、TP はテストパルスの入力端子である。PRC2 は $1/f$ 雑音の影響を抑えるため、入力トランジスタに大面積の pMOSFET を用いている。RF4P には漏れ電流補償回路が実装されており、LKMON 端子から漏れ電流の値をモニタすることが可能となっている他、3bit の DAC (Digital Analog Converter) が実装されており、チップの完成後にも抵抗値をある程度変更することができる。電荷増幅回路の増幅率は、複数接続された帰還容量のスイッチ (SW1) を切り替えることで 0.6 ~ 2.5 倍の範囲で変更可能である。電荷増幅回路の帰還抵抗としては、数 100 M Ω 以上の高抵抗素子を用いるのが一般的だが、LSI 上の限られたスペースでこのような高抵抗素子を構成することは難しい。そのため、本回路では通常の高抵抗素子に代わり、MOSFET の差動対を利用した高抵抗回路 (RF4P) を利用している。

4.7.3 増幅要素の構成

電荷増幅回路における PRC2 (増幅器) の回路図を図 4.11 に示す。

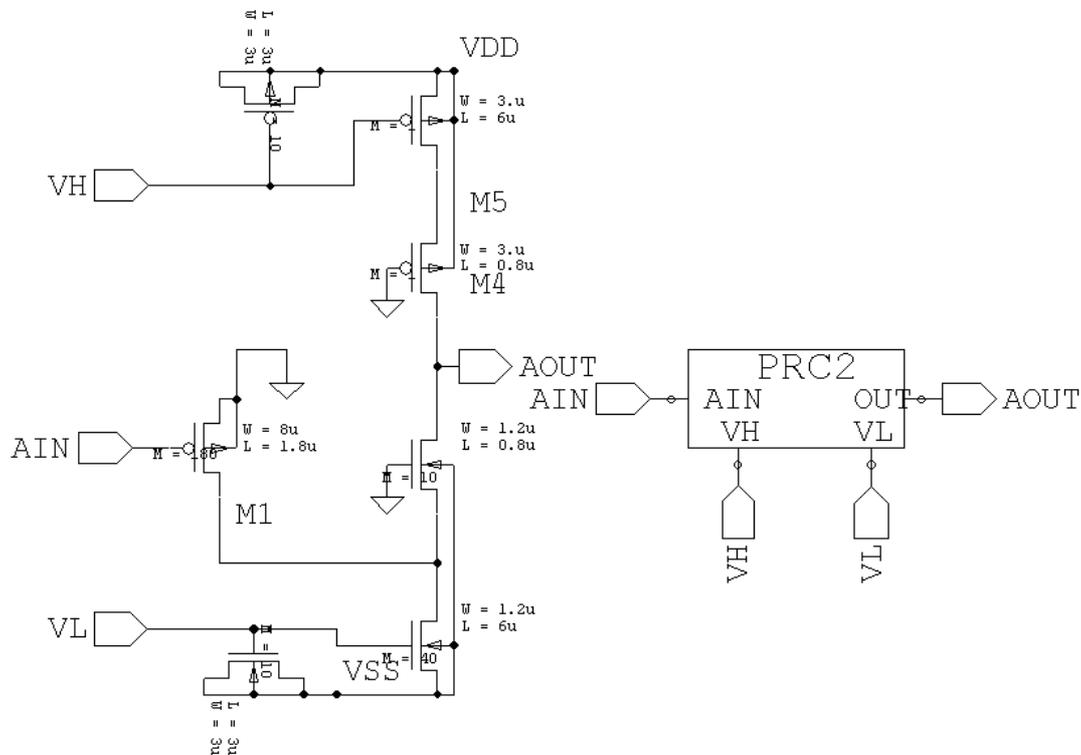


図 4.11: PRC2 の回路図

PRC2 は高速かつ低雑音を実現した電荷増幅器用の増幅要素である。AIN は入力端子、AOUT は出力端子となっている。VH、VL は 2 つの定電流源の電流値を決定するバイアス電圧の導入端子である。電源とバイアス電圧導入端子の間には、通常は電源ノイズ等を除去するためのバイパスコンデンサを挿入する必要があるが、本回路ではコンデンサの代わりに MOSFET のゲート容量を利用することで集積効率を高めている。一般に pMOSFET は nMOSFET に比べて $1/f$ 雑音による影響を受けにくいことから [18]、増幅器の入力トランジスタには大面積の pMOSFET を用いている。また増幅要素は、大きな電圧利得を得るためにカスコード負荷¹ を有するフォールデッドカスコード構造² を用いている。

¹ ソース接地増幅段とゲート接地増幅段の継続接続を行ったものを負荷とすることで出力インピーダンスが高まり、増幅特性が改善される。

² トランジスタを折り返し接続することで入出力電圧範囲を広く確保することが可能となる。

4.7.4 高抵抗回路

図 4.12 に、高抵抗回路 (RF4P) の回路図を示す。

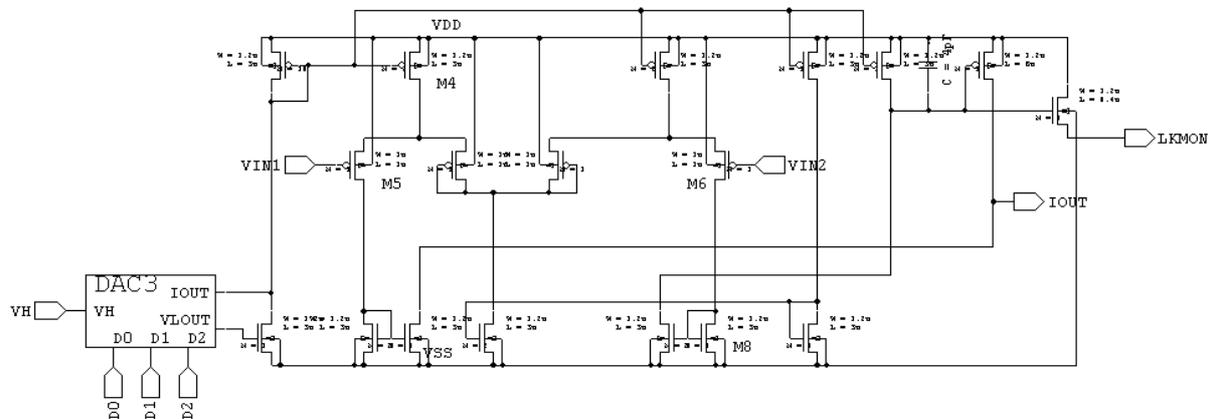


図 4.12: 高抵抗回路の回路図

高抵抗回路はトランジスタの組み合わせによって高抵抗を実現する回路である。VIN1、VIN2 は差動対になっており、それぞれの端子の電位差に比例した電流が IOUT 端子から流れる。このうち VIN2 は常に GND に接続されているため、結局 VIN1 の電圧が抵抗回路の出力電流を決定している。VH は DAC3 中の定電流源用バイアス電圧の導入端子であり、DAC3 は 3bit のデジタル入力の値に応じた電流を出力するデジタル-アナログ変換回路 (Digital Analog Converter) である。従って DAC3 へのデジタル入力の値を変えることで、高抵抗回路の抵抗値を変えることが可能となっている。LKMON は漏れ電流の値を出力する端子であり、電荷増幅器に定常的に流れ込んでくる電流の値をモニタ出力することが可能である。

4.7.5 バッファ回路

図 4.13 に、バッファ回路の回路図を示す。バッファ回路とは、ここでは高い入力インピーダンスと低い出力インピーダンスを持つボルテージフォロワ回路のことを指す。AIN から入力された電圧値は保持され、そのまま AOUT から出力される。VL は定電流源用バイアス電圧の導入端子である。

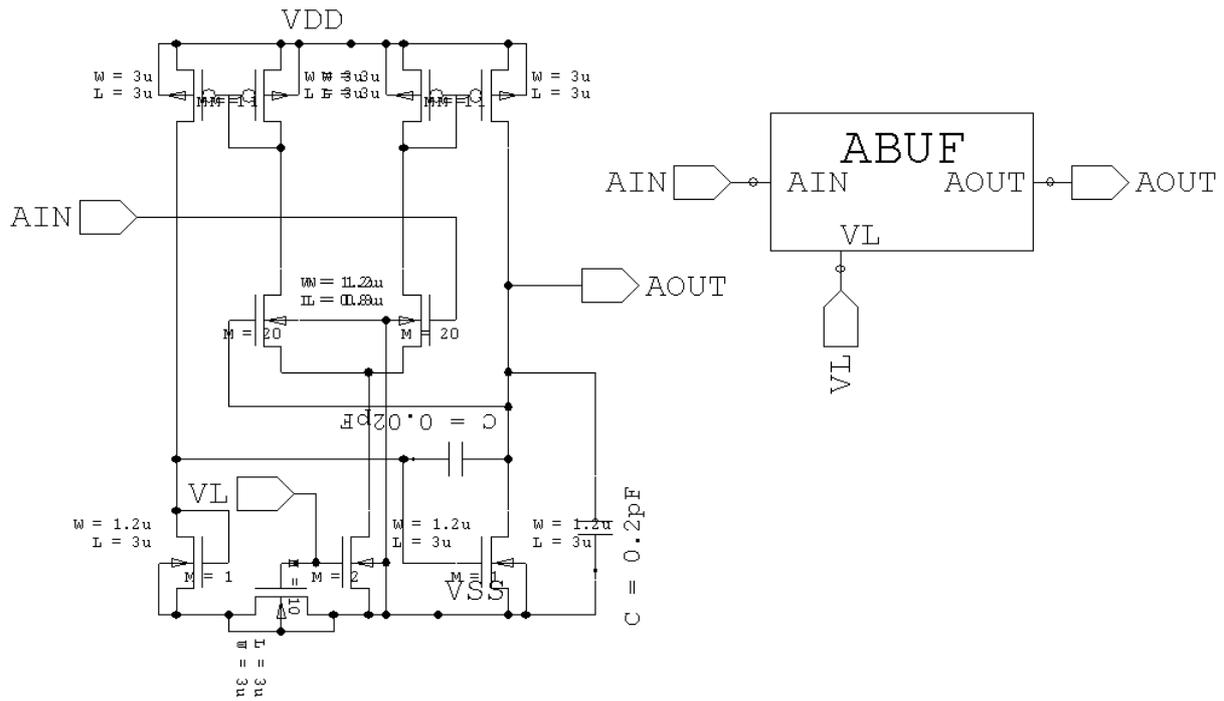


図 4.13: バッファ回路の回路図

4.7.6 波形整形回路

図 4.14 に、波形整形回路の回路図を示す。

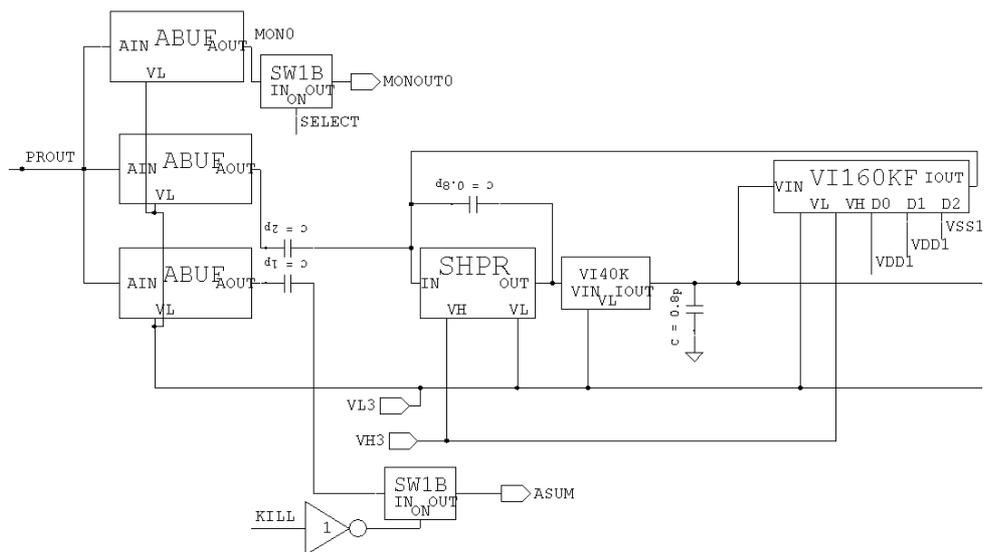


図 4.14: 波形整形回路の回路図

波形整形回路とは、電荷増幅器から出力された信号を高速に整形し、後段のコンパレータに接続するための回路である。図4.15に、より簡略化した波形整形回路の回路図を示す。

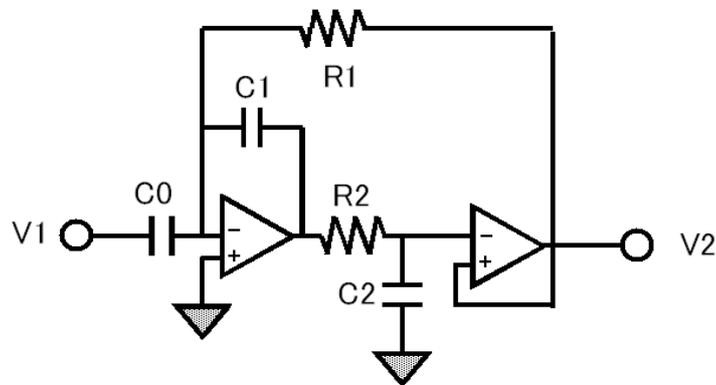


図 4.15: 簡略化した波形整形回路の回路図

この整形回路の伝達関数は、簡単な計算から

$$A = -\frac{C_0}{C_1} \frac{1}{1 + i(\omega R_2 C_2 - \frac{1}{\omega R_1 C_1})} \quad (4.2)$$

と求めることができる。分母が最小の時に増幅率は最大になるので、この整形回路は

$$f = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} \quad (4.3)$$

を通過周波数とし、

$$G = -\frac{C_0}{C_1} \quad (4.4)$$

を増幅率とするバンドパスフィルタになっていることがわかる。

4.7.7 微分回路

図4.16に、微分回路の回路図を示す。微分回路は、電荷増幅回路から出力された SLOW 出力を微分し、波形のピークを検出するための回路である。INP (Positive-IN) はオペアンプのプラス側入力端子、INN (Negative-IN) はマイナス側入力端子を表しており、INP は GND に、INN は前段の整形回路の出力にそれぞれ接続されている。VL は定電流源用のバイアス電圧導入端子である。

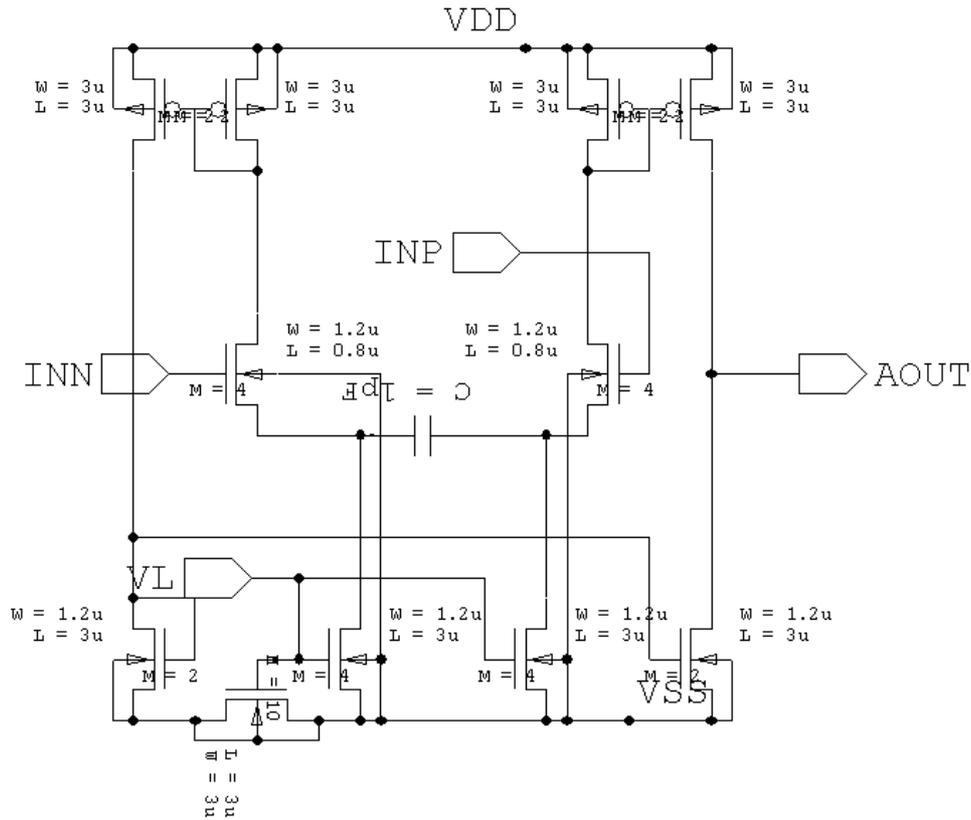


図 4.16: 微分回路の回路図

4.7.8 VALID 判定回路

VALID 判定回路の回路図を図 4.17 に示す。VALID 判定回路は、あるイベントに対してそれが 511 keV 相当の入力電荷量に対応する妥当 (VALID) なイベントかどうかを判断するための回路であり、4つのコンパレータから構成されている。VTH0 はゼロクロスコンパレータのスレッシュホールド電圧導入端子であり、SLOW 信号を微分した FAST 信号がゼロになる瞬間³ (HIT) の電圧値を設定している。VTH1 はトリガを生成するためのスレッシュホールド電圧導入端子であり、最低限のエネルギー (例えば 10 keV 相当) 以上の電荷入力があった場合にのみゲートを開放することでノイズの影響を抑えている。VTH2、VTH3 は VALID 判定のためのスレッシュホールド電圧導入端子であり、SLOW 信号のピーク波高が VTH2 以上かつ VTH3 以下のイベントに限り DAV 端子から VALID 信号を出力する。トリガが生成されたイベントに関しては、HIT した瞬間に DSUM 端子から信号が出力され、CHAIN2 の TAC 回路のカウントがスタートする。

³ 信号の遅延やオフセットによる影響が無視できないため、実際にはゼロではない。

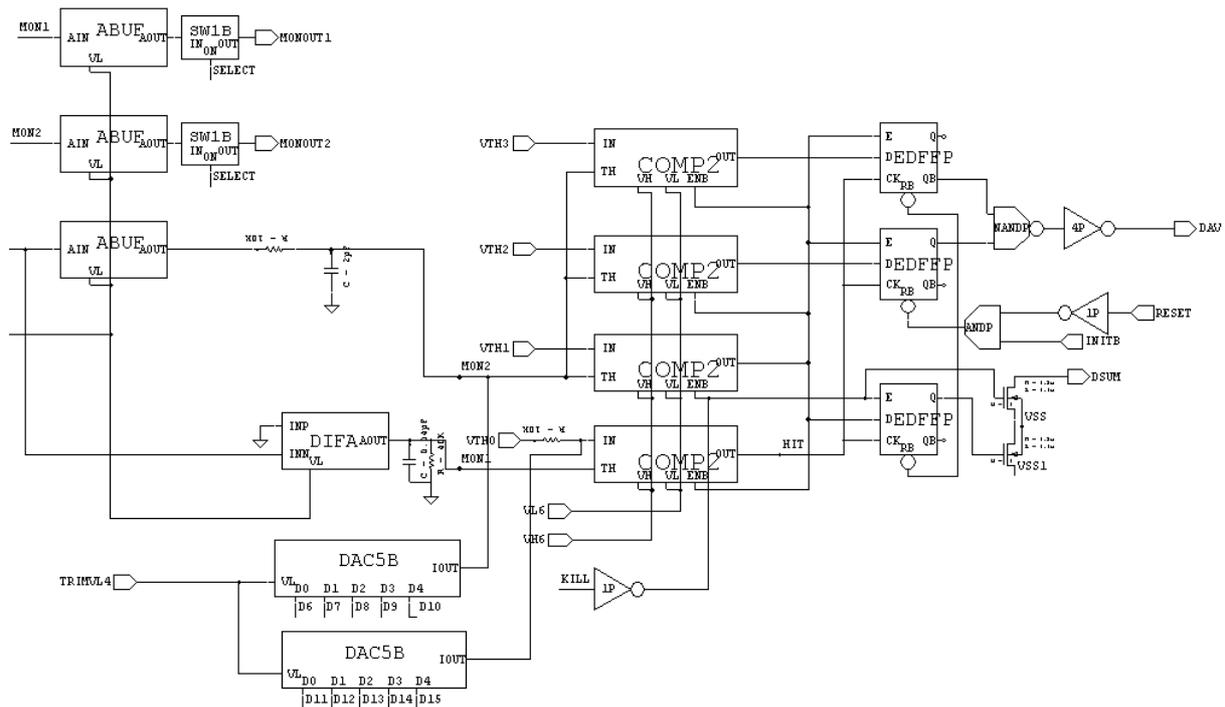


図 4.17: VALID 判定回路

4.7.9 アナログ加算回路

アナログ加算回路は、各チャンネルの電荷増幅器出力に対してアナログ加算を行う回路である。回路構成はCHAIN1の整形回路とほぼ等しく、整形用のパラメータだけが異なっている。CHAIN1の信号処理には高速性が要求されるが、アナログ加算回路の場合はデバッグ用にスペクトル波形を出力するだけなので、整形時定数は長めに設定している。

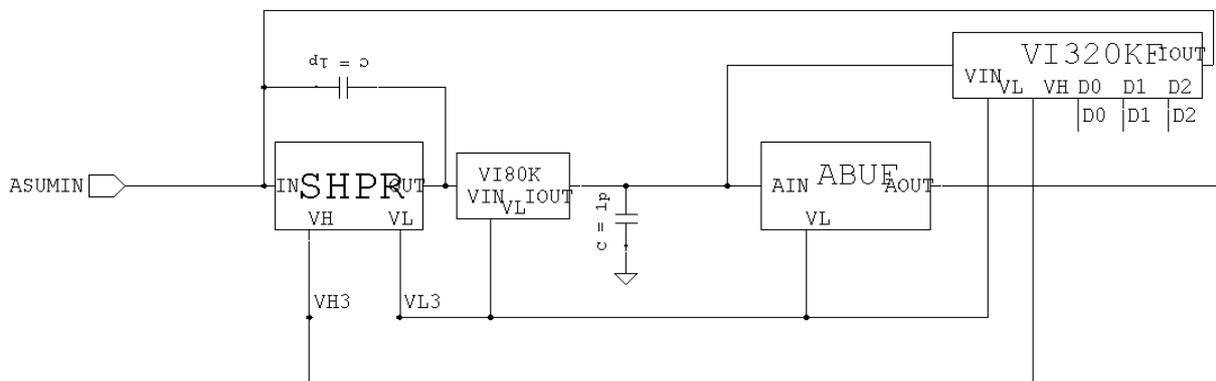


図 4.18: アナログ加算回路

4.7.10 時間電圧変換回路

時間電圧変換回路 (TAC) の回路図を図 4.19 に示す。

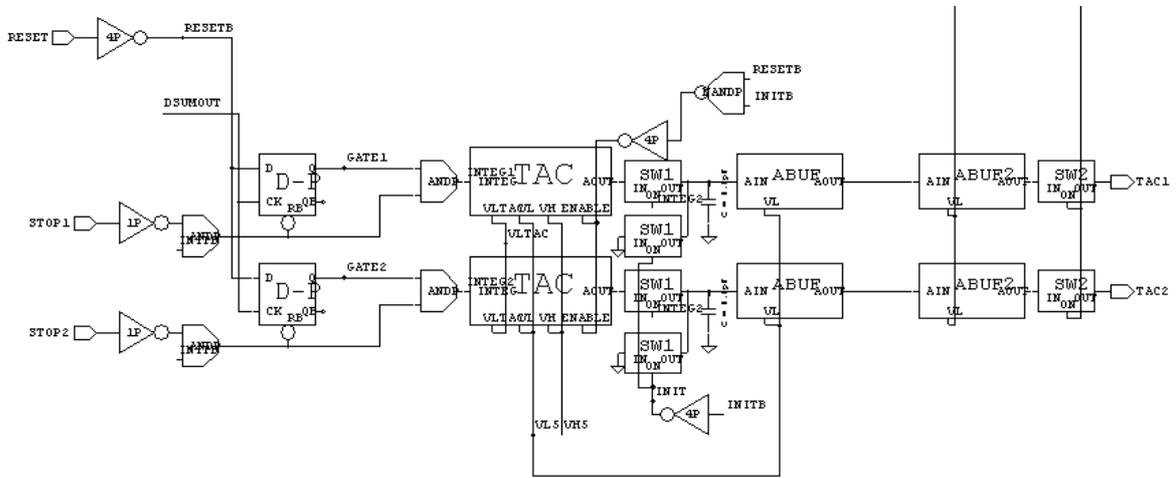


図 4.19: TAC 回路

TAC とは Time-to-Amplitude Converter (時間電圧変換器) の略であり、時間を電圧に変換する作用を持つ回路である。TAC 回路は FAST のゼロクロスコンパレータが ON になった瞬間にコンデンサに一定の速度で電荷を貯め始め、STOP 信号が入力されるまで充電を続ける。すると、ゼロクロスした瞬間からの経過時間を電圧値として読み取ることが出来る。TAC の精度は極めて高いため、サブナノオーダーの時間分解能を得ることも可能である。TAC 回路のタイミングチャートを図 4.20 に示す。

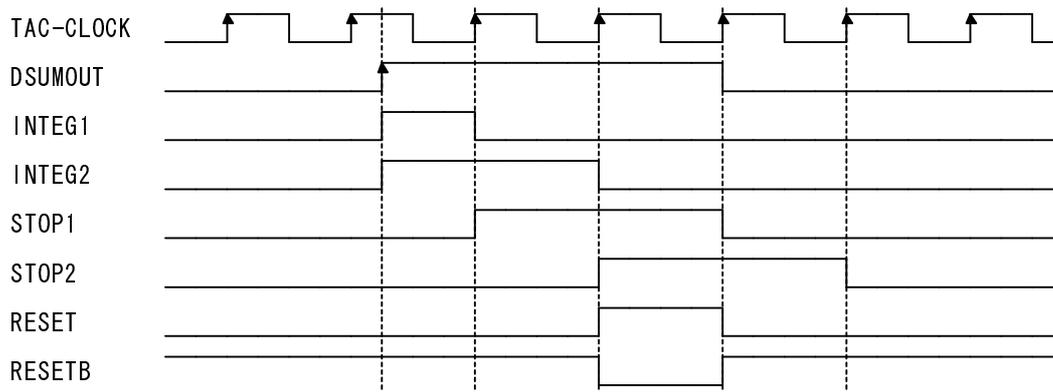


図 4.20: TAC 回路のタイミングチャート

名称	用途	電圧値 [mV]
VH1	電荷増幅器用 VH	-273.5
VL1	電荷増幅器用 VL	23.6
VH2	電荷増幅器の帰還抵抗用 VH	906.0
VH3	整形回路用 VH	302.7
VL3	整形回路用 VL	-534.2
VL4	オフセット調整電流 DAC 用 VL	-957.4

表 4.2: バイアス電圧のモニタ出力

4.7.12 静電気保護回路

LSI の内部-外部間の信号のやりとりには、様々な種類のパッドを用いる必要がある。パッドとは、LSI とパッケージないしは実装基板の間をワイヤーボンディング等で接続するための特有のレイアウト構造である。内部回路で用いる MOS-FET は、ゲートに絶縁体として 10nm 以下の厚さの酸化膜を使用しているため、静電気の放電 (ESD:Electro Static Discharge) 等によって容易に破壊されてしまう。そのため、パッドは第一に静電気による内部回路の破壊を防ぐための保護回路としての役割を担っている。表 4.3 に今回使用するパッドの種類と用途について示す。

表 4.3: 今回使用するパッドの種類と用途

名称	パッドの用途	適用部位
PAD	ESD 保護回路無しのパッド	VDD,VSS,GND 等電源関係の導入部
PDTH	デジタル信号を直接コアと入出力	LVDS 信号の出力部
PDTHR	デジタル信号を抵抗を介して導入	LVDS 信号の入力部
PVDD1	デジタルコア電源 VDD1 の導入用	VDD1 の導入部
PVSS1	デジタルコア電源 VSS1 の導入用	VSS1 の導入部
PDOUT	CMOS デジタル信号の出力用	VDD1 の導入部
PATH	アナログ信号を直接コアと入出力	TAC, モニタ,VTH,APD 等入出力
PVDD	アナログ電源 VDD の導入用	VDD の導入部
PVSS	アナログ電源 VSS の導入用	VSS の導入部

第5章 APD-PET用LSIの性能評価

この章ではAPD-PET用LSIのシミュレーションを用いた性能評価の結果について述べる。まずシミュレーションの必要性、及び概要について述べ、次にSPICEシミュレータを用いてアナログ回路の検出器容量依存性、線形性、雑音特性などの評価を行う。さらにverilog-HDLシミュレータを用いたデジタル回路の動作検証の結果について述べる。

5.1 シミュレーションについて

LSIの製作には一般に多大な時間とコストがかかるため、試作 評価 設計変更 試作といった過程を繰り返して開発を進めることは効率的ではない。そのため、製作段階に入る前の設計段階においてシミュレーションによる性能評価を行うことは必須である。集積回路関連で使用されるシミュレータの例を以下に示す [19]。

- 回路シミュレータ (回路の電圧や電流の値を計算)
- 論理シミュレータ (論理ゲートで構成した回路の論理機能やタイミングの計算)
- 伝送線路シミュレータ (信号の反射やクロストークなど信号の乱れを計算)
- 電磁界シミュレータ/EMIシミュレータ (回路から発生する電磁ノイズを計算)
- 熱解析シミュレータ (LSIからの発熱が外部へ及ぼす影響を計算)

このうち本チップの開発にあたっては回路シミュレータと論理シミュレータの2種類をそれぞれ使用した。

5.2 アナログ回路シミュレーション

5.2.1 SPICEシミュレータ

SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレータとは、1972年にカリフォルニア大学バークレー校でICの設計検証用に開発された回路シミュレータ

である。回路シミュレータとは、回路図または回路素子を繋いだ情報（ネットリスト）から回路の電圧や電流の値を計算するツールであり、その中でも SPICE は最も一般的な回路シミュレータであると言える。解析の種類としては、大きく次の4つに分けることができる。

1. DC 動作ポイント解析

DC 動作ポイント解析とはバイアス・ポイント解析とも呼ばれ、定常状態における回路の各ノード（端子）の電圧及び電流の値を解析する。実際の実験では、回路に直流電源を接続した時に各端子の電圧及び電流の値をチェックする動作に相当する。DC 動作ポイント解析はどの解析を行う際にも前処理として自動的に行われる事になっている。

2. DC 解析

DC 解析は入力信号をゆっくり変化させて、同様の解析を行う。

3. AC 解析

AC 解析は入力信号の周波数を変化させて、同様の解析を行う。

4. 過渡解析

過渡解析は回路の時間応答を解析するものである。例えば、スイッチを ON にしてから定常状態に落ち着くまでの各ノードの電圧及び電流の値を解析する際に用いられる。最も多く用いられる解析であると言える。

回路は線形素子である抵抗、非線形素子であるダイオードやトランジスタ、電気エネルギーの充放電を行うコンデンサやコイルなどから構成されているため、回路情報は一般的に非線形微分方程式の形で表される。SPICE ソフトウェアは入力されたネットリスト情報から、節点解析法によりノードの電圧を未知数としてキルヒホッフの電流則に従い回路方程式を立て、得られた非線形微分方程式を非線形代数方程式、更に線形代数方程式に変形して解析を行う [20]。この際、LSI のベンダーから実際に近いトランジスタのパラメータの提供を受けることで、より精度の高い解析を行うことが可能となる。

本研究では SPICE シミュレータとして Tanner 社の回路シミュレータ「T-SPICE」を、SPICE パラメータとしては TSMC (Taiwan Semiconductor Manufacturing Company) 社提供の $0.35 \mu\text{m}$ チップ用パラメータをそれぞれ用いた。

5.2.2 過渡特性

まず回路にテストパルスを入力した時の過渡特性について評価を行うため、APDからの入力電荷量の算出を行った。主要なシンチレータの諸性能を表 5.1 に示す [21, 22]。

表 5.1: シンチレータの特性

シンチレータ	LSO	YSO	GSO	BGO	CsI(Tl)	NaI(Tl)
密度 [g/cm ³]	7.4	4.45	6.71	7.13	4.5	3.67
有効原子番号	65	34	60	74	54	51
蛍光減衰時定数 [nsec]	40	40	60	300	1000	230
出力光子数 [個/keV]	10–15	46	10	8–10	52	38
出力波長 [nm]	420	420	430	480	550	415
屈折率	1.82	1.80	1.85	2.15	1.80	1.85

今回使用する予定のシンチレータはLYSO (LSO と YSO の混晶) であり、LSO とほぼ同じ特性を示す。LYSO の出力光子数を 12 個/keV とすると、511 keV の γ 線がLYSOに入射した時に、6000 個程度の光子が放出されることになる。APD の量子効率を 0.6 とすると、APD の空乏層にて生成されるキャリアの数は、

$$12[\text{個/keV}] \times 511[\text{keV}] \times 0.6 = 3700[\text{個}] \quad (5.1)$$

となる。APD の動作電圧を 350 V とすると、ゲインは 30 倍程度なので、トータルで発生するキャリアの数は、

$$3700[\text{個}] \times 30 = 1.1 \times 10^5[\text{個}] \quad (5.2)$$

と求めることができる。これは電荷量で表すと、

$$Q = 1.1 \times 10^5 \times -1.6 \times 10^{-19} = -1.8 \times 10^{-14} = -18[\text{fC}] \quad (5.3)$$

である。以上の結果から、プリアンプのコンデンサの容量が 0.1 pF の時、このイベントによって生じる電圧は、

$$V = \frac{Q}{C} = \frac{-1.8 \times 10^{-14}}{0.1 \times 10^{-12}} = -18 \times 10^{-2} = -180[\text{mV}] \quad (5.4)$$

と求めることができた。シミュレーション用のテストパルス信号としては、ここで得られた -180 mV という電圧に対してやや余裕を持って -160 mV の電圧値を用いることにした。また電荷の注入時間は、LYSO の蛍光減衰時定数である 40 ns に設定した。

-160 mV、40 ns のテストパルスを入力した時のプリアンプ、整形回路、微分回路、アナログ加算回路のそれぞれの出力波形を図 5.1 に、また得られた値を表 5.2 にそれぞれ示す。

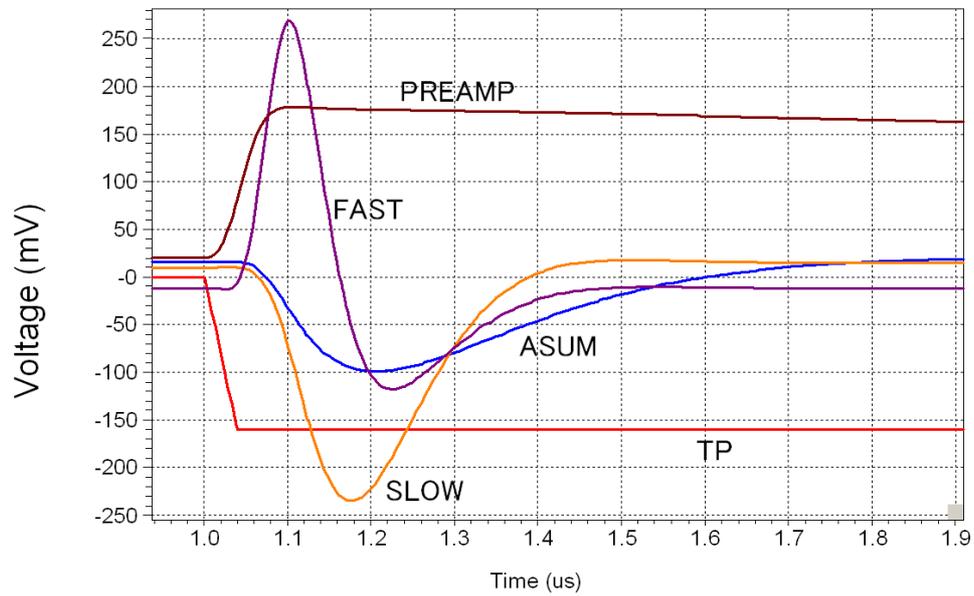


図 5.1: テストパルス入力に対する過渡応答

TP : テストパルス PREAMP : プリアンプ SLOW : 整形回路
 FAST : 微分回路 ASUM : アナログ加算回路

表 5.2: テストパルス入力に対する過渡応答

回路	端子名	最大波高値	整形時定数	オフセット
プリアンプ	PREAMP	160 mV	8000 ns	20 mV
整形回路	SLOW	-240 mV	100 ns	10 mV
微分回路	FAST	280 mV	50 ns	-10 mV
アナログ加算回路	ASUM	-120 mV	200 ns	16 mV

5.2.3 パルス波形の検出器容量依存性

今回はスケジュールの都合上、まだ APD アレー本体が未完成の状態です。LSI の設計を進めなければならなかったため、実際の検出器容量がどの程度なのかという概算は目安でしかありません。一方パルス波形は検出器の容量に強く依存してしまいます。従って検出器の容量を変化させてあらかじめパルス波形の挙動を調べておくことは重要である。パルス波形の検出器容量依存性について調べるため、まず今回の APD-Array に用いる 1 mm × 1 mm と 2 mm × 2 mm の 2 種類の APD に関して容量の見積もりを行った。市販のリバース型 APD の容量は 5 mm × 5 mm サイズで 85 pF 程度であることがわかっている。APD の容量は誘電率 ϵ 、厚さ d 、面積 S の時、

$$C = \epsilon \frac{S}{d} \quad (5.5)$$

の形でほぼ表せるので、厚みが一定の場合

$$C(1\text{mm}) = \frac{85\text{pF} \times (1\text{mm} \times 1\text{mm})}{5\text{mm} \times 5\text{mm}} = 3.4[\text{pF}] \quad (5.6)$$

$$C(2\text{mm}) = \frac{85\text{pF} \times (2\text{mm} \times 2\text{mm})}{5\text{mm} \times 5\text{mm}} = 13.6[\text{pF}] \quad (5.7)$$

とそれぞれ見積もることができた。これらのパラメータを用いてテストパルスを入力した時に得られた波形を図 5.2 に示す。

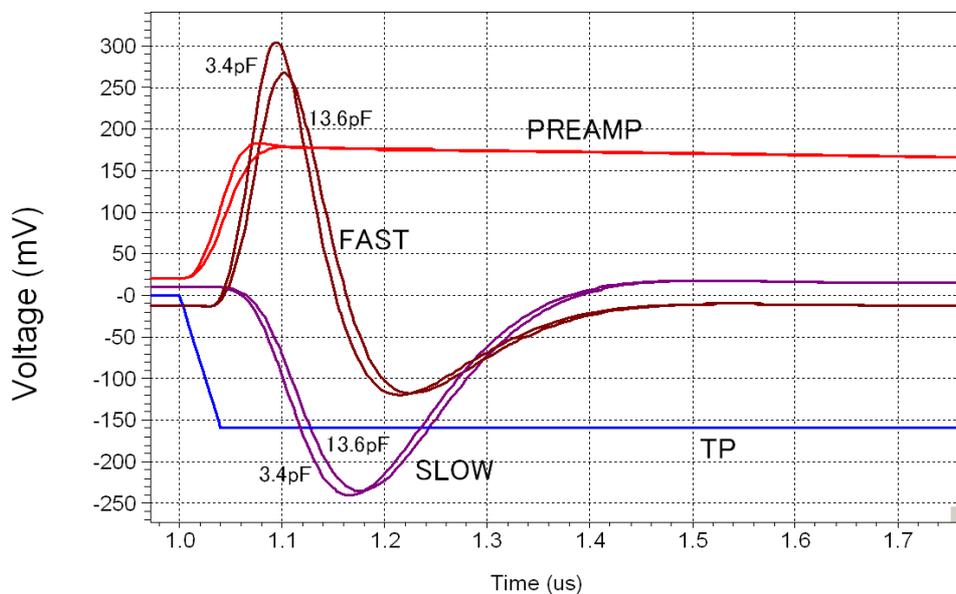


図 5.2: 2 種類の APD における波形の変化

図 5.2 から、検出器容量が大きいと信号の立ち上がりが遅くなってしまうことがわかる。

より一般的な傾向を調べるため、APDの容量を0 pF から 50 pF まで 10 pF ずつ変化させてシミュレーションを行った。結果を図 5.3 に示す。

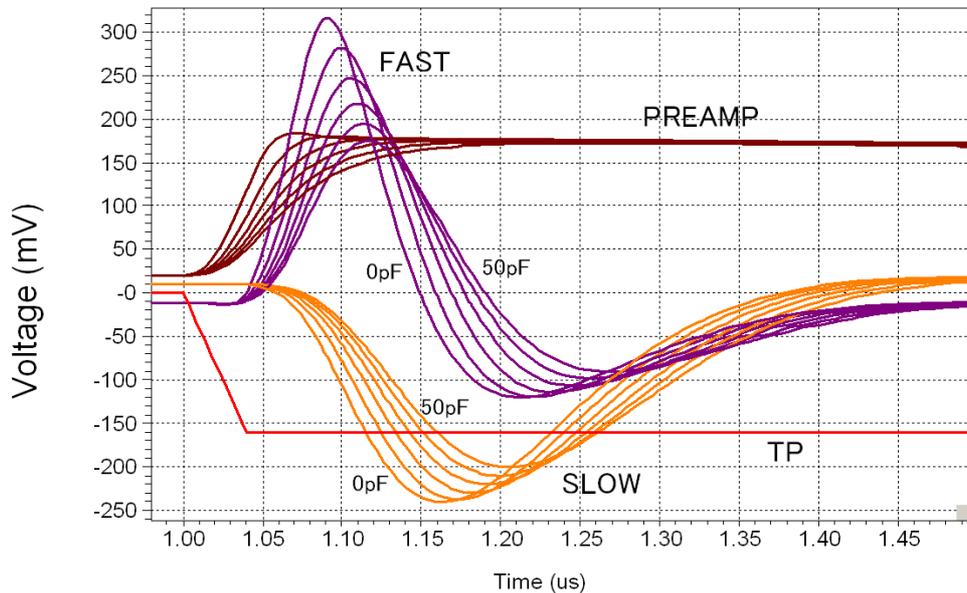


図 5.3: 波形の検出器容量依存性

図 5.3 から、APD の容量が最も小さい 0 pF の時に信号の立ち上がりは最も速くなり、容量が増加するにつれて遅くなる様子がわかる。また SLOW や FAST の振幅も容量が増加するほど小さくなってしまっている。これは APD からの入力信号が 10 MHz 程度と高速なため、電荷増幅器の開ループゲインが低下してしまい、信号入力側の容量の影響を完全に打ち消すことが難しいためであると考えられる。

簡単のために浮遊容量の影響を無視し、検出器からの入力電荷を Q_{in} 、検出器の容量を C_{in} 、電荷増幅器の帰還コンデンサの容量を C_f 、開ループゲインを A とすると、電荷増幅器の出力電圧は

$$V_{out} = \frac{AQ_{in}}{C_f(A+1) + C_{in}} \quad (5.8)$$

という形で表される。通常、電荷増幅器の増幅率は 10 万倍以上と非常に大きいので、検出器容量の影響は打ち消すことができる。しかし信号が高速になるにつれて電荷増幅器の増幅率は低下し、次第に検出器容量の影響が無視できなくなるため、出力電圧が検出器容量に依存してしまうようになる。従って出力電圧を安定させるためには、帰還コンデンサの動的容量 AC_f を検出器の容量よりも十分大きくすることが必要であるが、10MHz 以上の高速な信号に対して増幅率を保つ事は非常に難しい。

5.2.4 リニアリティ評価

アナログ系のリニアリティを評価するため、テストパルスにより電荷を段階的に注入した場合の波高の変化を調べた。SLOW 出力の結果を図 5.4 に、FAST 出力の結果を図 5.5 にそれぞれ示す。なおフィッティング直線は、APD に 0 ~ 640 keV のガンマ線が入射した場合にアノードから出力される電荷 (0 ~ -20 fC) の範囲でフィッティングを行った近似直線である。グラフは入力電荷量に対する SLOW・FAST 出力の波高、及び近似直線との残差を表している。APD の容量は 13.6 pF とし、20 mV(2 fC) 刻みでテストパルスを入力した。

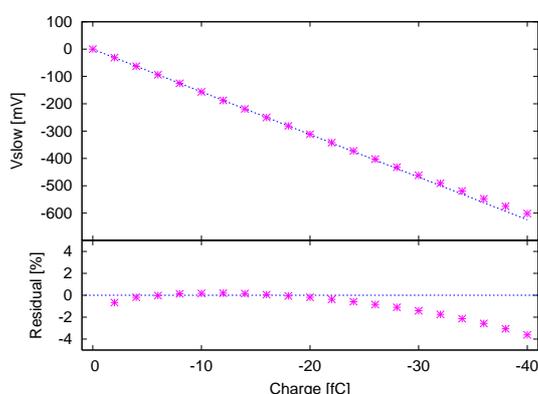


図 5.4: リニアリティ評価 (SLOW)

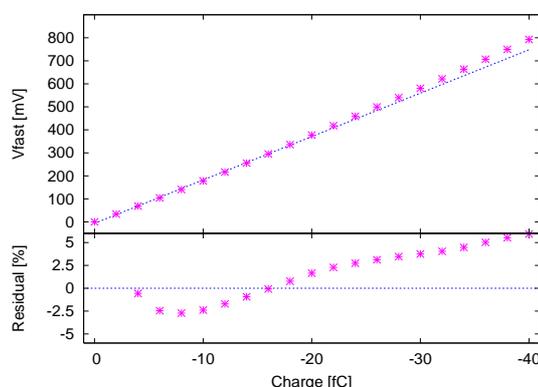


図 5.5: リニアリティ評価 (FAST)

図 5.4 を見ると、-2 fC から -26 fC(64 keV ~ 830 keV) までの電荷入力に対して 1%以内、また -36 fC(1.15 MeV) までの電荷入力に対して 3%以内の精度でリニアリティが保たれている。これは一次関数でエネルギーの校正を行う場合、例えば 64 keV ~ 830 keV の範囲で最大 1%程度の誤差が現れてしまうことを意味しているが、PET 用検出器として用いる場合には 511 keV 付近のエネルギーさえ明確に区別できれば良いので、10 倍以上のダイナミックレンジに対して 1%のリニアリティが確保されていれば十分であると言える。

次に図 5.5 を見ると、FAST 出力は SLOW 出力に比べてリニアリティが大きく失われていることがわかる。しかし FAST は SLOW を微分したものであり、波高の弁別を行う必要がある SLOW とは違ってゼロクロスタイミング情報のみが利用されるため、ここでは特に問題は無い。

5.2.5 ノイズ評価

次に SLOW 及び FAST について、同様に検出器容量を 0 pF から 50 pF まで 10 pF ずつ変化させてノイズレベルの評価を行った。周波数帯域ごとにノイズ感度をプロットした図を図 5.6 及び図 5.7 に示す。

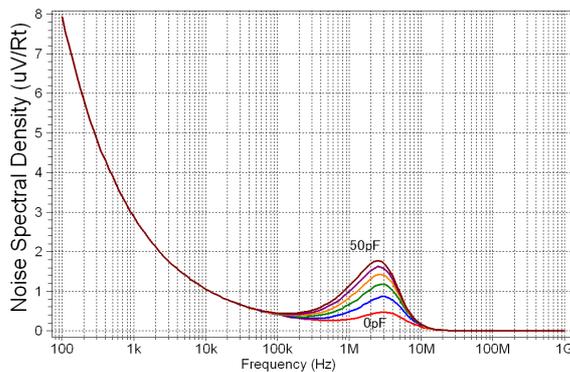


図 5.6: ノイズ感度 (SLOW)

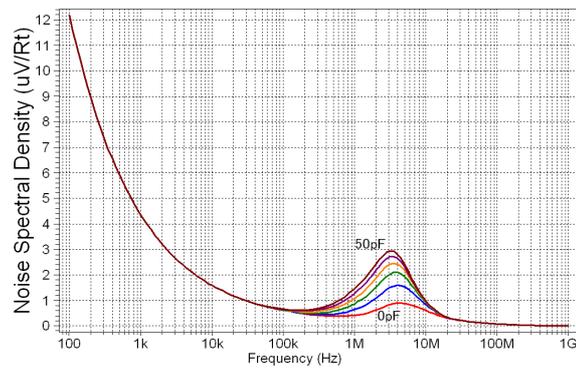


図 5.7: ノイズ感度 (FAST)

Noise Spectral Density (NSD) とは、回路素子によって生成されたノイズのスペクトル密度を表す量であり、ある周波数領域におけるノイズの大きさを表す。図 5.6、図 5.7 を見ると、まず検出器容量が大きいほどノイズレベルも高くなることに気付く。これは容量が大きいほど高周波電圧に対してインピーダンスが低下するため、ノイズの影響を受けやすくなってしまいう事に起因している。また SLOW・FAST 共に 1MHz ~ 10MHz までの周波数のノイズによる影響が非常に大きい。これはプリアンプの後段に接続されている整形回路が、3MHz 付近を通過周波数帯域とするバンドパスフィルタとして機能しているためである。当然この帯域のノイズは増幅されてしまう事になるが、APD からの信号そのものが数 MHz 程度であり、ノイズ同様に増幅されるため、S/N 比の低下には繋がらない。

次にノイズ総量をプロットした図を図 5.8 及び図 5.9 に示す。

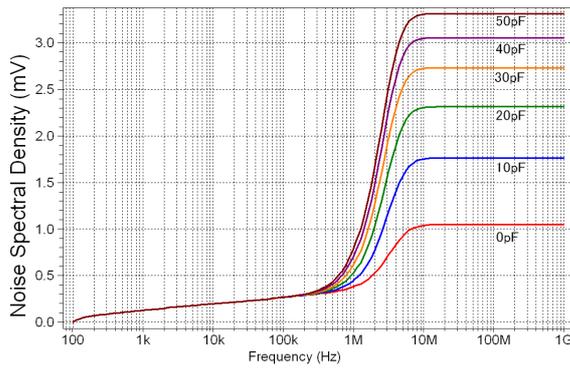


図 5.8: ノイズ総量 (SLOW)

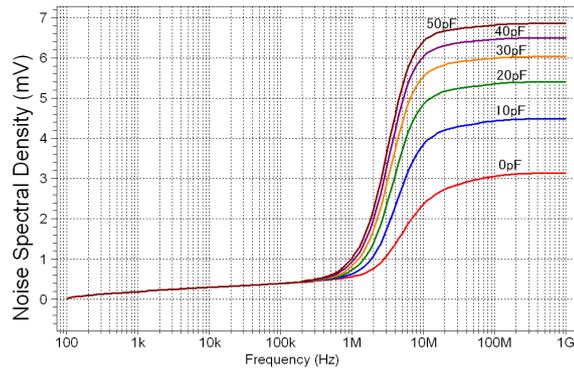


図 5.9: ノイズ総量 (FAST)

ノイズ総量とは、ノイズスペクトルを全周波数領域で積分した量を表す。従って高周波端における電圧値が出力に現れるノイズの電圧値を表している。APDの容量を仮に10 pFとすると、図5.3から出力端における信号の出力電圧はSLOWで -250 mV、FASTで 290 mV程度となるが、それに対してノイズの電圧値はSLOWで 1.8 mV、FASTで 4.5 mV程度となることが図5.8、図5.9から読み取れる。従ってS/N比はSLOW出力で140倍、FAST出力で65倍程度となり、ノイズの影響は十分小さく無視できるレベルであることがわかる。

ところで、一般にノイズレベルはENC (Equivalent Noise Charge : 等価雑音電荷) で評価する。ENCとは、得られたノイズスペクトルから2乗平均平方根 (RMS : Root Mean Square) ノイズを求め、この値を入力電子数とフィルタ出力電圧の比から電子数に変換したものである。511 keV相当の電子数を10万個として、容量に対する電子数相当のノイズレベルとS/N比をそれぞれプロットした図を図5.10に示す。

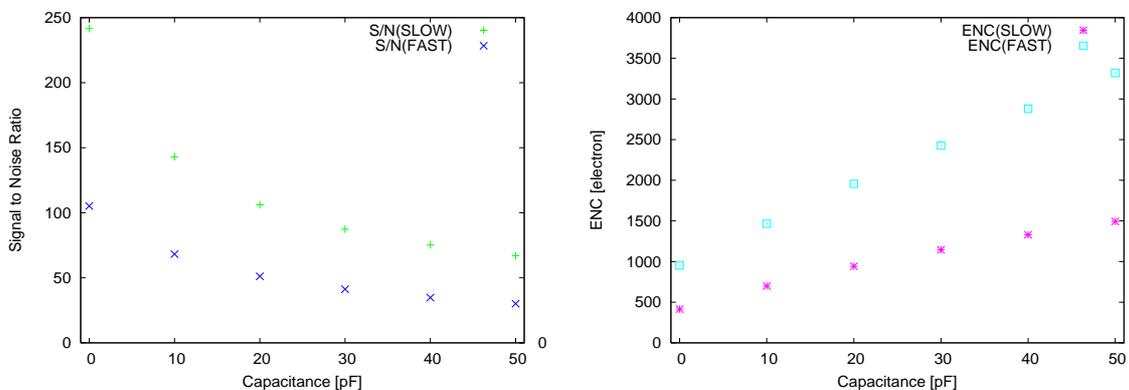


図 5.10: ノイズ評価 (左) 容量に対する S/N 比 (右) 等価雑音電荷

図 5.10 を見ると、0–20 pF までの領域で S/N 比は SLOW、FAST 共に 50 倍以上の値を確保しており、ノイズの影響は実用上無視できる程度であることを確認することができた。また ENC に関しては、20 pF までの検出器容量に対して SLOW では 1000 electron 以下、FAST でも 2000 electron 以下の値を達成しており、高速な処理速度に対して非常に低雑音な信号処理回路を構成することができた。

5.2.6 スキュー解析

スキュー解析とは、nMOS、pMOS の製造精度を SPICE パラメータに反映させ、製造プロセスの誤差による影響を評価するシミュレーションである。今回使用する TSMC 社の SPICE モデルファイルには、F (Fast)、T (Typical)、S (Slow) の 3 種類があり、それぞれトランジスタの動作速度が高速、標準、低速であることを表している。すなわち、製造誤差の影響はトランジスタの動作速度の違いとしてシミュレーションに反映させることができ、典型的なトランジスタの動作速度は F と S の間に収まることになる。例えば、いくらシミュレーション上でオフセットをゼロにすることもできて、ほんの僅かな製造誤差の影響でオフセットが変化してしまうようであれば使い物にならない。そのためスキュー解析は常に他の解析と併せて行っていく必要がある。

理想的なパルス波形に対して、nMOS、pMOS の精度パラメータをそれぞれ変化させた場合の波形の変化を図 5.11 に示す。図 5.11 を見ると、精度パラメータの違いによって波形にかなりの差が出るのがわかる。nMOS/pMOS とともに Slow の場合では、ともに Fast の場合に比べて、ゼロクロスのタイミングに 50 ns 程度の遅れが生じている。また nMOS が Fast/pMOS が Slow の場合より、nMOS が Slow/pMOS が Fast の場合のほうが Typical なパラメータを用いた信号からのずれが大きいことに気付く。高速な信号処理を行う場合、pMOS よりも nMOS の製造精度のほうが回路に与える影響は大きいと言える。

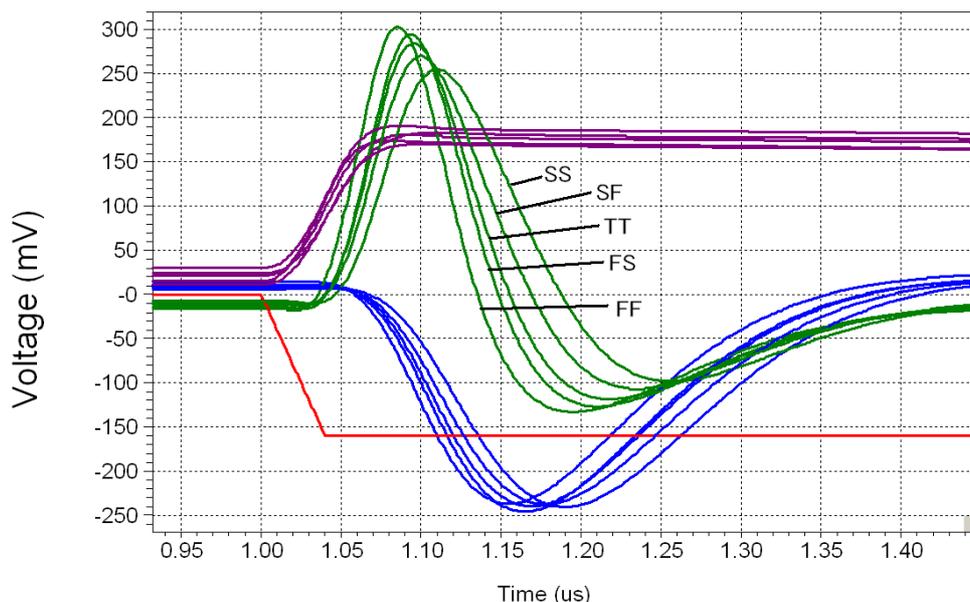


図 5.11: スキュー解析

TT、SF、FFなどは精度パラメータの組み合わせを表しており、左側がnMOS、右側がpMOSのパラメータをそれぞれ表す。例えば、TTはnMOS/pMOSともにTypicalを用いた場合であり、SFはnMOSにSlow/pMOSにFastを用いた場合である。

5.2.7 温度解析

SPICEシミュレーションでは特に温度の指定が無い場合、自動的に27°Cの条件でシミュレーションが実行される。温度解析とは、この温度を変化させたSPICEパラメータを用いて、温度の変化が回路に与える影響を調べるシミュレーションである。半導体の性質は温度と密接な関係があるため、温度解析を行うことは非常に重要である。今回は、ごく簡単に25°C、0°C、-25°Cにおけるパルス波形の変化の様子を調べた。結果を図5.12に示す。

図5.12を見ると、温度が低いほど信号の立ち上がり時間が短いことがわかる。しかし25°Cから-25°Cの温度範囲内であれば、かなり大きな温度変化があったとしてもそれがパルス波形に及ぼす影響は他の製造誤差による影響(図5.11)等に比べると小さく、無視できる程度であると言える。

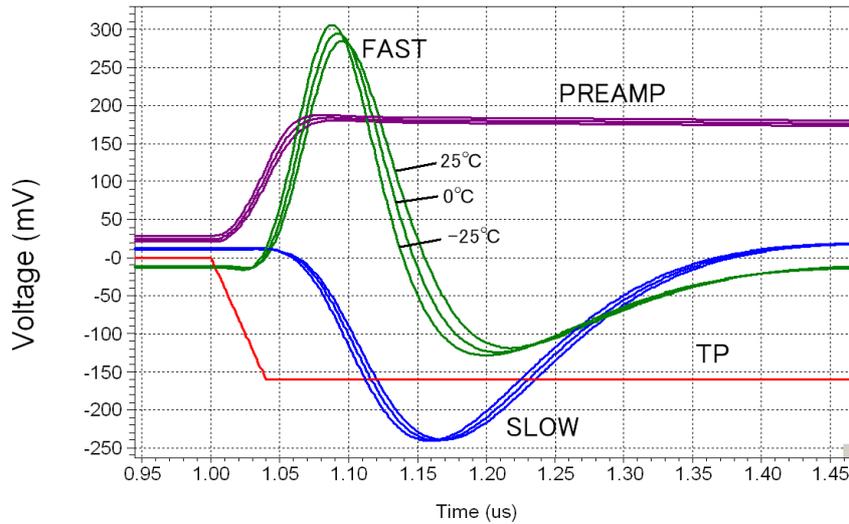


図 5.12: 温度解析

温度が下がると半導体中のキャリアが散乱されにくくなり、移動度が大きくなる結果信号の立ち上がり時間が短くなる。

5.2.8 電源電圧の変動による影響

本 LSI チップの内部は VDD を HI レベル、VSS を LOW レベルとする ± 1.65 V の CMOS レベルで動作する。そのため、電源は +1.65 V の VDD と -1.65 V の VSS の 2 種類が内蔵されている。また、デジタル系にはそれとは別に VDD1、VSS1 の 2 つの電源が設けられている。これらの電源が何らかの影響により ± 50 mV だけ変動した場合、パルス波形にどれほどの影響が現れるかを調べた結果を図 5.13 に示す。

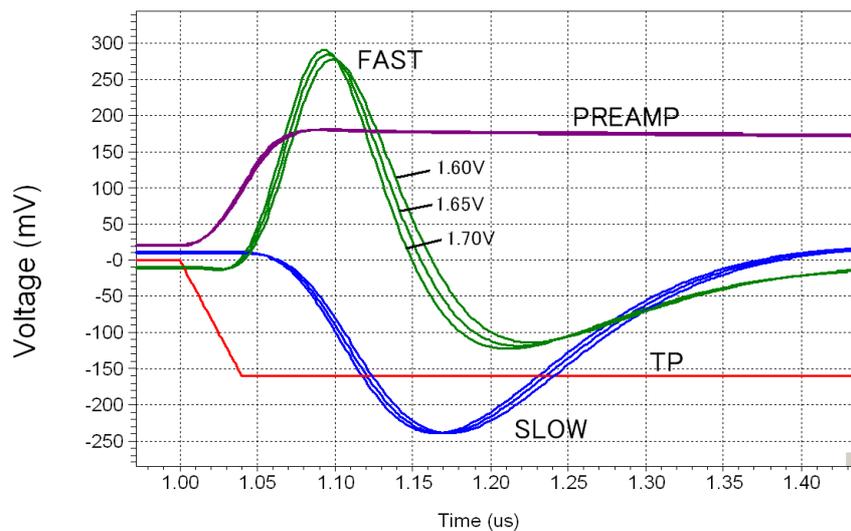


図 5.13: 電源電圧の変動による影響

図 5.13 を見ると、電源電圧の変動を受けてパルス波形も変化してしまうことがわかる。これは電源電圧が高くなると半導体中の電場勾配が増し、キャリアの移動速度が速くなる結果、信号の立ち上がり時間に影響が現れるためである。FAST のゼロクロス時間の遅れについて見てみると、そのずれ幅は 0V になる時間を基準にすると 1.70 V と 1.60 V の間で 15 ns 程度になることがわかった。そのため、ゼロクロスのタイミングを正確に合わせるためには放射線測定中の電源電圧の変動を可能な限り抑える必要がある。

5.2.9 FAST のクロス電圧の最適化

TOF の精度を評価するため、APD の容量を 13.6 pF とし、-14 fC ~ -18 fC の電荷入力 (511 keV \pm 12.5%) に対してある基準電圧に対する FAST のクロスの時間がどれほど変化するか調べた。波形を図 5.14 に、クロス時間を図 5.15 にそれぞれ示す。

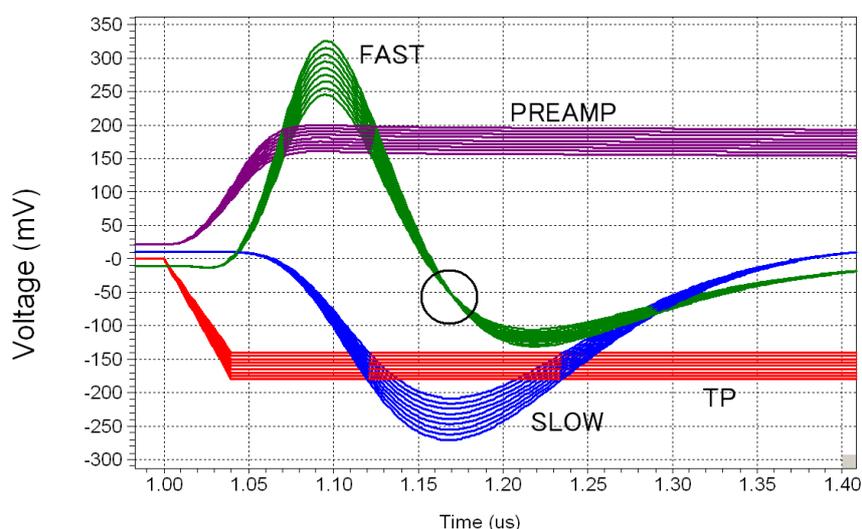


図 5.14: -14 fC ~ -18 fC の電荷入力に対する応答

図 5.14 を見ると、-54.0 mV に FAST のクロス電圧を設定することで、最もクロス時間のずれ幅を小さくできることがわかる。

図 5.14 及び図 5.15 から、基準電圧を -54.0 mV に設定することで 511 keV \pm 12.5 % の入力に対して 600 ps 以内のクロスタイミング間隔を確保できることがわかった。また、同様に APD の容量を 3.4 pF とした場合でも基準電圧 -54.0 mV に対して 600 ps 以内のクロスタイミング間隔を確保できることを確認した。

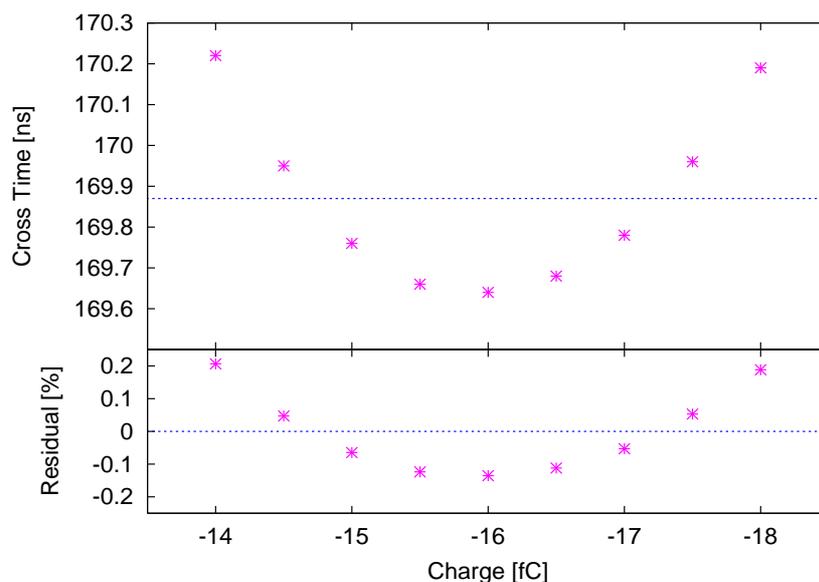


図 5.15: 基準電圧 -54.0 mV に対する FAST のクロス時間

5.2.10 消費電力

LSI チップの消費電力は、LSI に電力を供給する各電源の電圧値と、電源から定常的に流れる電流値の積で表すことができる。

$$\text{消費電力 [W]} = \text{電源電圧 [V]} \times \text{定常電流 [A]} \quad (5.9)$$

DC 動作ポイント解析の結果から、各電源の消費電力を求めた結果を表 5.3 に示す。

表 5.3: 本 LSI チップの消費電力

電源	電圧 [V]	電流 [mA]	消費電力 [mW]
アナログ回路用正極電源 (VDD)	1.65	1.02	1.68
アナログ回路用負極電源 (VSS)	-1.65	1.11	1.83
デジタル回路用正極電源 (VDD1)	1.65	4.51	7.44
デジタル回路用負極電源 (VSS1)	-1.65	5.15	8.50

消費電力は、アナログ回路系で 3.5 mW、デジタル回路系で 15.9 mW、合計で 19.4 mW 程度と見積もることができた。これは読み出し回路 1 チャンネルあたりにすると 2.4 mW 程度であり、十分に低消費電力であることがわかる。

5.2.11 アナログ回路シミュレーション結果のまとめ

[1] 過渡特性

LYSO シンチレータに 511 keV のガンマ線が入射した際に生成される電荷量を模擬したテストパルスを入力し、意図した通りのパルス波形が得られることを確認した。

[2] パルス波形の検出器容量依存性

開発中の APD アレーについて容量の見積もりを行った後、0 pF から 50 pF まで検出器容量を変化させてパルス波形の検出器容量依存性を調べた。その結果、容量の増大によって増幅率や動作速度の低下が見られた。

[3] リニアリティ評価

テストパルスにより電荷を段階的に注入し、波高の変化から SLOW と FAST のリニアリティを評価した。その結果、SLOW に関しては 64 keV ~ 830 keV までの 10 倍以上の範囲で誤差 1% 以内のリニアリティを確保していることがわかった。

[4] ノイズ評価

検出器容量を 0 pF から 50 pF まで変化させて SLOW と FAST のノイズ評価を行った。その結果、1 MHz ~ 10 MHz までの周波数のノイズに対して感度が高いことが判明したが、S/N 比は検出器容量が 0–20 pF までの領域で SLOW、FAST 共に 50 倍以上の値を確保していることがわかった。また特に SLOW に関しては同じ条件の ENC で 1000 electron 以下と非常に低雑音であり、ノイズの影響は実用上無視できる程度であることを確認することができた。

[5] スキュー解析

SPICE のスキューパラメータを変化させて、製造プロセスの誤差による影響を評価した。その結果 FAST のゼロクロスのタイミングに最大で 50 ns 程度の遅れが生じる可能性があること、また、pMOS よりも nMOS の製造誤差の影響の方が回路に与える影響が大きいことがわかった。

[6] 温度解析

SPICE の温度パラメータを変化させて、25 °C、0 °C、-25 °C におけるパルス波形の変化の様子を調べた。その結果温度が低いほど信号の立ち上がりが速くなり、25 °C と -25 °C では FAST のゼロクロスのタイミングに 20 ns 程度の差が生じてしまったが、他の要因による影響に比べると温度変化による影響は小さいことがわかった。

[7] 電源電圧の変動による影響

電源電圧を ± 50 mV だけ変化させた時のパルス波形の変化の様子を調べた。その結果電源電圧が高いほど信号の立ち上がりが速くなり、1.6 V と 1.7 V ではゼロクロスのタイミングに 15 ns 程度の差が生じてしまうことがわかった。

[8] FAST のクロス電圧の最適化

-14 fC ~ -18 fC の電荷入力 (511 keV \pm 12.5%) に対して、ある基準電圧に対する FAST のクロス時間がどれほど変化するか調べた。その結果基準電圧を -54.0 mV に設定することで 511 keV \pm 12.5 % の入力に対して 600 ps 以内のクロス時間を確保できることがわかった。すなわち、本チップを TOF-PET 用途に適用する場合、600 ps 程度の時間分解能が期待できると言える。

[9] 消費電力

DC 動作ポイント解析の結果から、本チップの消費電力はアナログ系で 3.5 mW、デジタル系で 15.9 mW、合計で 19.4 mW 程度であることがわかった。1 チャンネルあたりの消費電力は 2.4 mW 程度となり、十分な低消費電力を実現することができた。

5.3 デジタル回路シミュレーション

5.3.1 verilog-HDL シミュレータ

verilog-HDL シミュレータとは、ハードウェア記述言語 (HDL : Hardware Description Language) の一種である verilog を用いたデジタル回路設計用の論理シミュレータである。HDL とは主に論理回路を記述するためのプログラム言語であり、代表的なものとしては verilog の他に VHDL 等が挙げられる。VHDL と比較すると、verilog は記述が簡潔であり、シミュレーション向けの記述を細かくできること、ASIC の開発実績が多数あること等の優位性がある。HDL は回路の検証のみならず、デジタル回路の設計そのものを行う際にも有効な手段である。一般に HDL を用いたデジタル回路設計は従来の回路図による論理回路設計に比べると次のような利点がある [23]。

1. 「どのような動作をするか」という抽象的な回路動作を記述するだけで、自動的に具体的な論理回路が生成されるため、設計作業の大幅な効率化が可能である。
2. 数万個単位のトランジスタに個別に信号を伝えて「論理回路の動作」をシミュレートするよりも、HDL で記述された「抽象的な回路動作」をシミュレートする方が高速であり、また検証精度も高い。
3. 実装対象に依存しない抽象的な記述なので、ある設計で作成した HDL ファイルを別の設計に容易に流用可能である。

ただし、今回はデジタル回路部分の設計も SPICE を用いて行い、verilog はデジタル回路のシミュレーションのためだけに使用した。

本チップには各チャンネル毎に回路の増幅率や整形時定数を調整するためのシフトレジスタ群が搭載されている。これらのデジタル回路部分の動作検証は SPICE シミュレータを用いて行うこともできるが、回路規模が大きいためシミュレーションに時間がかかってしまい、現実的ではない。そこで SPICE 記述によるネットリストを verilog 形式に変換した上で、論理シミュレータを用いた動作検証を行うことにした。

本研究では verilog シミュレータとして菅原システムズ社の「Veritak-Lite」を用いた。Veritak-Lite は菅原孝幸氏によって開発された国産の verilog シミュレータであり、シミュレーション速度が高速であるという特徴がある。

5.3.2 コントロールレジスタとは

コントロールレジスタとは、各チャンネル毎に設けられたシフトレジスタ¹ 群であり、決められた制御コードを書き込むことで動作条件のコントロールを行う機能を持っている。具体的には、電荷増幅器の増幅率、整形回路の整形時定数、オフセット調整、コンパレータのスレッシュホールド電圧の調整等の操作を行うことができる。本チップには18 bit のローカルコントロールレジスタ (LCR : Local Control Resistor) と、14 bit のセントラルコントロールレジスタ (CCR : Central Control Resistor) の2種類のレジスタ群が搭載されている。LCRは8チャンネル分用意されており、各チャンネルに接続されたAPDの特性に応じて回路パラメータを最適化することができる。CCRはチップ毎に1つだけ用意されており、アナログ加算回路の調整やモニタ信号の選択等、チップ全体に関わる設定を行う。

本チップのコントロールを行うためには、これらのコントロールレジスタに対して正常に制御コードの書き込みや保持ができるかどうかを確かめておく必要がある。そこでレジスタ等のデジタル回路を高速にシミュレート可能な verilog シミュレータを用いて、これらのレジスタの動作確認を行うことにした。

5.3.3 ローカルコントロールレジスタ

ローカルコントロールレジスタ (LCR) はCHAIN1 全般のパラメータ調整を行う18 bit のシフトレジスタである。LCRの回路図を図5.16に、各ビットの役割を表5.4に示す。

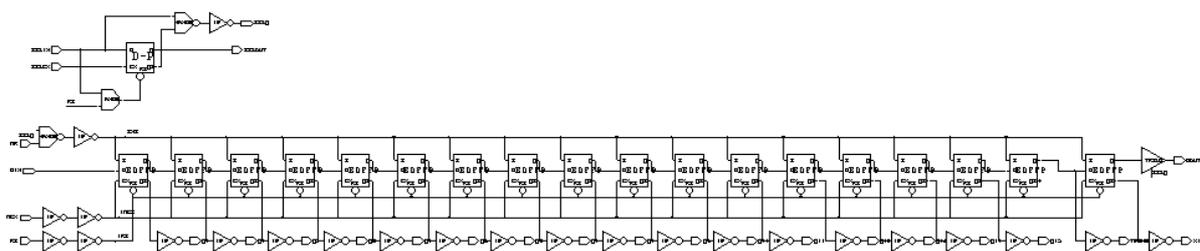


図 5.16: ローカルコントロールレジスタ

¹ シフトレジスタとは、データを一時的に記憶する機能を持つレジスタを n 個直列に接続し、クロックが入力されるごとに記憶された n bit の情報を次々と隣のレジスタにシフトさせる機能を持つレジスタである。

表 5.4: LCR の各ビットの役割

ビット	役割
D0, D1, D2	電荷増幅器の帰還抵抗の設定
D3, D4, D5	電荷増幅器の帰還コンデンサの設定
D6	SLOW のオフセットの極性反転
D7, D8, D9, D10	SLOW のオフセットの微調整
D11	FAST のスレッシュホールドの極性反転
D12, D13, D14, D15	FAST のスレッシュホールドの微調整
D16 (TPENB)	HI でテストパルスを入力不可にする
D17 (KILL)	HI でそのチャンネルを使用不可にする

制御コードとして「111100001100001110」を入力した場合の各 bit の変化を図 5.17 に示す。

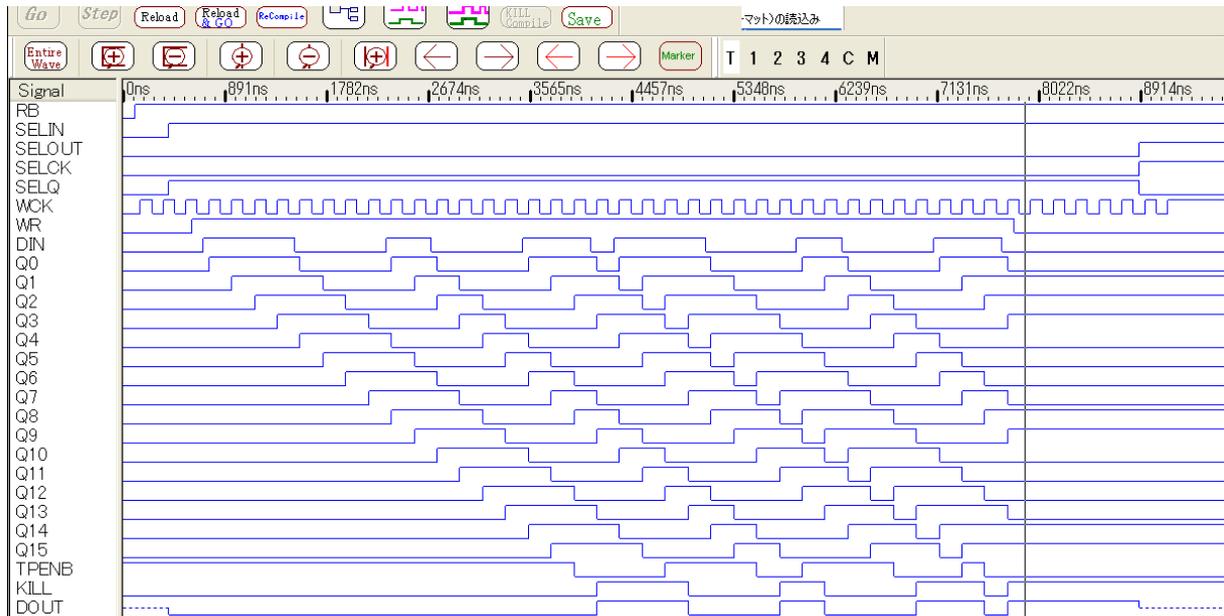


図 5.17: LCR のシミュレーション結果

クロック WCK の立ち上がりに対応して各 bit がシフトして行く様子がわかり、回路が正常に動作していることを確認することができた。

5.3.4 セントラルコントロールレジスタ

セントラルコントロールレジスタ (CCR) はCHAIN2 全般についてパラメータの調整を行う 14bit のシフトレジスタである。CCR の回路図を図 5.18 に、各ビットの役割を表 5.5 に示す。

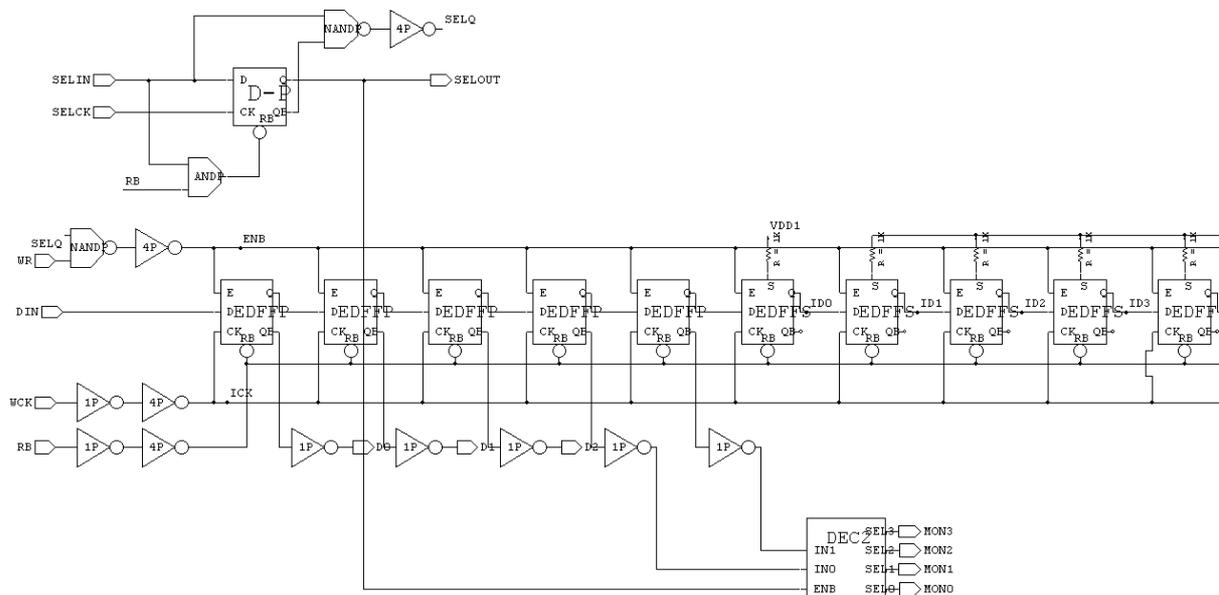


図 5.18: セントラルコントロールレジスタ

表 5.5: セントラルコントロールレジスタの各ビットの役割

ビット	役割
D0, D1, D2	アナログ加算回路のオフセットの調整
D3, D4	モニタ出力信号の指定
D5-D13	9bit の ID 番号

本チップはデバッグ用として回路上の要点をモニタ出力することが可能となっているが、その際に出力する信号を D3 と D4 の 2 bit で指定している。D3、D4 の値とモニタ出力される信号の組み合わせを表 5.6 に示す。例えば [D3,D4] の値を [0,0] に設定した場合、電荷増幅器の出力信号がモニタされる。

D3	D4	MONITOR
0	0	電荷増幅器出力
0	1	SLOW 出力
1	0	FAST 出力
1	1	漏れ電流

表 5.6: モニタ出力信号の選択

制御コードとして「11100011000110」を入力した場合の各 bit の変化を図 5.19 に示す。

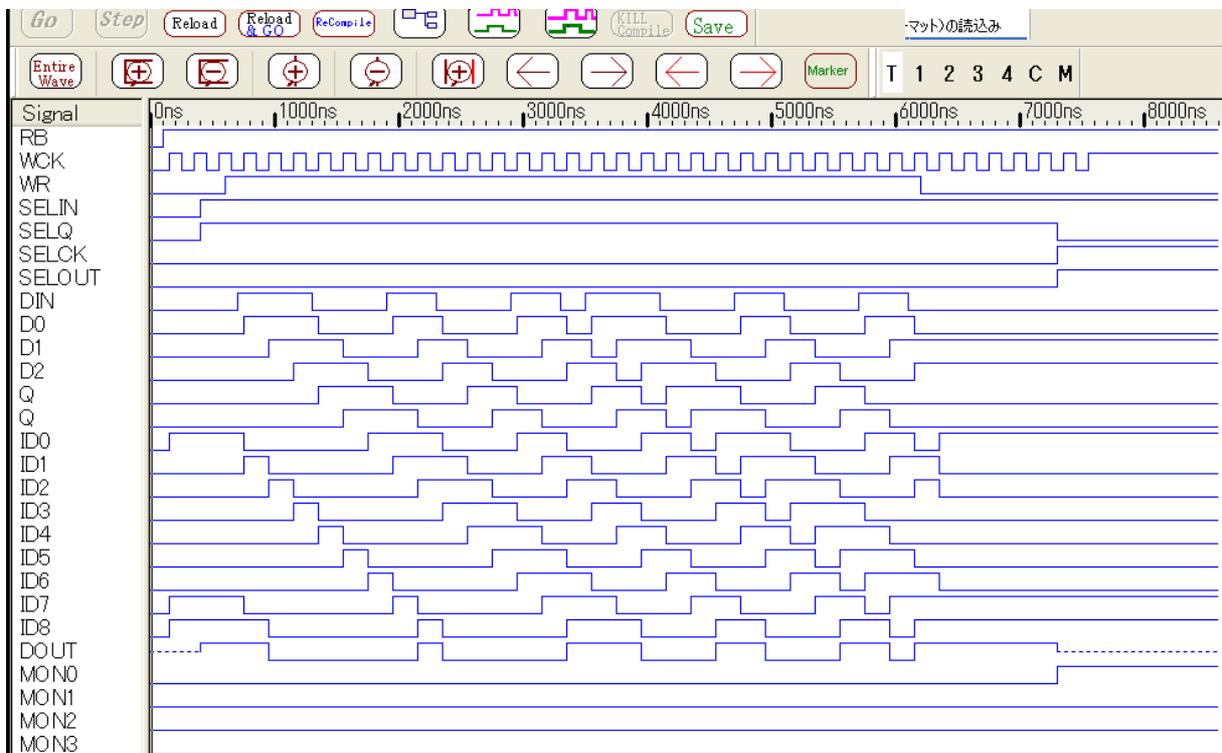


図 5.19: セントラルコントロールレジスタのシミュレーション結果

クロック WCK の立ち上がりに対応して各 bit がシフトして行く様子がわかり、またモニタ信号が適切に選択されていることから、回路が正常に動作していることを確認することができた。

5.3.5 パラレル/シリアル変換回路

8チャンネル分の各 DAV 信号² は、パラレル/シリアル変換回路でシリアル変換された後、LVDS ドライバを通して外部に出力される。LSI チップからデータを読み出すための回路部分を図 5.20 に示す。

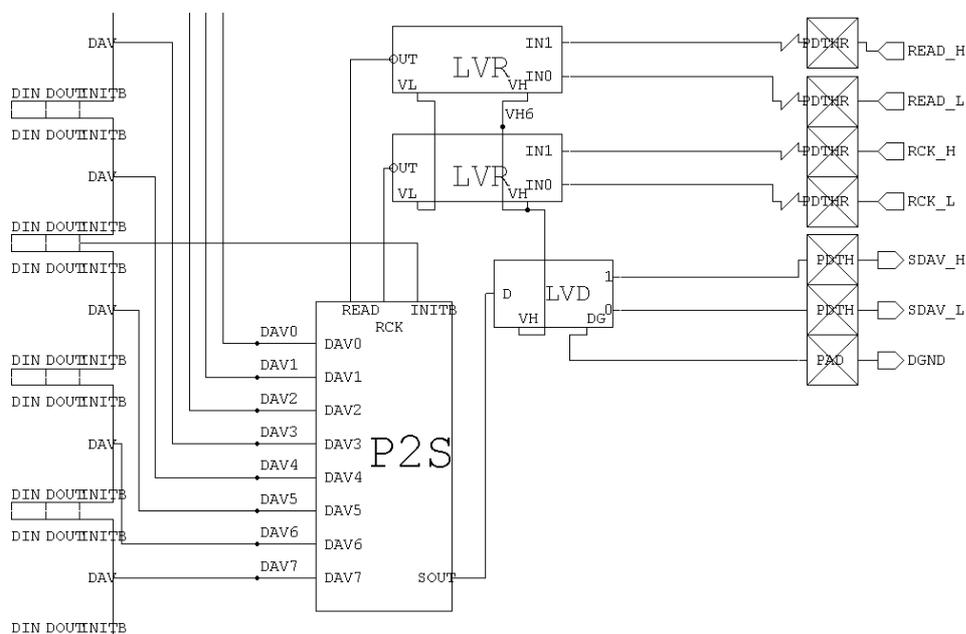


図 5.20: LSI チップからのデータ読み出し回路

このうち、P2S はパラレル/シリアル変換回路である。回路図を図 5.21 に示す。

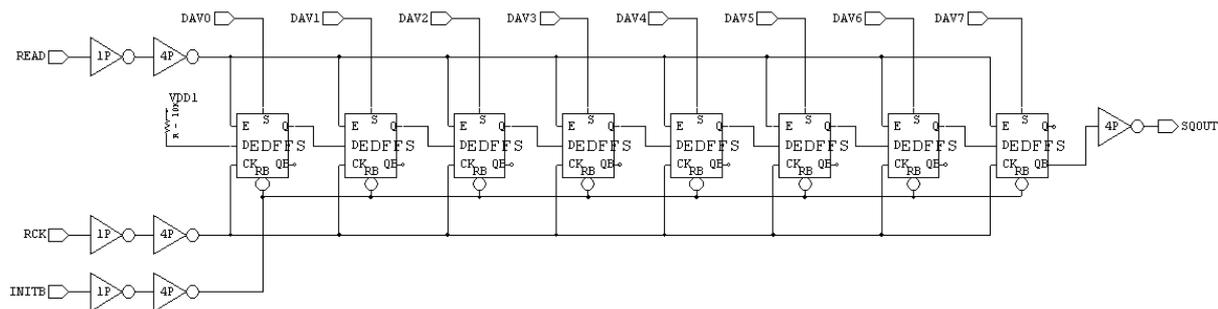


図 5.21: パラレル/シリアル変換回路

² DATA-VALID 信号。APD からの入力信号が 511 keV の光電ピークであると判断された結果、出力されるデジタル信号。

パラレル/シリアル変換回路は、8 bit のシフトレジスタから構成されている。まず INITB 端子を LOW にすると、全てのレジスタの値が一度 0 にリセットされる。もしどこかのチャンネルで DAV が出力されると、そのチャンネルに対応するレジスタに値がセットされる。データを取り出す際には、READ 信号を HI にする。するとその時点での各 bit の値が RCK の立ち上がりに応じてシフトして行き、RCK がレジスタの数 -1 回入力された時点で全てのレジスタの値が SQOUT からシリアル出力される。全てのレジスタの値が吐き出された後は、初段の VDD1 の値、すなわち HI の信号が出力され続ける。この HI の出力は全てのレジスタのデータが取り出された証拠となるので、簡単なチェック機能として利用することができる。一定のタイミングで READ を HI にした場合の各 bit の変化を図 5.22 に示す。上記の動作が正しく行われていることを確認することができた。

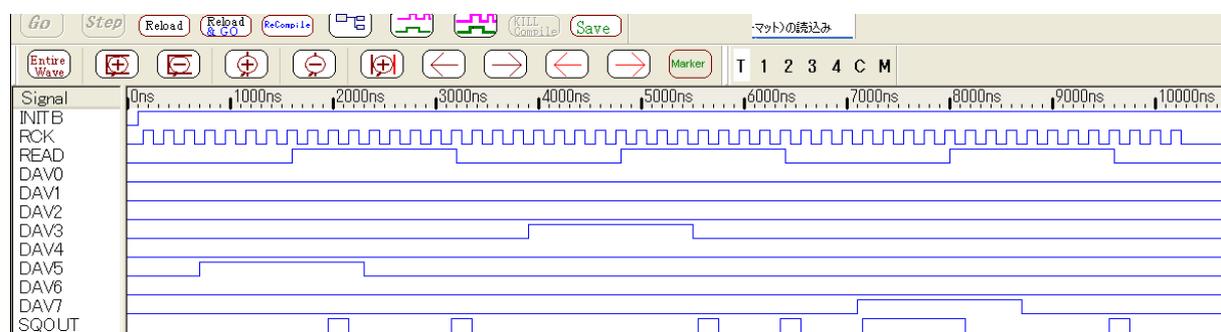


図 5.22: パラレル/シリアル変換回路のシミュレーション結果

5.3.6 デジタル回路シミュレーション結果の考察

ローカルコントロールレジスタ、セントラルコントロールレジスタ、パラレル/シリアル変換回路といった LSI チップの中のデジタル回路系について、verilog を用いたテストベンチを作成してシミュレーションを行った。その結果、それぞれ想定した通りの動作をしていることを確認することができた。

第6章 まとめ

高性能と低コストを両立させる拡張型次世代PETの実用化を目指して、APDアレーからの信号を高速に読み出すアナログ信号処理LSIの開発を行った。

[1] APD-PET用LSIの設計

APD-PETに必要な機能をもとめ、 $0.35\ \mu\text{m}$ のCMOSプロセスにて8チャンネルのアナログ信号処理LSIの設計を行った。設計作業はISAS/JAXAの池田博一教授と共同で行い、動作検証済みのOpen-IPを用いた効率的な設計を行ったため、短期間のうちに終了した。

[2] APD-PET用LSIの性能評価

設計したLSIの回路構成について、SPICEシミュレータとverilogシミュレータを用いて様々な角度から性能評価を行った。その結果、PET用の信号処理回路としては等価雑音電荷で1000 electron以下という低雑音かつ10倍のダイナミックレンジを有し、600 ps以内の時間分解能を持つ十分な性能を持っていることを確認することができた。

[3] 今後の予定

今後は6月に完成を予定している本LSIチップの動作評価を行うため、まず評価ボードの設計・製作を行う。また64chのAPDアレー及びLYSOピクセルシンチレータについて、それぞれ単独での性能評価を行う。次にLSIチップを64chのAPDアレーと組み合わせ、APDからの信号が正しく読み出せることを確認する。さらにLYSOシンチレータと組み合わせ、ハイブリッドセンサユニット化したものを最低2ユニット試作し、実際にPETとして用いた場合の性能を評価する。最終的にはLSIからの出力やトリガ信号を記憶するデータ処理ボードと組み合わせ、パソコン上で画像として表示するプログラムを開発し、TOF情報を反映させた校正用線源の再構成画像を取得する予定である。

付録A

A.1 略語集

表 A.1: 本論文中の専門用語

略語	正式名称	意味
APD	Avalanche Photo Diode	アバランシェ・フォトダイオード
ASIC	Application Specific Integrated Circuit	特定用途向け IC
CMOS	Complementary Metal Oxide Semiconductor	相補型金属酸化膜半導体
CT	Computed Tomography	コンピュータ断層撮影
DRC	Design Rule Check	デザインルールチェック
EDA	Electronic Design Automation Tools	設計自動化ツール
ENC	Equivalent Noise Charge	等価雑音電荷
FDG	Fluorine DeoxyGlucose	フルオロデオキシグルコース
FET	Field Effect Transistor	電界効果トランジスタ
HDL	Hardware Description Language	ハードウェア記述言語
IP	Intellectual Property	知的財産
LOR	Line of Response	反応した 2 つの検出器間の直線
LSI	Large Scale Integration circuit	大規模集積回路
LVS	Layout Versus Schematic	レイアウト対図面検証
MRI	Magnetic Resonance Imaging	核磁気共鳴画像法
PET	Positron Emission Tomography	陽電子放出断層撮影
PMT	PhotoMultiplier Tube	光電子増倍管
RMS	Root Mean Square	二乗平均平方根
SPICE	Simulation Program with Integrated Circuit Emphasis	スパイス
TOF	Time of Flight	ガンマ線の飛行時間
TSMC	Taiwan Semiconductor Manufacturing Company	台湾積体電路製造

付録B

B.1 APD-PET用LSIのピン対応図およびレイアウト図

図 B.1 にピン配置対応図、表 B.1 にピン配置一覧表をそれぞれ示す。

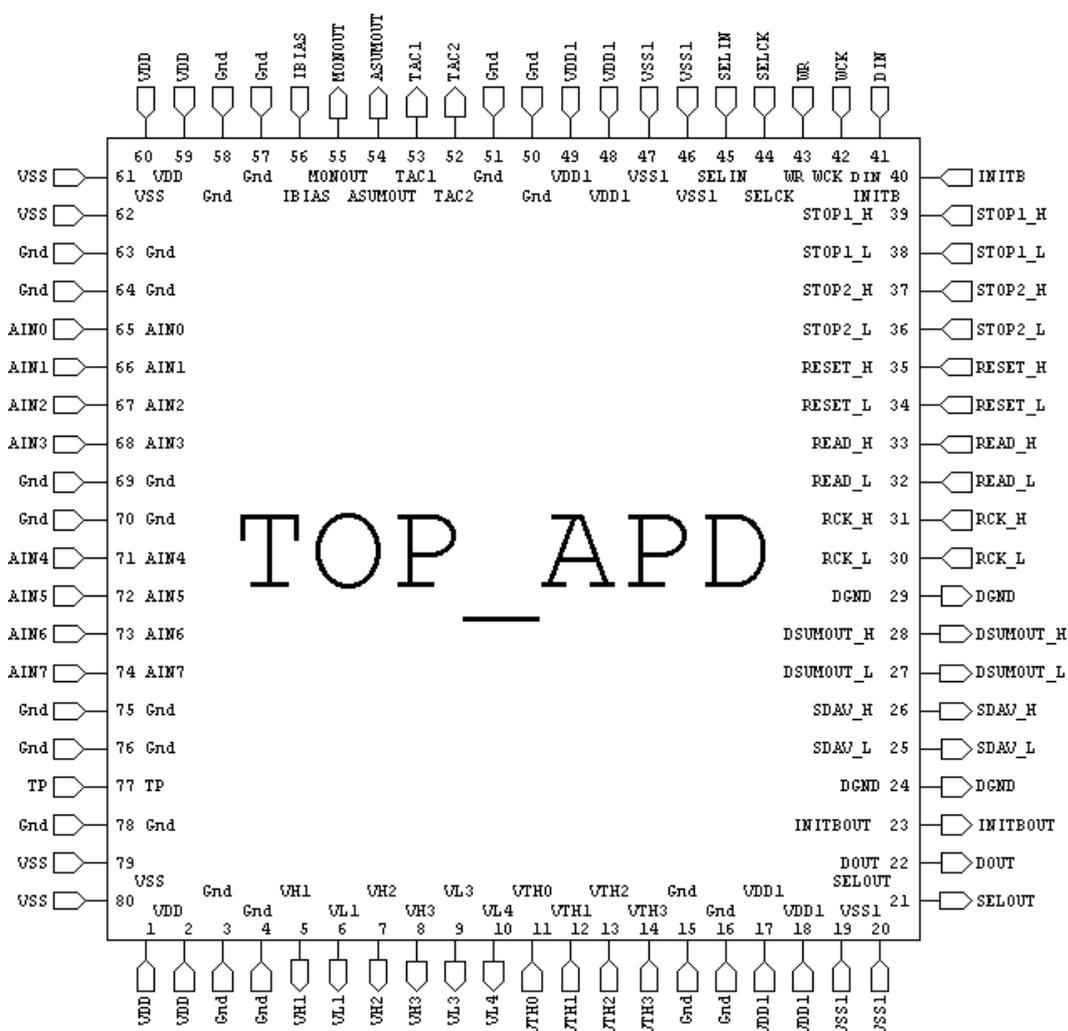


図 B.1: ピン配置対応図

表 B.1: ピン配置一覧表

ピン	位置	信号用途	役割	使用パッド	I/O
1	B1	VDD	アナログ用電源 (+1.65V)	PVDD	IN
2	B2	VDD	アナログ用電源 (+1.65V)	PAD	IN
3	B3	Gnd	アナロググランド (0V)	PATH	IN
4	B4	Gnd	アナロググランド (0V)	PAD	IN
5	B5	VH1	プリアンプ用バイアス電圧モニタ	PATH	OUT
6	B6	VL1	プリアンプ用バイアス電圧モニタ	PATH	OUT
7	B7	VH2	プリアンプ帰還抵抗用バイアス電圧モニタ	PATH	OUT
8	B8	VH3	フィルタ回路用バイアス電圧モニタ	PATH	OUT
9	B9	VL3	フィルタ回路用バイアス電圧モニタ	PATH	OUT
10	B10	VL4	電流 DAC 回路用バイアス電圧モニタ	PATH	OUT
11	B11	VTH0	ゼロクロス用スレッシュホールド電圧	PATH	IN
12	B12	VTH1	ONE-SHOT 判定用スレッシュホールド電圧	PATH	IN
13	B13	VTH2	VALID 判定用スレッシュホールド電圧 (下限)	PATH	IN
14	B14	VTH3	VALID 判定用スレッシュホールド電圧 (上限)	PATH	IN
15	B15	Gnd	アナロググランド (0V)	PATH	IN
16	B16	Gnd	アナロググランド (0V)	PAD	IN
17	B17	VDD1	デジタル用電源 (+1.65V)	PVDD1	IN
18	B18	VDD1	デジタル用電源 (+1.65V)	PAD	IN
19	B19	VSS1	デジタル用電源 (-1.65V)	PVSS1	IN
20	B20	VSS1	デジタル用電源 (-1.65V)	PAD	IN
21	R20	SELOUT	チャンネルのセレクト信号出力	PDOUT	OUT
22	R19	DOUT	レジスタへの書き込みデータ出力	PDOUT	OUT
23	R18	INITBOUT	レジスタの初期化信号出力	PDOUT	OUT
24	R17	DGND	デジタルグランド (0V)	PAD	OUT
25	R16	SDAV_L	VALID データシリアル出力 (L)	PDTH	OUT
26	R15	SDAV_H	VALID データシリアル出力 (H)	PDTH	OUT
27	R14	DSUMOUT_L	HIT 信号出力 (L)	PDTH	OUT
28	R13	DSUMOUT_H	HIT 信号出力 (H)	PDTH	OUT
29	R12	DGND	デジタルグランド (0V)	PAD	OUT
30	R11	RCK_L	読み出し用マイナークロック入力 (L)	PDTHR	IN
31	R10	RCK_H	読み出し用マイナークロック入力 (H)	PDTHR	IN
32	R9	READ_L	読み出し用メジャークロック入力 (L)	PDTHR	IN
33	R8	READ_H	読み出し用メジャークロック入力 (H)	PDTHR	IN
34	R7	RESET_L	TAC 回路のリセット入力 (L)	PDTHR	IN

35	R6	RESET_H	TAC 回路のリセット入力 (H)	PDTHR	IN
36	R5	STOP2_L	TAC 回路の STOP1 入力 (L)	PDTHR	IN
37	R4	STOP2_H	TAC 回路の STOP1 入力 (H)	PDTHR	IN
38	R3	STOP1_L	TAC 回路の STOP2 入力 (L)	PDTHR	IN
39	R2	STOP1_H	TAC 回路の STOP2 入力 (H)	PDTHR	IN
40	R1	INITB	INITIALIZE (初期化) 信号入力	PDTHR	IN
41	T20	DIN	コントロールレジスタへのデータ入力	PDTHR	IN
42	T19	WCK	データ書き込み用マイナークロック	PDTHR	IN
43	T18	WR	データ書き込み用メジャークロック	PDTHR	IN
44	T17	SELCK	各チャンネルの選択クロック	PDTHR	IN
45	T16	SELIN	データ書き込みの ENABLE 信号	PDTHR	IN
46	T15	VSS1	デジタル用電源 (-1.65V)	PVSS1	IN
47	T14	VSS1	デジタル用電源 (-1.65V)	PAD	IN
48	T13	VDD1	デジタル用電源 (+1.65V)	PVDD1	IN
49	T12	VDD1	デジタル用電源 (+1.65V)	PAD	IN
50	T11	Gnd	アナロググランド (0V)	PATH	IN
51	T10	Gnd	アナロググランド (0V)	PAD	IN
52	T9	TAC2	TAC2 出力	PATH	OUT
53	T8	TAC1	TAC1 出力	PATH	OUT
54	T7	ASUMOUT	アナログ加算出力	PATH	OUT
55	T6	MONOUT	モニタ波形出力	PATH	OUT
56	T5	IBIAS	バイアス電圧用定電流源入力	PATH	IN
57	T4	Gnd	アナロググランド (0V)	PATH	IN
58	T3	Gnd	アナロググランド (0V)	PAD	IN
59	T2	VDD	アナログ用電源 (+1.65V)	PVDD	IN
60	T1	VDD	アナログ用電源 (+1.65V)	PAD	IN
61	L1	VSS	アナログ用電源 (-1.65V)	PVSS	IN
62	L2	VSS	アナログ用電源 (-1.65V)	PAD	IN
63	L3	Gnd	アナロググランド (0V)	PATH	IN
64	L4	Gnd	アナロググランド (0V)	PAD	IN
65	L5	AIN0	APD からの電荷入力 (CH0)	PATH	IN
66	L6	AIN1	APD からの電荷入力 (CH1)	PATH	IN
67	L7	AIN2	APD からの電荷入力 (CH2)	PATH	IN
68	L8	AIN3	APD からの電荷入力 (CH3)	PATH	IN
69	L9	Gnd	アナロググランド (0V)	PATH	IN
70	L10	Gnd	アナロググランド (0V)	PAD	IN
71	L11	AIN4	APD からの電荷入力 (CH4)	PATH	IN

72	L12	AIN5	APD からの電荷入力 (CH5)	PATH	IN
73	L13	AIN6	APD からの電荷入力 (CH6)	PATH	IN
74	L14	AIN7	APD からの電荷入力 (CH7)	PATH	IN
75	L15	Gnd	アナロググランド (0V)	PATH	IN
76	L16	Gnd	アナロググランド (0V)	PAD	IN
77	L17	TP	テストパルス入力	PATH	IN
78	L18	Gnd	アナロググランド (0V)	PAD	IN
79	L19	VSS	アナログ用電源 (-1.65V)	PVSS	IN
80	L20	VSS	アナログ用電源 (-1.65V)	PAD	IN

図 B.2 に本チップのレイアウト図を示す。

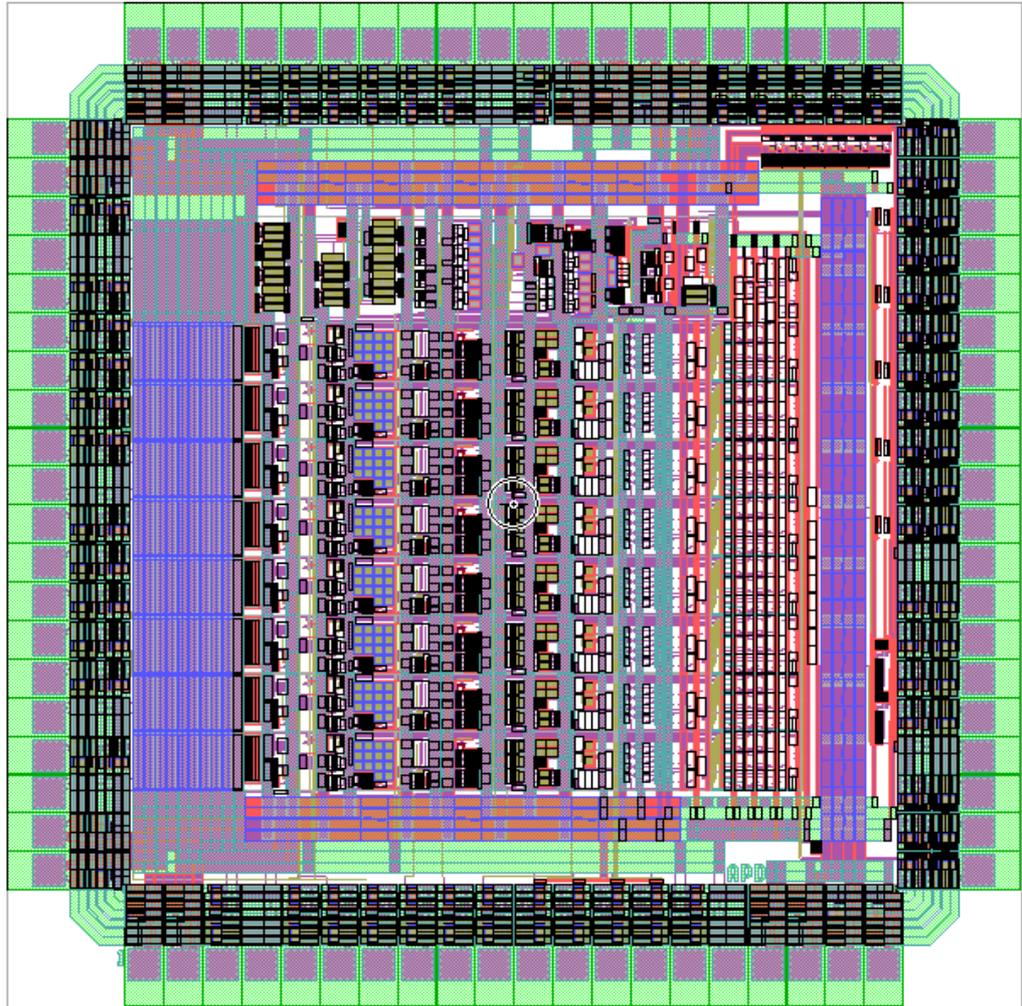


図 B.2: 完成したレイアウト図 (3 mm × 3 mm)

付 録 C

C.1 SPICE ネットリスト

完成した回路の SPICE ネットリストを以下に示す。

```
.subckt ABUF AIN AOUT VL
MMOSFET_N1_34 N30 AOUT N17 VSS nch L=0.8u W=1.2u M=20
MMOSFET_N1_35 N26 AIN N17 VSS nch L=0.8u W=1.2u M=20
MMOSFET_P1_1 AOUT N26 VDD VDD pch L=3u W=3u M=1
MMOSFET_N1_36 N17 VL VSS VSS nch L=3u W=1.2u M=2
MMOSFET_P1_2 N2 N30 VDD VDD pch L=3u W=3u M=1
MMOSFET_N1_1 AOUT N2 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_2 VSS VL VSS VSS nch L=3u W=3u M=10
MMOSFET_N1_3 N2 N2 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_P1_18 N26 N26 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_19 N30 N30 VDD VDD pch L=3u W=3u M=1
CCapacitor_1 N2 AOUT 0.02pF
CCapacitor_2 VSS AOUT 0.2pF
.ends
```

```
.subckt ABUF2 AIN AOUT VL
MMOSFET_N1_33 AOUT N3 VSS VSS nch L=1u W=1.2u M=10
MMOSFET_N1_34 N36 AIN N35 VSS nch L=1u W=1.2u M=20
CCapacitor_7 N36 N2 0.8pF
MMOSFET_N1_35 N34 AOUT N35 VSS nch L=1u W=1.2u M=20
CCapacitor_8 N3 N2 0.8pF
MMOSFET_P1_1 AOUT VSS N2 VDD pch L=1u W=3u M=1
MMOSFET_N1_36 N35 VL VSS VSS nch L=3u W=1.2u M=2
```

```

MMOSFET_N1_37 VDD N36 N3 VSS nch L=1u W=1.2u M=1
MMOSFET_N1_38 N3 VL VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_1 N2 VDD AOUT VSS nch L=1u W=1.2u M=1
MMOSFET_N1_2 VSS VL VSS VSS nch L=3u W=3u M=10
MMOSFET_P1_17 AOUT N36 VDD VDD pch L=1u W=3u M=10
MMOSFET_P1_18 N34 N34 VDD VDD pch L=1u W=3u M=1
MMOSFET_P1_19 N36 N34 VDD VDD pch L=1u W=3u M=1
.ends

```

```

.subckt BIAS IIN VH VL
M4 IIN IIN N1 VSS nch L=0.8u W=1.2u M=10
M3 VH IIN VL VSS nch L=0.8u W=1.2u M=10
M5 VH VH VDD VDD pch L=3u W=3.u M=10
M2 VL VL VSS VSS nch L=3u W=1.2u M=10
M1 N1 VL VSS VSS nch L=3u W=1.2u M=10
CCapacitor_1 N1 VL 1pF
CCapacitor_2 IIN VH 1pF
.ends

```

```

.subckt BIASLN IIN VH
M5 VH VH VDD VDD pch L=6u W=3.u M=10
M2 VH IIN VSS VSS nch L=6u W=1.2u M=10
M1 IIN IIN VSS VSS nch L=6u W=1.2u M=10
CCapacitor_1 IIN VH 1pF
.ends

```

```

.subckt BIASP IIN VH VL
MMOSFET_N_2 IIN IIN N3 VSS nch L=0.4u W=1.2u M=10
MMOSFET_N_3 VH IIN VL VSS nch L=0.4u W=1.2u M=10
MMOSFET_P_2 VH VH VDD1 VDD1 pch L=3u W=3.u M=10
MMOSFET_N_4 VL VL VSS1 VSS nch L=3u W=1.2u M=10
MMOSFET_N_5 N3 VL VSS1 VSS nch L=3u W=1.2u M=10

```

CCapacitor_1 IIN VH 1pF

CCapacitor_2 N3 VL 1pF

.ends

.subckt DAC3 DO D1 D2 IOUT VH VLOUT

MMOSFET_N_1 N_1 VLOUT VSS VSS nch L=3u W=1.2u M=1

MMOSFET_N_2 N_2 VLOUT VSS VSS nch L=3u W=1.2u M=2

MMOSFET_P_1 VLOUT VH VDD VDD pch L=3u W=3u M=1

MMOSFET_N_3 N_3 VLOUT VSS VSS nch L=3u W=1.2u M=4

MMOSFET_P_2 VDD VH VDD VDD pch L=3u W=3u M=10

MMOSFET_N_4 VLOUT VLOUT VSS VSS nch L=3u W=1.2u M=3

MMOSFET_N_5 IOUT DO N_1 VSS nch L=0.4u W=1.2u M=1

MMOSFET_N_6 IOUT D1 N_2 VSS nch L=0.4u W=1.2u M=2

MMOSFET_N_7 IOUT D2 N_3 VSS nch L=0.4u W=1.2u M=4

.ends

.subckt DIFA AOUT INN INP VL

MMOSFET_P1_1 AOUT N1 VDD VDD pch L=3u W=3u M=2

MMOSFET_P1_2 N4 N2 VDD VDD pch L=3u W=3u M=2

MMOSFET_P1_3 N2 N2 VDD VDD pch L=3u W=3u M=2

MMOSFET_N1_1 AOUT N4 VSS VSS nch L=3u W=1.2u M=2

MMOSFET_P1_4 N1 N1 VDD VDD pch L=3u W=3u M=2

MMOSFET_N1_2 N5 VL VSS VSS nch L=3u W=1.2u M=4

MMOSFET_N1_3 N4 N4 VSS VSS nch L=3u W=1.2u M=2

MMOSFET_N1_4 N3 VL VSS VSS nch L=3u W=1.2u M=4

MMOSFET_N1_5 N1 INP N5 VSS nch L=0.8u W=1.2u M=4

MMOSFET_N1_6 N2 INN N3 VSS nch L=0.8u W=1.2u M=4

MMOSFET_N1_7 VSS VL VSS VSS nch L=3u W=3u M=10

CCapacitor_1 N3 N5 1pF

.ends

.subckt GINVP A CK CKB Y

```
MM1 N_1 CK VSS1 VSS nch L=1.2u W=1.2u M=1
MM2 Y A N_1 VSS nch L=1.2u W=1.2u M=1
MM3 Y A N_2 VDD1 pch L=0.4u W=1.2u M=1
MM4 N_2 CKB VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ends
```

```
.subckt inv1 A Y
```

```
MM1 Y A Vss Vss nch L=1.2u W=3u M=1
MM2 Y A Vdd Vdd pch L=0.4u W=3u M=1
.ends
```

```
.subckt inv4 A Y
```

```
MM1 Y A VSS VSS nch L=1.2u W=12u M=1
MM2 Y A VDD VDD pch L=0.4u W=12u M=1
.ends
```

```
.subckt inv1P A Y
```

```
MM1 Y A VSS1 VSS nch L=1.2u W=3.u M=1
MM2 Y A VDD1 VDD1 pch L=0.4u W=3.u M=1
.ends
```

```
.subckt inv1S A Y
```

```
MMOSFET_P1_1 N1 A VDD1 VDD1 pch L=0.4u W=3.u M=1
MMOSFET_P1_2 Y A N1 VDD1 pch L=0.4u W=3.u M=1
MMOSFET_P1_3 VSS1 Y N1 VDD1 pch L=1.2u W=3.u M=1
MMOSFET_N1_1 N2 A VSS1 VSS nch L=0.4u W=1.2u M=1
MMOSFET_N1_2 Y A N2 VSS nch L=0.4u W=1.2u M=1
MMOSFET_N1_3 VDD1 Y N2 VSS nch L=1.2u W=1.2u M=1
.ends
```

```
.subckt inv4P A Y
```

```
MM1 Y A VSS1 VSS nch L=1.2u W=12u M=1
```

```
MM2 Y A VDD1 VDD1 pch L=0.4u W=12u M=1
.ends
```

```
.subckt NAND3P A B C Y
MM1 N_1 C VSS1 Vss nch L=0.4u W=1.2u M=1
MM2 N_2 B N_1 Vss nch L=0.4u W=1.2u M=1
MM3 Y A N_2 Vss nch L=0.4u W=1.2u M=1
MM4 Y A VDD1 VDD1 pch L=0.4u W=1.2u M=1
MM5 Y B VDD1 VDD1 pch L=0.4u W=1.2u M=1
MM6 Y C VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ends
```

```
.subckt NANDP A B Y
MM1 N3 B VSS1 VSS nch L=0.4u W=1.2u M=1
MM2 Y A N3 VSS nch L=0.4u W=1.2u M=1
MM3 Y A VDD1 VDD1 pch L=0.4u W=1.2u M=1
MM4 Y B VDD1 VDD1 pch L=0.4u W=1.2u M=1
.ends
```

```
.subckt PAD PAD
.ends
```

```
.subckt PATH A
*MMOSFET_N_1 A N2 VSS VSS nch L=0.5u W=400u
*MMOSFET_N_2 N2 N_1 VSS VSS nch L=50u W=25u
*MMOSFET_P_1 A N10 VDD VDD pch L=0.5u W=400u
*RRResistor_1 N_1 VDD 1164 TC=0.0, 0.0
*MMOSFET_P_2 N10 N_2 VDD VDD pch L=50u W=25u
*RRResistor_2 N_2 VSS 1192 TC=0.0, 0.0
.ends
```

```
.subckt PDCOUT DIN DOUT
```

```

*MOSFET_N_1 DOUT N2 VSS1 VSS nch L=0.5u W=400u
*MOSFET_N_2 N2 N_1 VSS1 VSS nch L=50u W=25u
*MOSFET_P_1 DOUT N18 VDD1 VDD1 pch L=0.5u W=400u
*RResistor_1 N_1 VDD1 1164 TC=0.0, 0.0
*MOSFET_P_2 N18 N_2 VDD1 VDD1 pch L=50u W=25u
MOSFET_N_4 N30 DIN VSS1 VSS nch L=0.35u W=6u M=1
*RResistor_2 N_2 VSS1 1192 TC=0.0, 0.0
MOSFET_N_5 DOUT N30 VSS1 VSS nch L=0.5u W=50u M=1
MOSFET_P_4 N30 DIN VDD1 VDD1 pch L=0.35u W=10u M=1
MOSFET_P_5 DOUT N30 VDD1 VDD1 pch L=0.8u W=120u M=1
.ends

```

```
.subckt PDTH D
```

```

*MOSFET_N_1 D N2 VSS1 VSS nch L=0.5u W=400u M=1
*MOSFET_N_2 N2 N_1 VSS1 VSS nch L=50u W=25u M=1
*MOSFET_P_1 D N10 VDD1 VDD1 pch L=0.5u W=400u M=1
*RResistor_1 N_1 VDD1 1164 TC=0.0, 0.0
*MOSFET_P_2 N10 N_2 VDD1 VDD1 pch L=50u W=25u M=1
*RResistor_2 N_2 VSS1 1192 TC=0.0, 0.0
.ends

```

```
.subckt PDTHR D Y
```

```

*MOSFET_N_1 D N2 VSS1 VSS nch L=0.5u W=400u
*MOSFET_N_2 N2 N_1 VSS1 VSS nch L=50u W=25u
*MOSFET_P_1 D N14 VDD1 VDD1 pch L=0.5u W=400u
MOSFET_N_3 Y N_2 VSS1 VSS nch L=0.35u W=20u M=1
*RResistor_1 N_1 VDD1 1164 TC=0.0, 0.0
*MOSFET_P_2 N14 N_3 VDD1 VDD1 pch L=50u W=25u
*RResistor_2 N_3 VSS1 1192 TC=0.0, 0.0
MOSFET_P_3 Y N_4 VDD1 VDD1 pch L=0.35u W=20u M=1
RResistor_3 D Y 225.4 TC=0.0, 0.0
RResistor_4 N_4 VDD1 1164 TC=0.0, 0.0

```

```

RResistor_5 N_2 VSS1 1192 TC=0.0, 0.0
.ends

.subckt PRC2 AIN AOUT VH VL Gnd
M3 N2 VL VSS VSS nch L=6u W=1.2u M=40
M4 AOUT Gnd N2 VSS nch L=0.8u W=1.2u M=10
M5 AOUT Gnd N10 VDD pch L=0.8u W=3.u M=1
M6 N10 VH VDD VDD pch L=6u W=3.u M=1
MMOSFET_P1_1 VDD VH VDD VDD pch L=3u W=3u M=10
MMOSFET_N1_1 VSS VL VSS VSS nch L=3u W=3u M=10
M1 N2 AIN Gnd Gnd pch L=1.8u W=8u M=180
.ends

.subckt PVDD VDD
*MMOSFET_N_1 VDD N2 VSS VSS nch L=0.5u W=400u
*MMOSFET_N_2 N2 N_1 VSS VSS nch L=50u W=25u
*RResistor_1 N_1 VDD 1164 TC=0.0, 0.0
.ends

.subckt PVDD1 VDD1
*MMOSFET_N_1 VDD1 N2 VSS1 VSS nch L=0.5u W=400u
*MMOSFET_N_2 N2 N_1 VSS1 VSS nch L=50u W=25u
*RResistor_1 N_1 VDD1 1164 TC=0.0, 0.0
.ends

.subckt PVSS VSS
*MMOSFET_P_1 VSS N2 VDD VDD pch L=0.5u W=400u
*RResistor_1 N_1 VSS 1192 TC=0.0, 0.0
*MMOSFET_P_2 N2 N_1 VDD VDD pch L=50u W=25u
.ends

.subckt PVSS1 VSS1

```

```

*MOSFET_P_1 VSS1 N2 VDD1 VDD1 pch L=0.5u W=400u
*RResistor_1 N_1 VSS1 1192 TC=0.0, 0.0
*MOSFET_P_2 N2 N_1 VDD1 VDD1 pch L=50u W=25u
.ends

```

```

.subckt SHPR AOUT IN VH VL Gnd
MMOSFET_N1_1 VSS VL VSS VSS nch L=3u W=3u M=10
M4 N9 VH VDD VDD pch L=3u W=3.u M=2
M5 N7 IN N9 N9 pch L=0.8u W=3.u M=20
M6 N10 Gnd N9 N9 pch L=0.8u W=3.u M=20
M7 N7 VL VSS VSS nch L=3u W=1.2u M=2
M8 N10 VL VSS VSS nch L=3u W=1.2u M=2
M9 AOUT Gnd N7 VSS nch L=0.4u W=3.u M=1
M10 N27 Gnd N10 VSS nch L=0.4u W=3.u M=1
M11 AOUT N27 N36 VDD pch L=0.4u W=3.u M=1
M12 N27 N27 N39 VDD pch L=0.4u W=3.u M=1
M13 N36 N39 VDD VDD pch L=3u W=3.u M=1
M14 N39 N39 VDD VDD pch L=3u W=3.u M=1
MMOSFET_P1_1 VDD VH VDD VDD pch L=3u W=3u M=10
.ends

```

```

.subckt TR1 A Y
MM1 Y VDD1 A VSS nch L=1.2u W=3.u M=1
MM2 Y VSS1 A VDD1 pch L=0.4u W=3.u M=1
.ends

```

```

.subckt VI40K IOOUT VIN VL
MMOSFET_N1_10 IOOUT N39 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_11 N36 VL VSS VSS nch L=3u W=1.2u M=5
MMOSFET_N1_12 N33 VL VSS VSS nch L=3u W=1.2u M=5
MMOSFET_N1_13 N35 IOOUT N36 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_14 N34 VIN N33 VSS nch L=0.8u W=1.2u M=1

```

```

MMOSFET_N1_15 VDD VIN N33 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_16 VDD IOOUT N36 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_1 VSS VL VSS VSS nch L=3u W=3u M=10
RResistor_2 N33 N36 20K TC=0.0, 0.0
MMOSFET_P1_5 N39 N35 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_6 IOOUT N34 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_7 N35 N35 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_8 N34 N34 VDD VDD pch L=3u W=3u M=1
MMOSFET_N1_9 N39 N39 VSS VSS nch L=3u W=1.2u M=1
.ends

```

```

.subckt VI80K IOOUT VIN VL

```

```

MMOSFET_N1_10 IOOUT N39 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_11 N34 VL VSS VSS nch L=3u W=1.2u M=5
MMOSFET_N1_12 N33 VL VSS VSS nch L=3u W=1.2u M=5
MMOSFET_N1_13 N46 IOOUT N34 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_14 N27 VIN N33 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_15 VDD VIN N33 VSS nch L=0.8u W=1.2u M=3
MMOSFET_N1_16 VDD IOOUT N34 VSS nch L=0.8u W=1.2u M=3
MMOSFET_N1_1 VSS VL VSS VSS nch L=3u W=3u M=10
RResistor_2 N33 N34 20K TC=0.0, 0.0
MMOSFET_P1_5 N39 N46 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_6 IOOUT N27 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_7 N46 N46 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_8 N27 N27 VDD VDD pch L=3u W=3u M=1
MMOSFET_N1_9 N39 N39 VSS VSS nch L=3u W=1.2u M=1
.ends

```

```

.subckt ANDP A B Y

```

```

MM1 N5 B VSS1 VSS nch L=0.4u W=1.2u M=1
MM2 N2 A N5 VSS nch L=0.4u W=1.2u M=1
MM3 N2 A VDD1 VDD1 pch L=0.4u W=1.2u M=1

```

```

MM4 N2 B VDD1 VDD1 pch L=0.4u W=1.2u M=1
Xinv1P_1 N2 Y inv1P
.ends

.subckt COMP2 AIN DOUT ENB VH VL VTH
Xinv1S_1 N72 N_1 inv1S
MMOSFET_N1_1 N70 VL VSS VSS nch L=3u W=1.2u M=2
MM4 N69 VH VDD VDD pch L=3u W=3.u M=2
MMOSFET_N1_2 N3 AIN N70 VSS nch L=0.4u W=1.2u M=2
MM5 N66 N2 N69 VDD pch L=0.4u W=3.u M=2
MMOSFET_N1_3 N2 VTH N70 VSS nch L=0.4u W=1.2u M=2
MM6 N68 N3 N69 VDD pch L=0.4u W=3.u M=2
MMOSFET_N1_4 VSS VL VSS VSS nch L=3u W=3u M=10
MM7 N66 N68 VSS VSS nch L=0.4u W=1.2u M=1
MM8 N68 N68 VSS VSS nch L=0.4u W=1.2u M=1
MM9 N65 N68 VSS1 VSS nch L=0.4u W=1.2u M=1
MM10 N72 N66 VSS1 VSS nch L=0.4u W=1.2u M=1
MM13 N65 N65 VDD1 VDD1 pch L=1u W=3.u M=1
MM14 N72 N65 VDD1 VDD1 pch L=1u W=3.u M=1
Xinv4P_1 N_1 DOUT inv4P
MMOSFET_P1_1 N3 N3 VDD VDD pch L=3u W=1.2u M=1
MMOSFET_P1_2 N2 N2 VDD VDD pch L=3u W=1.2u M=1
MMOSFET_P1_3 N3 ENB VDD VDD pch L=0.4u W=3u M=1
MMOSFET_P1_4 VDD VH VDD VDD pch L=3u W=3u M=10
.ends

.subckt DAC5B D0 D1 D2 D3 D4 IOOUT VL
MMOSFET_N_5 IOOUT D0 N_2 VSS nch L=0.4u W=1.2u M=1
MMOSFET_N_6 IOOUT D1 N_3 VSS nch L=0.4u W=1.2u M=2
MMOSFET_N_7 IOOUT D2 N_4 VSS nch L=0.4u W=1.2u M=4
MMOSFET_N_8 IOOUT D3 N_5 VSS nch L=0.4u W=1.2u M=8
Xinv1_1 D4 N_1 inv1

```

```

MMOSFET_P1_1 N_6 N37 VDD VDD pch L=3u W=3u M=16
MMOSFET_P1_3 IOU1 N_1 N_6 VDD pch L=0.4u W=3u M=16
MMOSFET_P1_4 N37 N37 VDD VDD pch L=3u W=3u M=2
MMOSFET_P1_5 N33 N37 VDD VDD pch L=3u W=3u M=1
MMOSFET_N_10 N37 VL VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N_1 N_2 N33 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N_11 N_5 N33 VSS VSS nch L=3u W=1.2u M=8
MMOSFET_N_2 N_3 N33 VSS VSS nch L=3u W=1.2u M=2
MMOSFET_N_3 N_4 N33 VSS VSS nch L=3u W=1.2u M=4
MMOSFET_N_13 N33 N33 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N_4 VSS VL VSS VSS nch L=3u W=3u M=10
.ends

```

```

.subckt DEC2 DO D1 ENB SEL0 SEL1 SEL2 SEL3
XNAND3P_2 D1B DO ENB N_2 NAND3P
Xinv1P_3 N_3 SEL0 inv1P
XNAND3P_3 D1B DOB ENB N_3 NAND3P
Xinv1P_4 D1 D1B inv1P
XNAND3P_4 D1 DO ENB N_4 NAND3P
Xinv1P_5 DO DOB inv1P
Xinv1P_6 N_4 SEL3 inv1P
Xinv1P_1 N_1 SEL2 inv1P
XNAND3P_1 D1 DOB ENB N_1 NAND3P
Xinv1P_2 N_2 SEL1 inv1P
.ends

```

```

.subckt LatchP CK CKB D Q RB
X3 Q CK CKB IQ GINVP
M1 IQ RB VDD1 VDD1 pch L=0.4u W=3u M=1
X1 D CKB CK IQ GINVP
X2 IQ Q inv1P
.ends

```

```

.subckt LVD D DGND VH Y0 Y1
MMOSFET_P1_1 VDD1 VH VDD1 VDD1 pch L=3u W=3.u M=10
XTR1_1 D N_2 TR1
MM1 N1 VH VDD1 VDD1 pch L=3u W=3.u M=100
MM2 N1 N9 Y0 VSS nch L=0.4u W=1.2u M=20
RResistor_2 Y1 Y0 10K TC=0.0, 0.0
MM3 N1 N4 Y1 VSS nch L=0.4u W=1.2u M=20
MM4 Y0 N4 DGND VSS nch L=0.4u W=1.2u M=20
MM5 Y1 N9 DGND VSS nch L=0.4u W=1.2u M=20
Xinv4P_1 N_1 N4 inv4P
Xinv4P_2 N_2 N9 inv4P
Xinv1P_1 D N_1 inv1P
.ends

```

```

.subckt LVR DOUT IN0 IN1 VH VL
MMOSFET_N1_1 N52 VL VSS1 VSS nch L=3u W=1.2u M=4
MM4 N20 VH VDD1 VDD1 pch L=3u W=3.u M=4
MMOSFET_N1_2 N66 IN1 N52 VSS nch L=0.4u W=1.2u M=2
MM5 N26 N66 N20 VDD1 pch L=0.4u W=3.u M=2
MMOSFET_N1_3 N65 IN0 N52 VSS nch L=0.4u W=1.2u M=2
MM6 N68 N65 N20 VDD1 pch L=0.4u W=3.u M=2
MMOSFET_N1_4 VSS1 VL VSS1 VSS nch L=3u W=3u M=10
MM7 N26 N26 VSS1 VSS nch L=0.4u W=1.2u M=1
MM8 N68 N68 VSS1 VSS nch L=0.4u W=1.2u M=1
MM9 N45 N26 VSS1 VSS nch L=0.4u W=3.u M=1
MM10 N67 N68 VSS1 VSS nch L=0.4u W=3.u M=1
MM13 N45 N45 VDD1 VDD1 pch L=1u W=3.u M=1
MM14 N67 N45 VDD1 VDD1 pch L=1u W=3.u M=1
Xinv4P_1 N_1 DOUT inv4P
MMOSFET_P1_1 N66 N66 VDD1 VDD1 pch L=3u W=1.2u M=1
MMOSFET_P1_2 N65 N65 VDD1 VDD1 pch L=3u W=1.2u M=1

```

```
MMOSFET_P1_4 VDD1 VH VDD1 VDD1 pch L=3u W=3u M=10
Xinv1P_1 N67 N_1 inv1P
.ends
```

```
.subckt LVTTLR DGND DIN DOUT VL
Xinv1S_1 N4 N_1 inv1S
MMOSFET_N_1 VSS1 VL VSS1 VSS nch L=3u W=3u M=10
RResistor_1 VDD1 N9 10K TC=0.0, 0.0
MMOSFET_P_3 N4 N3 VDD1 VDD1 pch L=0.4u W=3u M=5
RResistor_2 N9 DGND 10K TC=0.0, 0.0
MMOSFET_P_4 N3 N3 VDD1 VDD1 pch L=0.4u W=3u M=5
MMOSFET_N_10 N3 DIN N6 VSS nch L=0.4u W=1.2u M=10
MMOSFET_N_9 N6 VL VSS1 VSS nch L=3u W=1.2u M=12
Xinv4P_1 N_1 DOUT inv4P
MMOSFET_N_11 VDD1 N9 N6 VSS nch L=0.4u W=1.2u M=10
MMOSFET_N_12 N4 VL VSS1 VSS nch L=3u W=1.2u M=9
.ends
```

```
.subckt RF4P DO D1 D2 IOOUT LKMON VH VIN1 VIN2
XDAC3_1 DO D1 D2 N1 VH N34 DAC3
CCapacitor_1 VDD N66 4pF
MMOSFET_N1_1 N57 N57 VSS VSS nch L=3u W=1.2u M=1
MM4 N11 N1 VDD VDD pch L=3u W=1.2u M=2
MMOSFET_N1_2 N72 N57 VSS VSS nch L=3u W=1.2u M=2
MM5 N15 VIN1 N11 VDD pch L=1u W=1u M=1
MMOSFET_N1_3 N1 N34 VSS VSS nch L=3u W=1.2u M=1
MM6 N23 VIN2 N17 VDD pch L=1u W=1u M=1
MMOSFET_N1_4 N66 N23 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_5 IOOUT N15 VSS VSS nch L=3u W=1.2u M=1
MM8 N23 N23 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_6 VDD N66 LKMON VSS nch L=0.4u W=1.2u M=1
MMOSFET_P1_1 N1 N1 VDD VDD pch L=3u W=1.2u M=10
```

```

MMOSFET_P1_2 N57 N1 VDD VDD pch L=3u W=1.2u M=1
MMOSFET_P1_3 N66 N1 VDD VDD pch L=3u W=1.2u M=1
MMOSFET_P1_4 IOOUT N66 VDD VDD pch L=6u W=1.2u M=1
MMOSFET_P_1 N72 N72 N11 VDD pch L=1u W=1u M=1
MMOSFET_P_2 N72 N72 N17 VDD pch L=1u W=1u M=1
MMOSFET_P_3 N17 N1 VDD VDD pch L=3u W=1.2u M=2
MMOSFET_N_2 N15 N15 VSS VSS nch L=3u W=1.2u M=1
.ends

```

```

.subckt SW1 IN ON OUT
MMOSFET_N_1 OUT ON IN VSS nch L=0.4u W=1.2u M=1
MMOSFET_P_1 OUT ONB IN VDD pch L=0.4u W=1.2u M=1
Xinv1_1 ON ONB inv1
.ends

```

```

.subckt SW2 IN ON OUT
MMOSFET_N_1 OUT N5 IN VSS nch L=0.4u W=12u M=10
MMOSFET_P_1 OUT ONB IN VDD pch L=0.4u W=12u M=10
Xinv1_1 ON N1 inv1
Xinv4_1 ON ONB inv4
Xinv4_2 N1 N5 inv4
.ends

```

```

.subckt SW1B IN ON OUT
MMOSFET_N_1 OUT ON IN VSS nch L=0.4u W=1.2u M=10
MMOSFET_P_1 OUT ONB IN VDD pch L=0.4u W=1.2u M=10
Xinv1_1 ON ONB inv1
.ends

```

```

.subckt SW1T IN ON OUT
MMOSFET_N_1 OUT N1 IN VSS nch L=0.4u W=1.2u M=1
XTR1_1 ON N1 TR1

```

```

MMOSFET_P_1 OUT ONB IN VDD pch L=0.4u W=1.2u M=1
Xinv1P_1 ON ONB inv1P
.ends

```

```

.subckt TRBUF IN OE OUT
XNANDP_2 OE N3 N_1 NANDP
MMOSFET_N_1 OUT N_2 VSS1 VSS nch L=1.2u W=12u M=1
MMOSFET_P_1 OUT N12 VDD1 VDD1 pch L=0.4u W=12u M=1
Xinv1P_1 N_1 N_2 inv1P
XNANDP_1 OE IN N12 NANDP
Xinv1P_2 IN N3 inv1P
.ends

```

```

.subckt VI160KF DO D1 D2 IOUT VH VIN VL
MMOSFET_N1_10 IOUT N45 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_11 N35 VL VSS VSS nch L=3u W=1.2u M=5
MMOSFET_N1_12 N36 VL VSS VSS nch L=3u W=1.2u M=4
MMOSFET_N1_13 N37 IOUT N35 VSS nch L=0.8u W=1.2u M=1
XDAC3_1 DO D1 D2 N36 VH N_1 DAC3
MMOSFET_N1_14 N33 VIN N36 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_15 VDD VIN N36 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_16 VDD IOUT N35 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_1 VSS VL VSS VSS nch L=3u W=3u M=10
RResistor_2 N36 N35 20K TC=0.0, 0.0
MMOSFET_P1_5 N45 N37 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_6 IOUT N33 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_7 N37 N37 VDD VDD pch L=3u W=3u M=4
MMOSFET_P1_8 N33 N33 VDD VDD pch L=3u W=3u M=4
MMOSFET_N1_9 N45 N45 VSS VSS nch L=3u W=1.2u M=1
.ends

```

```

.subckt VI320KF DO D1 D2 IOUT VH VIN VL

```

```

MMOSFET_N1_10 IOU1 N45 VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_11 N35 VL VSS VSS nch L=3u W=1.2u M=5
MMOSFET_N1_12 N34 VL VSS VSS nch L=3u W=1.2u M=4
MMOSFET_N1_13 N52 IOU1 N35 VSS nch L=0.8u W=1.2u M=1
XDAC3_1 DO D1 D2 N34 VH N_1 DAC3
MMOSFET_N1_14 N33 VIN N34 VSS nch L=0.8u W=1.2u M=1
MMOSFET_N1_15 VDD VIN N34 VSS nch L=0.8u W=1.2u M=3
MMOSFET_N1_16 VDD IOU1 N35 VSS nch L=0.8u W=1.2u M=3
MMOSFET_N1_1 VSS VL VSS VSS nch L=3u W=3u M=10
RResistor_2 N34 N35 20K TC=0.0, 0.0
MMOSFET_P1_5 N45 N52 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_6 IOU1 N33 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_7 N52 N52 VDD VDD pch L=3u W=3u M=4
MMOSFET_P1_8 N33 N33 VDD VDD pch L=3u W=3u M=4
MMOSFET_N1_9 N45 N45 VSS VSS nch L=3u W=1.2u M=1
.ends

.subckt DFFP CK D Q QB RB
X3 Q QB inv1P
X4 ICK ICKB D IQ RB LatchP
X5 ICKB ICK IQ Q RB LatchP
X1 CK ICKB inv1P
.nodeset v(IQ)=-1.3 v(Q)=-1.3 v(QB)=2. v(ICK)=-1.3 v(ICKB)=2.
+v(X4.IQ)=2. v(X5.IQ)=2.
X2 ICKB ICK inv1P
.ends

.subckt TAC AOUT ENABLE INTEG VH VL VLTAC Gnd
XTR1_1 INTEG N42 TR1
MMOSFET_N1_1 N9 VLTAC VSS VSS nch L=3u W=1.2u M=1
MMOSFET_N1_2 VSS VLTAC VSS VSS nch L=3u W=3u M=10
MMOSFET_N1_3 N35 N42 N15 VSS nch L=0.4u W=0.8u M=2

```

```

MMOSFET_N1_4 Gnd N3 N15 VSS nch L=0.4u W=0.8u M=2
XSW1T_1 N35 N34 AOUT SW1T
MMOSFET_N1_5 N35 N3 N35 VSS nch L=0.4u W=0.8u M=1
MMOSFET_N1_6 Gnd N42 Gnd VSS nch L=0.4u W=0.8u M=1
MMOSFET_N1_7 N15 Gnd N9 VSS nch L=0.4u W=1.2u M=1
XSHPR_1 AOUT N35 VH VL Gnd SHPR
CCapacitor_1 N35 AOUT 0.2pF
Xinv1P_1 INTEG N3 inv1P
Xinv1P_2 ENABLE N34 inv1P
.ends

```

```

.subckt EDFFP CK D E Q QB RB
XNANDP_2 D E N13 NANDP
XDFFP_1 CK N_1 Q QB RB DFFP
XNANDP_3 N14 N13 N_1 NANDP
Xinv1P_1 E N_2 inv1P
XNANDP_1 Q N_2 N14 NANDP
.ends

```

```

.subckt EDFFS CK D E Q QB RB SET
XNANDP_2 D E N13 NANDP
XDFFP_1 CK N_1 Q QB RB DFFP
XNANDP_3 N14 N13 N_1 NANDP
Xinv1P_1 E N_2 inv1P
XNANDP_1 SET N_2 N14 NANDP
.ends

```

```

.subckt CONTROL_CCR DO D1 D2 DIN DOUT MON0 MON1 MON2
+MON3 RB SELCK SELIN SELOUT WCK WR
XDEC2_1 N119 N9 SELOUT MON0 MON1 MON2 MON3 DEC2
XDFFP_1 SELCK SELIN SELOUT N129 N11 DFFP
XEDFFS_1 ICK ID7 ENB ID8 N_1 N75 N_2 EDFFS

```

XEDFFS_2 ICK ID6 ENB ID7 N_3 N75 N_4 EDFFS
XEDFFS_3 ICK ID5 ENB ID6 N_5 N75 N_6 EDFFS
XEDFFS_4 ICK ID4 ENB ID5 N_7 N75 N_8 EDFFS
XEDFFS_5 ICK ID3 ENB ID4 N_9 N75 N_10 EDFFS
XEDFFS_6 ICK ID2 ENB ID3 N_11 N75 N_12 EDFFS
XEDFFS_7 ICK ID1 ENB ID2 N_13 N75 N_14 EDFFS
XEDFFS_8 ICK ID0 ENB ID1 N_15 N75 N_16 EDFFS
XEDFFS_9 ICK N107 ENB ID0 N_17 N75 N_18 EDFFS
RResistor_1 VDD1 N_2 1K TC=0.0, 0.0
RResistor_2 VDD1 N_4 1K TC=0.0, 0.0
RResistor_3 VSS1 N_6 1K TC=0.0, 0.0
RResistor_4 VSS1 N_8 1K TC=0.0, 0.0
RResistor_5 VSS1 N_10 1K TC=0.0, 0.0
RResistor_6 VSS1 N_12 1K TC=0.0, 0.0
RResistor_7 VSS1 N_14 1K TC=0.0, 0.0
RResistor_8 VSS1 N_16 1K TC=0.0, 0.0
XEDFFP_1 ICK DIN ENB N18 N114 N75 EDFFP
RResistor_9 VDD1 N_18 1K TC=0.0, 0.0
XEDFFP_2 ICK N18 ENB N116 N1 N75 EDFFP
Xinv1P_1 RB N_19 inv1P
XEDFFP_3 ICK N116 ENB N118 N2 N75 EDFFP
Xinv1P_2 WCK N_20 inv1P
XEDFFP_4 ICK N118 ENB N44 N120 N75 EDFFP
XEDFFP_5 ICK N44 ENB N107 N122 N75 EDFFP
XTRBUF_1 ID8 SELQ DOUT TRBUF
Xinv1P_12 N114 D0 inv1P
Xinv1P_13 N1 D1 inv1P
Xinv1P_14 N2 D2 inv1P
Xinv1P_15 N120 N119 inv1P
Xinv1P_16 N122 N9 inv1P
Xinv4P_1 N_21 SELQ inv4P
Xinv4P_2 N_19 N75 inv4P

```

Xinv4P_3 N_20 ICK inv4P
Xinv4P_4 N_22 ENB inv4P
XNANDP_1 SELIN N129 N_21 NANDP
XNANDP_2 SELQ WR N_22 NANDP
XANDP_1 SELIN RB N11 ANDP
.ends

.subckt CONTROL_LCR DIN DOUT KILL Q0 Q1 Q2 Q3 Q4 Q5 Q6 Q7 Q8 Q9
+Q10 Q11 Q12 Q13 Q14 Q15 RB SELCK SELIN SELOUT SELQ TPENB WCK WR
Xinv1P_20 N154 Q15 inv1P
XEDFFP_1 SELCK SELIN SELOUT N139 N4 DFFP
XEDFFP_1 IWCK DIN ENB N19 N104 IRB EDFFP
XEDFFP_10 IWCK N67 ENB N73 N122 IRB EDFFP
XEDFFP_2 IWCK N19 ENB N25 N106 IRB EDFFP
XEDFFP_11 IWCK N73 ENB N79 N124 IRB EDFFP
Xinv1P_1 RB N_2 inv1P
XEDFFP_3 IWCK N25 ENB N31 N108 IRB EDFFP
XEDFFP_12 IWCK N79 ENB N85 N126 IRB EDFFP
Xinv1P_10 N118 Q7 inv1P
Xinv1P_2 WCK N_3 inv1P
XEDFFP_4 IWCK N31 ENB N37 N110 IRB EDFFP
XEDFFP_13 IWCK N85 ENB N145 N131 IRB EDFFP
Xinv1P_11 N120 Q8 inv1P
Xinv1P_3 N104 Q0 inv1P
XEDFFP_5 IWCK N37 ENB N43 N112 IRB EDFFP
XEDFFP_14 IWCK N129 ENB N135 N136 IRB EDFFP
XTRBUF_1 N135 SELQ DOUT TRBUF
Xinv1P_12 N122 Q9 inv1P
Xinv1P_4 N106 Q1 inv1P
XEDFFP_6 IWCK N43 ENB N49 N114 IRB EDFFP
XEDFFP_15 IWCK N142 ENB N129 N_1 IRB EDFFP
Xinv1P_13 N124 Q10 inv1P

```

```

Xinv1P_5 N108 Q2 inv1P
XEDFFP_7 IWCK N49 ENB N55 N116 IRB EDFFP
XEDFFP_16 IWCK N145 ENB N151 N130 IRB EDFFP
Xinv1P_14 N126 Q11 inv1P
Xinv1P_6 N110 Q3 inv1P
XEDFFP_8 IWCK N55 ENB N61 N118 IRB EDFFP
XEDFFP_17 IWCK N151 ENB N157 N133 IRB EDFFP
Xinv1P_15 N129 TPENB inv1P
Xinv1P_7 N112 Q4 inv1P
XEDFFP_9 IWCK N61 ENB N67 N120 IRB EDFFP
XEDFFP_18 IWCK N157 ENB N142 N154 IRB EDFFP
Xinv1P_16 N136 KILL inv1P
Xinv1P_8 N114 Q5 inv1P
Xinv4P_1 N_4 SELQ inv4P
Xinv1P_17 N131 Q12 inv1P
Xinv1P_9 N116 Q6 inv1P
Xinv4P_2 N_2 IRB inv4P
Xinv1P_18 N130 Q13 inv1P
Xinv4P_3 N_3 IWCK inv4P
Xinv1P_19 N133 Q14 inv1P
Xinv4P_4 N_5 ENB inv4P
XNANDP_1 SELIN N139 N_4 NANDP
XNANDP_2 SELQ WR N_5 NANDP
XANDP_1 SELIN RB N4 ANDP
.ends

.subckt P2S DAV0 DAV1 DAV2 DAV3 DAV4 DAV5 DAV6 DAV7 INITB
+RCK READ SQOUT
RResistor_1 VDD1 N51 10K TC=0.0, 0.0
Xinv4P_1 N_9 N53 inv4P
Xinv4P_2 N_10 N23 inv4P
Xinv4P_3 N_11 N63 inv4P

```

```

Xinv4P_4 N52 SQOUT inv4P
Xinv1P_1 RCK N_9 inv1P
Xinv1P_2 INITB N_10 inv1P
XEDFFS_1 N53 N51 N63 N13 N_1 N23 DAV0 EDFFS
XEDFFS_2 N53 N13 N63 N57 N_2 N23 DAV1 EDFFS
Xinv1P_3 READ N_11 inv1P
XEDFFS_3 N53 N57 N63 N27 N_3 N23 DAV2 EDFFS
XEDFFS_4 N53 N27 N63 N34 N_4 N23 DAV3 EDFFS
XEDFFS_5 N53 N34 N63 N41 N_5 N23 DAV4 EDFFS
XEDFFS_6 N53 N41 N63 N48 N_6 N23 DAV5 EDFFS
XEDFFS_7 N53 N48 N63 N55 N_7 N23 DAV6 EDFFS
XEDFFS_8 N53 N55 N63 N_8 N52 N23 DAV7 EDFFS
.ends

.subckt CHAIN1 AIN ASUM DAV DIN DOUT DSUM INITB LKMON MONOUTO
+MONOUT1 MONOUT2 RESET SELCK SELIN SELOUT TP TRIMVL4 VH1 VH
+VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 WCK WR Gnd
CCapacitor_7 AIN N_4 0.02pF
RResistor_1 MON1 Gnd 40K TC=0.0, 0.0
RResistor_2 N60 MON2 10K TC=0.0, 0.0
RResistor_3 VTH0 N61 10K TC=0.0, 0.0
XSHPR_1 N27 N26 VH3 VL3 Gnd SHPR
XRF4P_1 DO D1 D2 AIN N56 VH2 PROUT Gnd RF4P
XCONTROL_LCR_1 DIN DOUT KILL D0 D1 D2 D3 D4 D5 D6 D7 D8 D9 D10
+ D11 D12 D13 D14 D15 INITB SELCK SELIN SELOUT SELECT TPENB
+ WCK WR CONTROL_LCR
XCOMP2_1 N61 HIT N34 VH6 VL6 MON1 COMP2
XCOMP2_2 VTH1 N34 N40 VH6 VL6 MON2 COMP2
XCOMP2_3 VTH2 N33 N34 VH6 VL6 MON2 COMP2
XCOMP2_4 VTH3 N35 N34 VH6 VL6 MON2 COMP2
XSW1_7 N_4 D3 PROUT SW1
XSW1_8 N_5 D4 PROUT SW1

```

XSW1_9 N_6 D5 PROUT SW1
XANDP_1 N43 INITB N4 ANDP
MMOSFET_N1_1 N5 N44 VSS1 VSS nch L=0.4u W=1.2u M=10
MMOSFET_N1_2 DSUM N40 N5 VSS nch L=0.4u W=1.2u M=10
MMOSFET_N1_3 VDD N56 N54 VSS nch L=0.4u W=1.2u M=1
MMOSFET_N1_4 N54 VL1 VSS VSS nch L=6u W=1.2u M=1
Xinv4P_1 N_10 DAV inv4P
Xinv1P_1 KILL N40 inv1P
Xinv1P_2 RESET N43 inv1P
XSW1B_1 N54 SELECT LKMON SW1B
CCapacitor_10 AIN N_5 0.04pF
XSW1B_2 N45 N57 ASUM SW1B
CCapacitor_11 AIN N36 0.1pF
XSW1B_3 MON0 SELECT MONOUT0 SW1B
XSW1B_4 N_2 SELECT MONOUT1 SW1B
CCapacitor_12 Gnd N52 0.8p
XSW1B_5 N_3 SELECT MONOUT2 SW1B
CCapacitor_13 AIN N_6 0.08pF
CCapacitor_16 AIN PROUT 0.04pF
XDIFA_1 MON1 N52 Gnd VL3 DIFA
CCapacitor_18 Gnd PROUT 0.08pF
XVI160K_1 VDD1 VDD1 VSS1 N26 VH3 N52 VL3 VI160KF
XABUF_1 PROUT N_1 VL3 ABUF
XABUF_2 PROUT N58 VL3 ABUF
XPRC2_1 AIN PROUT VH1 VL1 Gnd PRC2
XABUF_3 MON1 N_2 VL3 ABUF
XABUF_4 MON2 N_3 VL3 ABUF
XNANDP_1 N38 N37 N_10 NANDP
XABUF_5 N52 N60 VL3 ABUF
XABUF_6 PROUT MON0 VL3 ABUF
XEDFFP_1 HIT N34 N40 N44 N_7 N4 EDFFP
XVI40K_1 N52 N27 VL3 VI40K

```

XEDFFP_2 HIT N35 N34 N_8 N38 N4 EDDFFP
XEDFFP_3 HIT N33 N34 N37 N_9 N4 EDDFFP
XDAC5B_1 D6 D7 D8 D9 D10 MON2 TRIMVL4 DAC5B
XDAC5B_2 D11 D12 D13 D14 D15 N61 TRIMVL4 DAC5B
XSW1_10 TP TPENB N36 SW1
CCapacitor_1 N26 N27 0.8p
CCapacitor_2 N58 N26 2p
CCapacitor_3 MON1 Gnd 0.04pF
CCapacitor_4 MON2 Gnd 2pF
Xinv1_1 KILL N57 inv1
CCapacitor_5 N_1 N45 1p
.ends

.subckt CHAIN2 ASUMIN ASUMOUT DIN DOUT DSUM DSUMOUT IBIAS
+ INITB LKMON MONOUT MONOUT0 MONOUT1 MONOUT2 RESET SELCK
+ SELIN SELOUT STOP1 STOP2 TAC1 TAC2 TRIMVL4 VH1 VH2 VH3
+ VH6 VL1 VL3 VL6 WCK WR Gnd
CCapacitor_6 N5 N42 1pF
MMOSFET_P1_1 VL1 N42 VDD VDD pch L=3u W=3u M=10
CCapacitor_7 ASUMIN N63 1p
MMOSFET_P1_2 N44 N42 VDD VDD pch L=3u W=3u M=1
RResistor_1 VDD1 DSUM 10K TC=0.0, 0.0
MMOSFET_P1_3 N62 N42 VDD VDD pch L=3u W=3u M=10
CCapacitor_9 N40 Gnd 0.8pF
MMOSFET_P1_5 N6 N42 VDD VDD pch L=3u W=3u M=10
MMOSFET_P1_6 N5 N42 VDD VDD pch L=3u W=3u M=10
MMOSFET_P1_7 N41 N42 VDD VDD pch L=3u W=3u M=1
MMOSFET_P1_8 N57 N42 VDD VDD pch L=3u W=3u M=8
MMOSFET_P1_9 N7 N36 VDD VDD pch L=3u W=3u M=1
XSW1T_1 N_18 INTEG2 N39 SW1T
XSW1T_2 Gnd INIT N39 SW1T
XSW1T_3 N_19 INTEG2 N40 SW1T

```

XSW1T_4 Gnd INIT N40 SW1T
 XSHPR_1 N63 ASUMIN VH3 VL3 Gnd SHPR
 XVI80K_1 N61 N63 VL3 VI80K
 XANDP_1 GATE1 N34 INTEG1 ANDP
 XANDP_2 GATE2 N35 INTEG2 ANDP
 XANDP_3 N_8 INITB N34 ANDP
 XANDP_4 N_9 INITB N35 ANDP
 X1 D0 D1 D2 DIN DOUT N12 N15 N18 N10 INITB SELCK SELIN SELOUT
 + WCK WR CONTROL_CCR
 Xinv4P_1 DSUM DSUMOUT inv4P
 Xinv4P_2 RESET RESETB inv4P
 Xinv4P_3 INITB INIT inv4P
 Xinv4P_4 N53 N38 inv4P
 Xinv1P_2 STOP2 N_9 inv1P
 Xinv1P_3 STOP1 N_8 inv1P
 CCapacitor_10 N39 Gnd 0.8pF
 CCapacitor_11 N57 N42 1pF
 XABUF2_1 N1 N_1 VL5 ABUF2
 MMOSFET_P1_10 N58 N52 VDD VDD pch L=3u W=3u M=1
 CCapacitor_12 Gnd N61 1p
 XABUF2_2 N59 N_2 VL5 ABUF2
 CCapacitor_13 N36 N7 1pF
 XABUF2_3 LKMON N_3 VL5 ABUF2
 CCapacitor_14 N52 N58 1pF
 XABUF2_4 N60 N_4 VL5 ABUF2
 XABUF2_5 MONOUT2 N_5 VL5 ABUF2
 XTAC_1 N_18 N38 INTEG1 VH5 VL5 VLTAC Gnd TAC
 XABUF2_6 MONOUT1 N_6 VL5 ABUF2
 XTAC_2 N_19 N38 INTEG2 VH5 VL5 VLTAC Gnd TAC
 XABUF2_7 MONOUT0 N_7 VL5 ABUF2
 XSW2_1 N_3 N10 MONOUT SW2
 XSW2_2 N_1 SELIN ASUMOUT SW2

```

XSW2_3 N_2 SELIN TAC1 SW2
XBIAS_1 N44 N_10 TRIMVL4 BIAS
XSW2_4 N_4 SELIN TAC2 SW2
XBIASLN_1 VL1 VH1 BIASLN
XBIAS_2 IBIAS N42 N_11 BIAS
XSW2_5 N_7 N12 MONOUT SW2
XBIAS_3 N62 VH3 VL3 BIAS
XSW2_6 N_6 N15 MONOUT SW2
XSW2_7 N_5 N18 MONOUT SW2
XBIAS_5 N6 VH5 VL5 BIAS
XBIAS_6 N41 N52 N_12 BIAS
XBIAS_7 N58 VH2 N_13 BIAS
XBIAS_8 N57 N36 N_14 BIAS
XBIAS_9 N7 N_15 VLTAC BIAS
XDFFP_4 DSUMOUT RESETB GATE1 N_16 N34 DFFP
XDFFP_5 DSUMOUT RESETB GATE2 N_17 N35 DFFP
XVI320KF_1 D0 D1 D2 ASUMIN VH3 N61 VL3 VI320KF
XBIASP_1 N5 VH6 VL6 BIASP
XABUF_1 N39 N59 VL5 ABUF
XABUF_2 N40 N60 VL5 ABUF
XABUF_5 N61 N1 VL3 ABUF
XNANDP_2 RESETB INITB N53 NANDP
CCapacitor_1 N41 N42 1pF
CCapacitor_2 N44 N42 1pF
CCapacitor_3 N62 N42 1pF
CCapacitor_4 VL1 N42 1pF
CCapacitor_5 N6 N42 1pF
.ends

.subckt TOP_APD AINO AIN1 AIN2 AIN3 AIN4 AIN5 AIN6 AIN7 ASUMOUT
+ DGND DIN DOUT DSUMOUT_H DSUMOUT_L IBIAS INITB INITBOUT
+ MONOUT RCK_H RCK_L READ_H READ_L RESET_H RESET_L

```

```

+SDAV_H SDAV_L SELCK SELIN SELOUT STOP1_H STOP1_L STOP2_H STOP2_L
+ TAC1 TAC2 TP VDD VDD1 VH1 VH2 VH3 VL1 VL3 VL4 VSS
+ VSS1 VTH0 VTH1 VTH2 VTH3 WCK WR Gnd
RResistor_1 TP Gnd 1K TC=0.0, 0.0
RResistor_2 VTH0 Gnd 1K TC=0.0, 0.0
RResistor_3 VDD1 N112 10K TC=0.0, 0.0
RResistor_4 VTH1 Gnd 1K TC=0.0, 0.0
RResistor_5 VTH2 Gnd 1K TC=0.0, 0.0
XLVD_1 N74 DGND VH6 DSUMOUT_L DSUMOUT_H LVD
RResistor_6 VTH3 Gnd 1K TC=0.0, 0.0
XPVSS1_1 VSS1 PVSS1
XPVSS1_2 VSS1 PVSS1
XLVD_3 N75 DGND VH6 SDAV_L SDAV_H LVD
XPDOUT_1 N100 SELOUT PDOUT
XPVDD_1 VDD PVDD
XPDOUT_2 N112 DOUT PDOUT
XPVDD_2 VDD PVDD
XPDOUT_3 N109 INITBOUT PDOUT
XPATH_1 AINO PATH
XPATH_2 AIN1 PATH
XPATH_3 AIN2 PATH
XPATH_4 AIN3 PATH
XPATH_5 AIN4 PATH
XPATH_6 AIN5 PATH
XPATH_7 AIN6 PATH
XPATH_8 AIN7 PATH
XPATH_9 TP PATH
XP2S_1 DAV0 DAV1 DAV2 DAV3 DAV4 DAV5 DAV6 DAV7 N109 N68 N67 N75 P2S
XPDTHR_1 STOP1_H N42 PDTHR
XO AINO N_1 DAV0 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_6 N_7 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_2 STOP1_L N43 PDTHR

```

X1 AIN1 N_1 DAV1 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_7 N_8 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_3 STOP2_H N44 PDTHR

X2 AIN2 N_1 DAV2 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_8 N_9 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_4 STOP2_L N45 PDTHR

X3 AIN3 N_1 DAV3 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_9 N_10 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_5 RESET_H N46 PDTHR

X4 AIN4 N_1 DAV4 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_10 N_11 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_6 RESET_L N47 PDTHR

X5 AIN5 N_1 DAV5 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_11 N_12 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_7 READ_H N63 PDTHR

X6 AIN6 N_1 DAV6 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_12 N_13 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_8 READ_L N64 PDTHR

X7 AIN7 N_1 DAV7 N108 N112 N_2 N109 Gnd N_3 N_4 N_5 N117 N110 N_13 N100 TP
+ VL4 VH1 VH2 VH3 VH6 VL1 VL3 VL6 VTH0 VTH1 VTH2 VTH3 N98 N111 Gnd CHAIN1
XPDTHR_9 RCK_H N65 PDTHR

XVH2 VH2 PATH

XLVR_1 N21 N43 N42 VH6 VL6 LVR

XLVR_2 N20 N45 N44 VH6 VL6 LVR

XLVR_3 N117 N47 N46 VH6 VL6 LVR

XLVR_4 N67 N64 N63 VH6 VL6 LVR

XPATH_10 VH1 PATH

XLVR_5 N68 N66 N65 VH6 VL6 LVR

XPATH_11 VL1 PATH

XPATH_12 Gnd PATH

XPATH_13 Gnd PATH

XPAD_10 VSS PAD

XPAD_1 Gnd PAD
XPATH_14 TAC2 PATH
XPAD_11 VDD PAD
XPAD_2 Gnd PAD
XPATH_15 ASUMOUT PATH
XPAD_12 Gnd PAD
XPAD_3 VDD1 PAD
XPATH_16 VTH0 PATH
XPAD_13 DGND PAD
XPAD_4 VSS1 PAD
XPATH_17 Gnd PATH
XPAD_14 DGND PAD
XPAD_5 VDD1 PAD
XPATH_18 Gnd PATH
XPAD_15 Gnd PAD
XPAD_6 VSS1 PAD
XPATH_19 MONOUT PATH
XPAD_16 Gnd PAD
XPAD_7 VSS PAD
XPAD_17 Gnd PAD
XPAD_8 VDD PAD
XPAD_9 Gnd PAD
XPDTH_1 DSUMOUT_H PDTH
XPDTH_2 DSUMOUT_L PDTH
XPDTH_3 SDAV_H PDTH
XPVDD1_1 VDD1 PVDD1
XPDTH_4 SDAV_L PDTH
XPVDD1_2 VDD1 PVDD1
XLVTTLR_1 DGND N_14 N105 VL6 LVTTLR
XLVTTLR_2 DGND N_15 N110 VL6 LVTTLR
XLVTTLR_3 DGND N_16 N111 VL6 LVTTLR
XLVTTLR_4 DGND N_17 N98 VL6 LVTTLR

```

XLVTTLR_5 DGND N_18 N108 VL6 LVTTLR
XLVTTLR_6 DGND N_19 N109 VL6 LVTTLR
XPATH_20 TAC1 PATH
XPVSS_1 VSS PVSS
XPATH_21 IBIAS PATH
XPVSS_2 VSS PVSS
XPATH_22 Gnd PATH
XPATH_23 VTH1 PATH
XPATH_24 Gnd PATH
XPATH_25 VTH2 PATH
XPATH_26 VTH3 PATH
XPATH_27 Gnd PATH
XPATH_28 VH3 PATH
XPATH_29 VL3 PATH
XCHAIN2_1 N_1 ASUMOUT N108 N112 N_2 N74 IBIAS N109 Gnd MONOUT N_3 N_4
+ N_5 N117 N110 N105 N_6 N21 N20 TAC1 TAC2 VL4 VH1 VH2 VH3 VH6
+ VL1 VL3 VL6 N98 N111 Gnd CHAIN2
XPDTHR_10 RCK_L N66 PDTHR
XPDTHR_11 SELIN N_14 PDTHR
XPDTHR_12 SELCK N_15 PDTHR
XPDTHR_13 WR N_16 PDTHR
XPDTHR_14 WCK N_17 PDTHR
XPDTHR_15 DIN N_18 PDTHR
XPDTHR_16 INITB N_19 PDTHR
XPATH_30 VL4 PATH
.ends

```

以上。

関連図書

- [1] 厚生労働省大臣官房統計情報部 「人口動態統計」 平成 17 年度版
- [2] 東京西徳洲会病院 <http://www.tokyonishi-hp.or.jp/>
- [3] J.Kataoka et al. Nuclear Instruments and Methods, Vol.541, pp.398. (2005)
- [4] 日本エム・イー学会 編 「核医学イメージング」 コロナ社
- [5] 魚住クリニック <http://www.uozumi.or.jp/index.html>
- [6] 国立がんセンター <http://www.ncc.go.jp/jp/index.html>
- [7] 放射線医学総合研究所 <http://www.nirs.go.jp/>
- [8] 錦戸文彦、博士論文 「液体キセノンシンチレータを用いたタイムオブフライト型陽電子画像診断装置の開発」 早稲田大学 (2005)
- [9] 澁谷憲悟 他、「高速な γ 線検出器と Time-of-Flight PET への応用」 RADIOISOTOPES, 55, 391-402. (2006)
- [10] 五十川知子、修士論文 「宇宙利用に向けた X 線・ γ 線検出用アバランシェ・フォトダイオードの開発」 東京工業大学 (2005)
- [11] 伊藤健、修士論文 「結晶シンチレータと Si 半導体を用いた宇宙 γ 線位置検出器の基礎開発」 東京大学 (2005)
- [12] 渡辺英夫 著 「半導体工学」 コロナ社
- [13] Behzad Razavi 著、黒田忠広 監訳「アナログ CMOS 集積回路の設計」 丸善株式会社
- [14] 池田博一、「高度センサー信号処理のための Analog-VLSI Open-IP」 宇宙航空研究開発機構 宇宙科学研究本部 (2004)
- [15] 池田博一、「ASIC の製作」 高エネルギー加速器研究機構 素粒子原子核研究所 (2003)

- [16] 後田司、「電荷積分と時間-電圧変換回路搭載 LSI の量産評価」長崎総合科学大学
- [17] トランジスタ技術 SPECIAL 「デジタル・データ伝送技術入門」CQ 出版社
- [18] 谷口研二 著 「CMOS アナログ回路入門」CQ 出版社
- [19] SimCircuit Technologies <http://www.simcir.co.jp/>
- [20] 小川隆博、「節点解析法の基礎」株式会社エム・イー・エル (2004)
- [21] 日立化成工業株式会社 <http://www.hitachi-chem.co.jp/>
- [22] SIEMENS Japan <http://www.medical.siemens.com/>
- [23] トランジスタ技術 SPECIAL 「わかる verilog HDL 入門」CQ 出版社

謝辞

本研究を進めるにあたって、たくさんの方々にお世話になりました。

助手の片岡さんにはLSIの開発という責任ある仕事を任せていただき、感謝しております。実験室ではいつも冗談を交えた軽妙なトークで説明を下さり、楽しく実験に取り組むことができました。放医研や宇宙研への移動途中ではX線業界の裏話など、興味深いお話を頂きありがとうございます。

ISASの池田先生には終始一対一で丁寧なご指導を頂きました。右も左も分からない状態だった私を、辛抱強く鍛えて頂き本当に感謝しております。12月の合宿では毎回外に食事に連れ出していただくなど、何かと気を遣っていただいて嬉しかったです。

河合先生には発表の仕方から論文の構成に至るまで、数多くのご助言を頂きました。毎週のゼミでは物理屋にとって一番大切な「物事の物理的な考え方」を教えて頂きました。

田中さんには毎日夜遅くまで実験や論文に付き合ってくださいました。最も身近な相談役として、研究以外の面でも大変お世話になりました。

谷津さん、金井さん、津布久さんには、実験の進め方や論文の書き方について適切なアドバイスを頂きました。小谷さん、植野さん、有元さん、下川辺さんには、特にパソコン関係でお世話になりました。石村さんには、よく徹夜に付き合ってくださいました。ニコラスさんには、エクアドルの素晴らしい文化を教えてくださいました。同期の戸泉君とは良きライバルとしてお互いに切磋琢磨し合うことができました。そして森さん、ご結婚おめでとうございます。

最後に、今まで大学に通わせていただき、またPETの研究をすると聞いて一番喜んでくれた両親に、この場を借りて感謝したいと思います。ありがとうございました。