

アバランシェ・フォトダイオードを用いた
高解像度・高速PETの要素技術開発

小泉 誠

修士論文

東京工業大学大学院
基礎物理学専攻 河合研究室

学籍番号 07M01076

2009年 2月

Abstract

Positron Emission Tomography (PET) is a powerful tool that is used for direct imaging of activity of early cancers. However, existing PET scanners face a number of problems, such as very high cost, less flexibility of devices, and relatively poor image quality. This is partly due to a rather large gamma-ray imaging detectors consisting of many Photo Multiplier Tubes (PMTs) optically coupled with pixel scintillators.

In an effort to improve the situation, we are developing high spatial resolution PET detectors with time-of-flight (TOF) capability based on lutetium yttrium oxyorthosilicate (LYSO) scintillator arrays one-to-one coupled with Avalanche PhotoDiode (APD) arrays. The APD is a semiconductor device having advantages of both PhotoMultiplier Tube and Photodiode, such as internal multiplication, high quantum efficiency, small size, low-cost, and fast time response. Given the advantages afforded by pixel miniaturization, APD is expected to be applied to dense gamma-ray imaging detectors. However, the higher the degrees of pixel miniaturization, the more necessary electronics are for processing a large amount of signals from APD devices.

This paper reports on the development of a high-speed, low-noise, multi-channel analog LSI and its peripheral circuits particularly designed for APD readout. As a first stage prototype, 8-channel analog LSI designated the "TIPPET08" was developed based on the Open-IP LSI project led by JAXA and realized in TSMC 0.35- μm CMOS technology. The good energy resolution of 9.7% (FWHM) was obtained at 511 keV, with a single APD and optically coupled LYSO pixel. However, we found some rooms for improvement in terms of its time resolution of 1 ns (σ) and variation in each channel's quality. Therefore second-version 32-channel LSI designated the "TIPPET32" was designed and evaluated. It had a maximum power dissipation of 210 mW (6.6 mW/ch), maximum gain dispersion of ± 0.5 %, and a time resolution as better as 500 ps (σ).

Based on these successful results, we move to the next issue that needs to be optimized, such as the special LTCC package for high-density implementation, the Front-End Card (FEC) for front-end processing, and the Control-Card which includes FPGAs to control the overall system. We plan to evaluate the imaging quality with one-pair detector units.

目次

第1章	はじめに	14
第2章	陽電子放出断層撮影 (PET)	18
2.1	PET の原理	18
2.2	PET の特徴	20
2.2.1	PET 装置の構造	20
2.2.2	他の断層撮影法との比較	24
2.2.3	PET の長短所	27
2.2.4	物理的な性能制限要素	28
2.3	次世代型 PET 装置の開発	29
2.3.1	現行 PET における課題	29
2.3.2	高解像度化への取り組み	30
2.3.3	高感度化への取り組み	32
第3章	アバランシェ・フォトダイオードを用いた撮像検出器	36
3.1	半導体検出器	36
3.1.1	半導体検出器の原理	36
3.1.2	半導体検出器の特徴	38
3.2	アバランシェ・フォトダイオード (APD)	39
3.2.1	APD の原理	39
3.2.2	増幅過程と増幅率	40
3.2.3	過剰雑音係数	42
3.2.4	APD の読み出しと雑音	42
3.2.5	APD の種類	46
3.3	PET への応用	49

第 4 章	拡張型モバイル PET の要素開発	51
4.1	構想	51
4.2	開発体制	53
4.3	開発方針	54
4.4	センサヘッド	55
4.4.1	シンチレータの選定	55
4.4.2	LYSO 単結晶	56
4.4.3	LYSO ピクセルアレー	57
4.4.4	LYSO アレーの基礎特性	59
4.4.5	Pr 添加 LuAG	60
4.5	APD アレー	62
4.5.1	開発の意義	62
4.5.2	試作 APD アレーの概要	62
4.5.3	APD アレーの基礎特性	64
4.5.4	APD アレーの時間特性	65
4.6	LYSO+APD 光学ユニット	66
4.6.1	構造	66
4.6.2	基礎特性	67
4.6.3	光漏れ対策	68
4.7	APD-PET 用 8 チャンネル LSI の開発	70
4.7.1	開発目的	70
4.7.2	LSI 開発の基礎	71
4.7.3	LSI 開発の流れ	74
4.7.4	8 チャンネル LSI (TIPPET08) の概要	77
4.8	APD-PET 用 8 チャンネル LSI の性能評価	83
4.8.1	セットアップ	83
4.8.2	基礎特性評価	88
4.8.3	ばらつき評価	90
4.8.4	アナログ回路評価	94
4.8.5	時間特性評価	100
4.8.6	光学ユニットとの組合せ	105
4.8.7	まとめ	107

第 5 章	APD-PET 用 32 チャンネル LSI の設計	108
5.1	開発目的	108
5.2	要求及び設計仕様	108
5.3	回路設計環境	110
5.3.1	SPICE シミュレータ	110
5.3.2	verilog-HDL シミュレータ	112
5.4	全体構成	113
5.5	部品設計	113
5.5.1	CHAIN1 の回路構成	113
5.5.2	前置増幅器	114
5.5.3	波形整形回路	119
5.5.4	エネルギー弁別回路	126
5.5.5	ゼロクロスコンパレータ	127
5.5.6	ローカルコントロールレジスタ	129
5.5.7	CHAIN2 の回路構成	132
5.5.8	バイアス電圧生成回路	132
5.5.9	アナログ加算回路	134
5.5.10	時間電圧変換回路	135
5.5.11	セントラルコントロールレジスタ	139
5.5.12	デジタル信号処理回路	141
5.6	シミュレーションによる総合性能評価	145
5.6.1	線形性評価	145
5.6.2	雑音評価	146
5.6.3	時間特性評価	148
5.7	まとめ	150
第 6 章	APD-PET 用 32 チャンネル LSI の性能評価	151
6.1	チップレイアウト	151
6.2	セットアップ	151
6.2.1	セラミックパッケージ	151
6.2.2	評価用基板の製作	153
6.2.3	実験セットアップ	153

6.3	基礎特性評価	154
6.4	ばらつき評価	156
6.5	アナログ回路評価	160
6.6	時間特性評価	162
6.7	光学ユニットとの組合せ	163
6.8	性能評価結果のまとめ	165
6.9	TIPPET32 専用パッケージの開発	166
6.9.1	開発目的	166
6.9.2	低温同時焼成セラミックス	166
6.9.3	パッケージ概要	168
6.9.4	性能評価	169
6.9.5	まとめ	172
第7章	APD-PET ユニットの開発	173
7.1	目的	173
7.2	64 チャンネルフロントエンドカードの開発	174
7.2.1	開発目的	174
7.2.2	回路構成	174
7.2.3	信号処理の流れ	176
7.2.4	外観図	177
7.3	カセット式 APD アレーの開発	178
7.4	フロントエンドカードによる APD 読み出し試験	179
7.5	コントロールカードの開発	181
7.5.1	開発目的	181
7.5.2	FPGA の選定	182
7.5.3	回路構成	182
7.5.4	出力信号仕様	183
7.5.5	外観図	184
7.6	同時計数処理	185
7.6.1	同時計数回路の概要	185
7.6.2	回路構成	186
7.6.3	収集データ仕様	188

第8章	まとめ	190
付録A	略語集	192
A.1	略語集	192
付録B	TIPPET32の仕様	193
B.1	パッド対応図	193
B.2	パッド配置一覧表	194
B.3	チップレイアウト図	197
B.4	LTCCパッケージの内部配線図	198
B.5	LTCCパッケージのピン対応図	199
B.6	LTCCパッケージのピン配置一覧表	200
付録C	周辺回路の仕様	204
C.1	コントロールカードのピン配置一覧表	204

目 次

1.1	癌による死亡率の推移	14
1.2	APD を用いた撮像検出器	15
1.3	APD と PMT のサイズ比較	16
1.4	CdTe 検出器用 LSI	16
2.1	PET の原理	18
2.2	実際の PET 画像	19
2.3	PMT の構造	20
2.4	検出器部の構造	21
2.5	PET 装置における検出器部と信号処理部	22
2.6	画像再構成法による画質の違い	23
2.7	島津製作所製 PET 装置のガントリー	23
2.8	X 線 CT の検査方法	25
2.9	X 線 CT と MRI による頭部の断層画像の比較	26
2.10	空間分解能の制限要素	29
2.11	肺癌患者の PET/CT 画像例	30
2.12	CdTe 半導体を使用した小動物用 PET 装置	31
2.13	3D-PET と DOI-PET の比較	32
2.14	脳ファントムを用いた DOI 型 PET の実験結果	33
2.15	TOF 型 PET の原理	34
2.16	TOF 型 PET の効果	35
3.1	絶縁体・半導体・金属のバンド構造	36
3.2	半導体検出器の構造	37
3.3	PMT、フォトダイオード、APD の比較	39
3.4	電子及び正孔の電離係数の電場強度依存性	40
3.5	APD の基本構造	41

3.6	放射線計測における一般的なセットアップ	44
3.7	検出器の雑音等価回路	44
3.8	APDの種類	46
4.1	拡張型モバイルPETの要素となる複合型ユニット	51
4.2	拡張型PETの概念	52
4.3	PETに用いられる代表的なシンチレータ	55
4.4	LYSO単結晶	56
4.5	試作を行った2種類のLYSOピクセルシンチレータ・アレー	57
4.6	LYSOアレーの寸法	58
4.7	511 keVのガンマ線に対するLSO結晶の透過率	58
4.8	8×8チャンネルLYSOアレーのシンチレーション特性	59
4.9	16×16チャンネルLYSOアレーのシンチレーション特性	60
4.10	LuAG単結晶	60
4.11	APDの量子効率	61
4.12	試作を行った3種類のAPDアレー	63
4.13	8×8チャンネルAPDアレーの暗電流と相対増幅率の分布	64
4.14	16×16チャンネルAPDアレーの暗電流と相対増幅率の分布	64
4.15	放射光を用いて測定されたAPDの時間分解能	65
4.16	10 keVのX線で測定したリバーズ型APDアレーの時間特性	65
4.17	APDアレーとLYSOアレーを光学接合した様子	66
4.18	8×8チャンネルのAPDアレーとLYSOアレーを光学接合させた光学ユニット	67
4.19	8×8チャンネルの光学ユニットへの ¹³⁷ Cs照射スペクトル	67
4.20	光学ユニットのずれ具合	68
4.21	保護樹脂に対する光漏れ対策の実施	69
4.22	LYSOピクセルに対する光漏れ対策の実施	70
4.23	VA32TAチップ	71
4.24	nMOSFETの構造	73
4.25	nMOS及びpMOSの回路上の記号	74
4.26	LSI開発の流れ	75
4.27	TIPPET08のシステム全体図	78
4.28	CHAIN1における信号処理内容	79

4.29	CHAIN2 における信号処理内容	79
4.30	ダブルストップ方式の仕組み	81
4.31	TIPPET08 のボンディングダイアグラム	83
4.32	完成した TIPPET08 チップ	84
4.33	TIPPET08 の評価用基板	85
4.34	製作した 10 倍増幅器	85
4.35	Labview-FPGA モジュールを用いた開発環境	87
4.36	TIPPET08 の評価用セットアップ図	88
4.37	511 keV に相当するテストパルスを入力した際の信号波形	90
4.38	前置増幅器出力 (PREAMP) のオフセット電圧の分布	91
4.39	波形整形回路出力 (SLOW) のオフセット電圧の分布	91
4.40	微分回路出力 (FAST) のオフセット電圧の分布	92
4.41	前置増幅器出力 (PREAMP) のゲインの分布	93
4.42	波形整形回路出力 (SLOW) の線形性評価	94
4.43	検出器容量に対する等価雑音電子数及び信号対雑音比	95
4.44	シミュレーション結果と実験結果の雑音比較	95
4.45	信号ラインの真の雑音レベルを測定するための原理図	96
4.46	正規分布の雑音を仮定した SLOW 信号	97
4.47	雑音測定のセットアップ	98
4.48	入力容量 0 pF における雑音の分布	99
4.49	入力容量 15 pF における雑音の分布	99
4.50	TAC 回路の線形性を評価するためのセットアップ図	100
4.51	TAC 回路の線形性	101
4.52	Time-jitter による時間測定のずれ	101
4.53	Time-jitter の測定方法	102
4.54	Time-jitter の測定結果	102
4.55	Time-walk による時間測定のずれ	103
4.56	Time-walk の影響が最小となるしきい値電圧の評価	104
4.57	511 keV $\pm 12.5\%$ のエネルギー分解能を仮定した Time-walk の測定結果	104
4.58	様々なしきい値電圧に対する検出器容量と時間分解能の関係図	105
4.59	単素子光学ユニットと LSI を組合せガンマ線を照射した	106
4.60	LSI で取得した 511 keV のガンマ線のエネルギースペクトル	106

5.1	入力パッドの低雑音化	109
5.2	TIPPET32 のシステム全体図	113
5.3	CHAIN1 の回路構成	114
5.4	前置増幅器の回路構成	115
5.5	記述を簡略化した前置増幅器とポールゼロ補償回路	116
5.6	前置増幅器用の増幅要素の回路図	117
5.7	漏れ電流補償回路の回路図	118
5.8	アナログバッファ回路の回路図	119
5.9	波形整形回路の回路図	120
5.10	整形増幅器用の増幅要素の回路図	121
5.11	抵抗回路の回路図	121
5.12	ローパスフィルタの回路図	122
5.13	微分回路の回路図	123
5.14	アナログ信号波形	123
5.15	オフセット電圧調整回路	124
5.16	オフセット電圧調整回路の改良結果	125
5.17	4bit 電流 DAC 回路	125
5.18	エネルギー弁別回路及びゼロクロスコンパレータの回路図	126
5.19	エネルギー弁別回路及びゼロクロスコンパレータの動作	128
5.20	ローカルコントロールレジスタの回路図	129
5.21	データ書き込み先レジスタの選択方法	130
5.22	ローカルコントロールレジスタへの書き込み	131
5.23	ローカルコントロールレジスタの動作検証	131
5.24	CHAIN2 の回路構成	132
5.25	各種バイアス電圧生成回路の回路構成	133
5.26	バイアス回路の回路構成	133
5.27	アナログ加算回路の回路図	134
5.28	アナログ加算回路用増幅要素の回路図	135
5.29	時間電圧変換回路の回路図	136
5.30	時間電圧変換回路の改良	136
5.31	改良前後の時間電圧変換回路の波形比較	137
5.32	改良前後の時間電圧変換回路の線形性比較	138

5.33	時間電圧変換回路用の積分要素の回路図	138
5.34	セントラルコントロールレジスタの回路図	139
5.35	セントラルコントロールレジスタの動作検証	140
5.36	プライオリティチェインエンコーダの回路図	141
5.37	プライオリティチェインエンコーダの動作概念	142
5.38	プライオリティチェインエンコーダの動作検証	143
5.39	パラレル-シリアル変換回路の回路図	144
5.40	HIT アドレス情報の読み出しタイミングチャート	145
5.41	パラレル-シリアル変換回路の動作検証	145
5.42	シミュレーションによる線形性評価	146
5.43	シミュレーションによる雑音感度の評価	146
5.44	シミュレーションによる雑音総量の評価	147
5.45	パルス波形の検出器容量依存性	148
5.46	等価雑音電子数の検出器容量依存性	148
5.47	ゼロクロス法の時間特性評価	149
5.48	シミュレーションによる Time-walk 評価	149
6.1	TIPPET32 の回路レイアウト図	151
6.2	TIPPET32 の評価用パッケージ	152
6.3	TIPPET32 のボンディングダイアグラム	152
6.4	QFP パッケージ用の評価基板	153
6.5	TIPPET32 の評価用セットアップ	154
6.6	511 keV に相当するテストパルスを入力した際の信号波形	156
6.7	TIPPET32 のオフセット電圧 (PREAMP) の分布	157
6.8	TIPPET32 のオフセット電圧 (SLOW) の分布	157
6.9	TIPPET32 のオフセット電圧 (FAST) の分布	158
6.10	TIPPET32 のゲイン分布	159
6.11	TIPPET32 の SLOW 信号の線形性評価	160
6.12	TIPPET32 の SLOW 信号の雑音評価	161
6.13	浮遊容量の測定結果	162
6.14	TIPPET32 の Time-jitter の測定	163
6.15	TIPPET32 の Time-walk の測定	164

6.16	TIPPET32 と単素子光学ユニットで取得したガンマ線スペクトル	164
6.17	LTCC パッケージの構造	167
6.18	LTCC パッケージ外形図	168
6.19	パッケージのサイズ比較	169
6.20	LTCC パッケージ用の性能評価基板	169
6.21	LTCC パッケージの雑音評価	170
6.22	LTCC パッケージの Time-jitter の測定結果	171
6.23	LTCC パッケージの Time-walk の測定結果	172
7.1	カセット式 APD アレーを用いた拡張型 APD-PET ユニットの概念	173
7.2	FEC に搭載されたローパスフィルタの回路図	175
7.3	FEC の回路構成	175
7.4	FEC の信号処理タイムチャート	176
7.5	FEC の外観図	177
7.6	FEC の外観図その 2	178
7.7	カセット式 APD アレーの外観図	179
7.8	FEC 評価基板	179
7.9	カセット式光学ユニットのエネルギースペクトル	180
7.10	FPGA 基板の選定	182
7.11	コントロールカードの回路構成	183
7.12	コントロールカードの出力信号仕様	183
7.13	コントロールカードの外観図	184
7.14	同時計数回路の役割	185
7.15	同時計数回路の回路ブロック図	186
7.16	同時計数回路の装置外観図	186
7.17	同時計数回路の収集データ仕様	189
B.1	TIPPET32 のパッド対応図	193
B.2	TIPPET32 のチップレイアウト図	197
B.3	LTCC パッケージの内部配線図	198
B.4	LTCC パッケージのピン対応図	199

表 目 次

2.1	断層撮影法の比較	24
2.2	PET 検査に用いられる陽電子放出核種の飛程	28
2.3	PET における空間分解能の理論限界	29
3.1	シンチレーション検出器の性能比較	39
3.2	フォトダイオードと APD の雑音の比較	46
4.1	代表的な無機シンチレータの特性	55
4.2	試作 APD アレーの仕様	63
4.3	TIPPET08 チップ設計パラメータ	77
4.4	ローカルコントロールレジスタの各ビットの役割	82
4.5	セントラルコントロールレジスタの各ビットの役割	82
4.6	モニタ出力信号の選択	82
4.7	バイアス電圧の確認	89
4.8	TIPPET08 の消費電力	89
5.1	TIPPET32 チップ設計パラメータ	110
5.2	ローカルコントロールレジスタの各ビットの役割	130
5.3	モニタ出力信号の選択	140
5.4	セントラルコントロールレジスタの各ビットの役割	140
6.1	TIPPET32 のバイアス電圧の確認	155
6.2	TIPPET32 の消費電力	155
6.3	パッケージ内部配線に用いられる導体の特性	166
7.1	FEC の消費電力	177
7.2	カセット式 APD アレーの仕様	178
7.3	光学ユニットの性能のばらつき	181
7.4	計測条件設定回路のスイッチ設定一覧表	188

7.5	HIT オーダーの定義	189
7.6	フレームナンバーの定義	189
B.1	TIPPET32 のパッド配置一覧表	196
B.2	LTCC パッケージのピン配置一覧表	203
C.1	コントロールカードのピン配置一覧表	207

第1章 はじめに

癌(がん)は昭和56年頃から日本人の死因の第1位を占め、現在では年間約50万人が罹患し、そのうち約30万人が死亡している。図1.1に日本における癌の死亡率の推移を示す。実に日本人の3人に1人は癌で死亡していることが分かる。

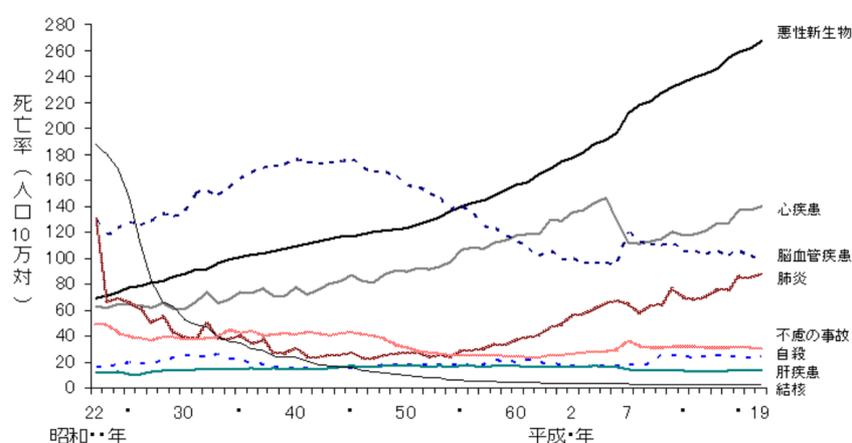


図 1.1: 癌による死亡率の推移 [1]

しかし、癌は早期に発見・治療を行えば決して不治の病ではない。近年、陽電子放出断層撮影 (PET : Positron Emission Tomography) を利用した癌診断への関心が高まっている。PET とは、陽電子を放出する半減期の短い放射性同位元素を利用した画像診断方法である。レントゲン等を用いる従来の癌検診に比べて約 10 倍の発見率があると言われ、癌の早期発見を実現する上で欠かせない存在になりつつある [2]。

一方で、検査装置の大型化や高い検査コストなどといった問題が PET の広い普及の妨げとなっており、とりわけ発展途上国や地方医療の場において十分な活躍をしているとは言い難い。また、空間分解能の制限から PET で確実に識別することのできる腫瘍は少なくとも 5 mm 程度の大きさが必要であり、これより小さな癌や、薄く広がった癌には対応することができない。従って撮像技術の抜本的な見直しが求められている。

従来技術ではPET用の放射線検出器として、放射線を吸収して光に変換するシンチレータと、シンチレータからの微弱な光を電気信号に変換する光電子増倍管 (PMT : Photo-Multiplier Tube) を組み合わせたものが用いられてきた。しかしPMTは構造が複雑なため量産が難しく、またシンチレータと合わせて20 cm程度の長さが必要となるため、PET装置の大型化と高価格化の大きな要因となっていた。

一方、近年では光電子増倍管 (PMT : PhotoMultiplier Tube) に代わる優れた光検出器としてアバランシェ・フォトダイオード (APD : Avalanche Photo Diode) が注目を集めている。APDは微弱な信号を内部増幅する機能を持つシリコン半導体検出器であり、PMTの約4倍の優れた感度と低い雑音レベルを同時に実現する。本研究室ではコンパクトで高感度なAPDの特性を生かし、4 × 8 chにアレー化したAPDアレー素子を用いて、数mm程度の空間分解能を持つガンマ線カメラの試作に成功している [3, 4]。

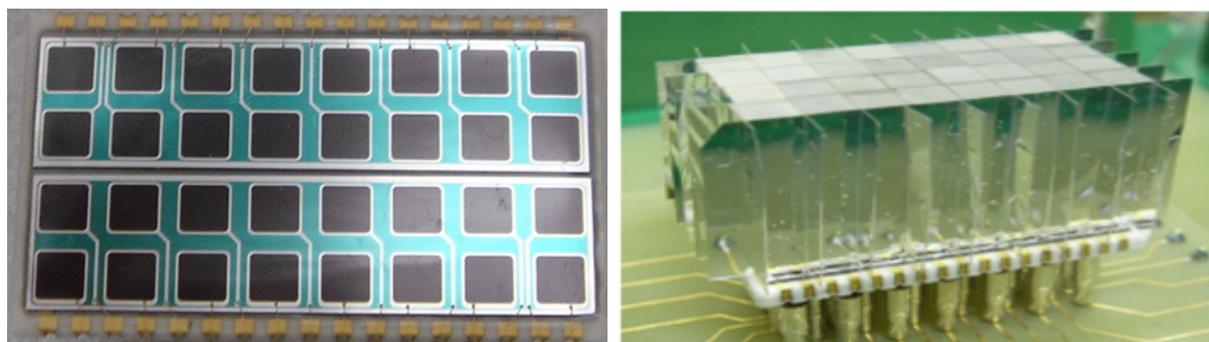


図 1.2: APD を用いた撮像検出器 [3] (左)32 ch アレー (右) シンチレータとの組み合わせ

APDはPMTに比べて単純な構造のため量産により製造コストを下げることができ、コンパクトで消費電力も小さいため、検出器部分の大幅な低価格化・小型化が可能である (図 1.3)。また検出器の1ピクセル当たりのサイズも小型化できるので、単位面積あたりの画素数を増やすことで空間分解能も大幅に向上させることができると考えられる。さらに高磁場中でも問題なく使用できるため、MRIと組み合わせて空間分解能を補うMRI-PETへの応用も検討され始めている [5, 6]。

撮像検出器の大型化には読み出し回路の複雑化・多チャンネル化にも原因がある。通常の PET 装置では、PMT から引き出した数万チャンネル分の生の信号を一同に集め、外部で解析を行う手法が用いられる。当然ながら装置の大型化は免れず、汎用性のない高額な装置となってしまう。一方で近年におけるアナログ回路集積技術の進展は目覚しく、国内研究機関でも図 1.4 に示すような数 mm サイズの放射線検出器用低雑音・多チャンネル LSI (Large Scale Integrated circuit) が開発され始めている [7, 8]。そこで 8×8 ch もしくは 16×16 ch 程度の APD アレー素子を多チャンネルのアナログ信号処理 LSI と組み合わせ、1つの検出器ブロック単位で独立した信号処理を行うことができれば、PET の処理系統が大幅に簡略化される結果、PET 装置全体を小型化し、さらに必要な数のユニットを組み合わせる様々な用途に使用するという拡張性を持たせることが可能になる。しかしながら、APD が比較的新しい素子であるということもあり、APD の読み出し用に最適化された多チャンネルの LSI はいまだに普及していない。

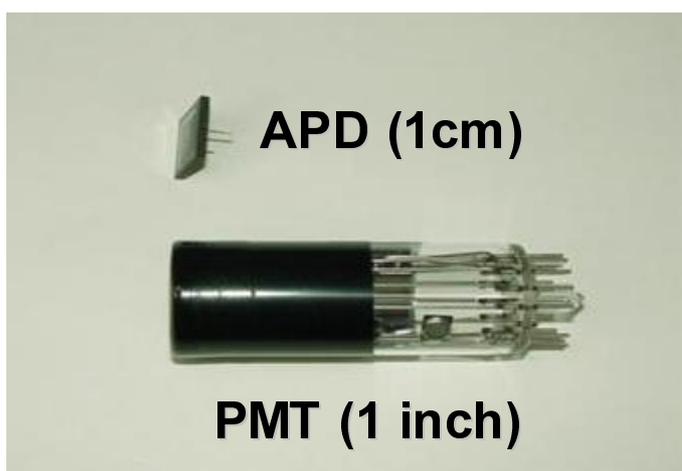


図 1.3: APD と PMT のサイズ比較

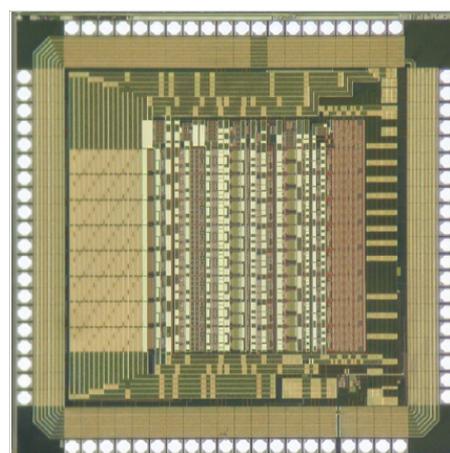


図 1.4: CdTe 検出器用 LSI[7]

そこで本研究室では、APD アレーを撮像検出器として用いる APD-PET の実現に向けて、宇宙航空研究開発機構・浜松ホトニクス社と協同で「高速・高感度ピクセルシンチレータ」「大面積・多チャンネル APD アレー」「APD 読み出し専用多チャンネルアナログ信号処理 LSI」の各要素についてそれぞれ開発を行ってきた。本論文では、これらの取り組みの中から特にアナログ信号処理 LSI の開発を含む総合エレクトロニクス設計及び性能評価結果について述べる。将来的にはそれらの要素を組み合わせることで「フレキシブルな”拡張型次世代 PET”」を実用化することによって、誰もが手軽に高度な癌診断を受けることが可能なシステムの実現を目指している。

本論文の構成は以下の通りである。まず第2章でPETの基本的な原理と特徴をまとめ、現状における課題と先行研究について述べる。第3章ではアバランシェ・フォトダイオードの原理と、撮像検出器として用いる方法について述べる。第4章では我々の提案する拡張型モバイルPETの構想及び開発状況について述べ、初期試作を行った8チャンネルLSIについて詳細な性能評価を行う。第5章では8チャンネルLSIの欠点を克服し、さらに処理能力を向上させた32チャンネルLSIについてシミュレータを用いた回路設計や具体的な回路構成について述べ、第6章で試作後のLSIの性能評価結果について述べる。第7章では小型ユニット化へ向けて開発を行った64チャンネルのフロントエンドカード、カセット式APDアレー、FPGAを使用したコントロールカードについて述べ、将来的にPET装置として画像を得るための同時計数処理の方法について検討を行い、第8章にて本研究の総括を述べる。

第2章 陽電子放出断層撮影 (PET)

2.1 PET の原理

陽電子放出断層撮影 (PET: Positron Emission Tomography) とは、陽電子放出核種 (^{11}C , ^{13}N , ^{15}O , ^{18}F などの生体構成元素の放射性同位体¹) を用いて放射性薬剤の体内分布の画像化を行い様々な診断をする検査法である。PET を癌診断に用いる場合、まず陽電子放出核種 ^{18}F で標識したブドウ糖疑似体 (FDG: フルオロデオキシグルコース²) を体内に注入する。癌細胞は正常な細胞よりも活動性が高く、細胞分裂のエネルギー源となるブドウ糖を異常に多く取り込む性質があるため、一定時間経つと放射性薬剤である FDG は癌細胞に多く集積されていく。その結果、癌組織からは正常組織よりも 3 ~ 20 倍程度強い放射線が放出され、画像診断によってその位置を特定することが可能となる。

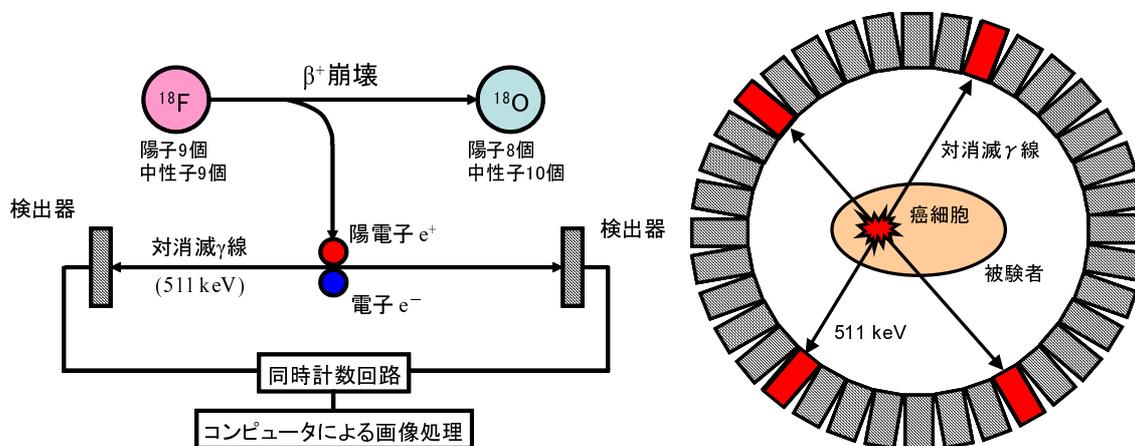


図 2.1: PET の原理 [9]。FDG に含まれる ^{18}F は 120 分の半減期で ^{18}O に崩壊し、陽電子を放出する。放出された陽電子は体内の電子と対消滅を起こし、180 度対向方向にガンマ線が放出される (左図)。このガンマ線のペアを、体を取り囲んだリング状の検出器で同時に検出する (右図)。

¹ 生体構成元素を標識として用いる最大のメリットは生体内分子との置換が容易であること。生体内の分子生物学的事象を画像として捉えることが可能なため、一般に分子イメージングと呼ばれている。

² 酸素の安定同位体である ^{18}O を濃縮した水にサイクロトロンで 10 MeV 程度まで加速された陽子を打ち込み、 $^{18}\text{O}(p,n)^{18}\text{F}$ 核反応により生成された ^{18}F をブドウ糖と合成した薬剤。

PETの原理を図2.1に示す。陽電子放出核種から β^+ 崩壊によって放出された陽電子がその反粒子である電子と体内で結合すると、電子と陽電子の全質量エネルギーが2個の光子に転換される結果、511 keVの対消滅ガンマ線が180度対向方向に1対放出される。その対消滅ガンマ線のペアを、被験者を取り囲むようにリング上に配置した検出器を用いて検出する。同時計数回路は、ある一定の時間幅の中で同時に起こったイベントのみを計数する。対消滅ガンマ線は2つの検出器で同時に検出されるため、それらの検出器を結ぶ線上(LOR: Line of Response)のどこかに陽電子放出核種が存在することになる。このようなイベントを多数集めた後にコンピュータ処理を行うことで様々な方向からの投影データ(放射性薬剤の生体内分布)が得られる。PETの場合は同時計数によってガンマ線の入射方向を決定するため、コリメータが不要で感度が高く定量性に優れており、構造も単純であるという特長がある。図2.2に実際のPET検査で見つかった癌の症例を示す³。

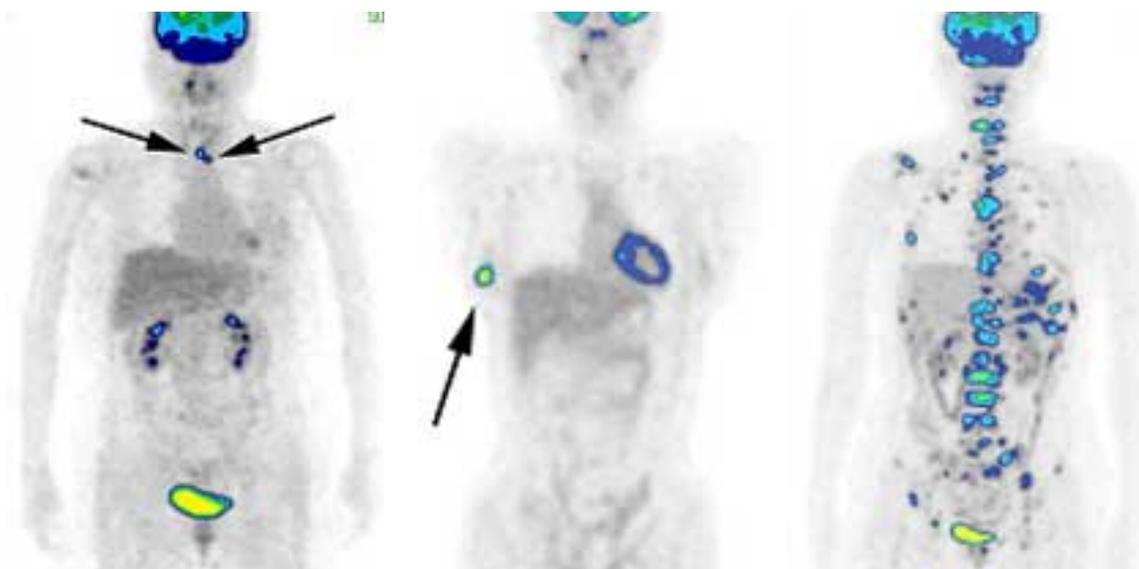


図 2.2: 実際の PET 画像 [10] (左) リンパ節転移 (中) 乳がん (右) 全身転移

PET検査は癌診断だけでなく、 $^{15}\text{O}_2$ による脳血流量や酸素代謝評価、 $^{13}\text{NH}_3$ や H_2^{15}O による心筋の血流量評価、 ^{11}C 標識有機化合物による糖、脂肪酸、アミノ酸、核酸の合成と分解評価、 ^{11}C 標識医薬品による薬物体内動態評価、 Na^{18}F による骨代謝評価、FDGによるアルツハイマー病の早期診断、などといった広い用途に用いられている [11]。

³ 左図における腎臓や膀胱の部分は癌ではないにもかかわらずPETに反応してしまっている。PET検査では検査薬の集積した部位が画像上で光るため、腎臓や膀胱など排泄に関係した臓器や、元々ブドウ糖の消費が多い臓器に発生した癌はPET検査単独では発見しにくい場合がある。

2.2 PETの特徴

2.2.1 PET装置の構造

PET装置は大まかに検出器部・信号処理部・データ収集部、画像処理部、それらを内包するガントリーという5つの要素から構成されている。

検出器部

検出器部は被験者の体内から放出される対消滅ガンマ線を効率よく検出するための要素であり、通常ではシンチレータ結晶と光電子増倍管(PMT)から構成されている。

シンチレータとは電離放射線のエネルギーを吸収してただちに光を放出する蛍光物質であり、測定する放射線の種類や目的に応じて固体、液体、気体を選択される他、発光強度、発光波長、光の減衰時間、物理的特性、元素組成、作成の難易性などの条件が考慮される[12]。PET用のシンチレータとしては透過力の高い511 keVのガンマ線を効率よく吸収できるだけの有効原子番号を持ち、かつ計数率を高めるために蛍光減衰時定数の短いシンチレータが選択されている。代表的な物としてはBGO、LSO、GSO等が挙げられる。

一方PMTはシンチレータからの微弱な光信号を検出して電気信号に変換するための高感度な光検出素子である。図2.3にPMTの構造を示す。シンチレーション光が光電面に到達すると、光電効果により光電子が放出される。放出された光電子は電場により加速・集束され、ダイノード電極に衝突すると2~3個の二次電子を叩き出す。それらの二次電子がさらに加速され、次段のダイノードに衝突することにより、電子の数は指数関数的に増大する。結局、最終段のアノード電極では 10^6 倍程度に増幅された信号が出力されることになる。

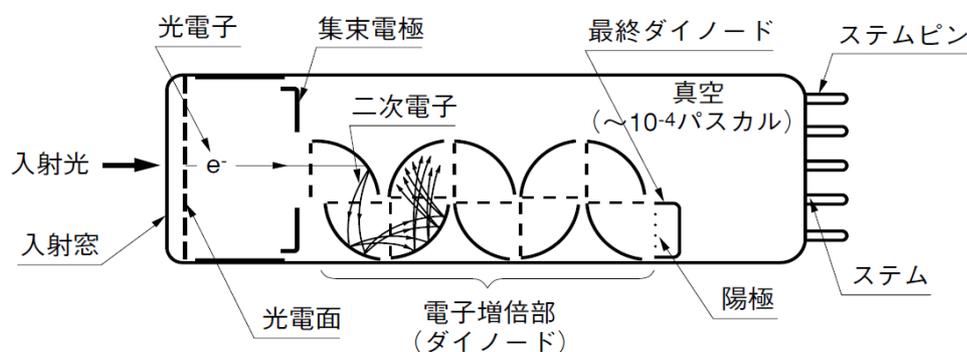


図 2.3: PMT の構造 [13]。光電効果で生成された光電子は約 10^6 倍に増倍される。

図 2.4 に検出器部の外観を示す。全身用 PET 装置ではこれらの検出器部が数百ユニット組み合わされた構造となっている。

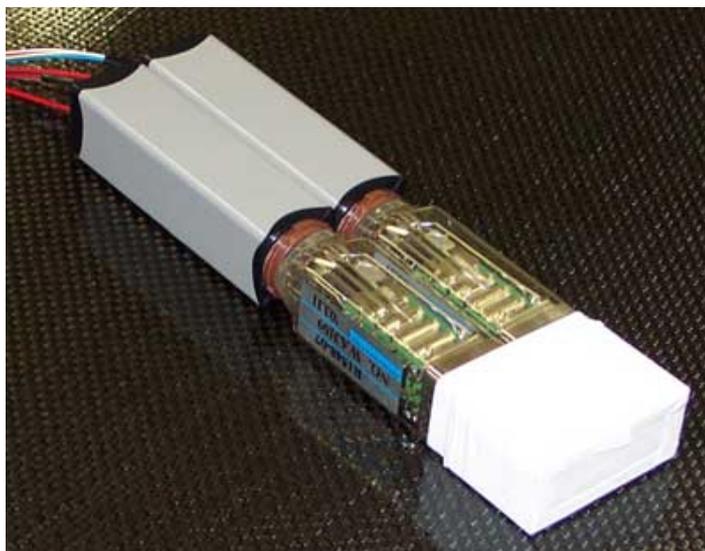


図 2.4: 検出器部の構造 [14]。手前側がシンチレータの集合したブロックであり、後段の PMT の受光面と光学接合されている。さらに後段のケースには各増幅段に適切な高電圧を印加するための分圧抵抗器が組み込まれている。PMT の受光面積は $25 \times 20 \text{ mm}^2$ 、奥行きは 20 cm 程度である。

信号処理部

信号処理部では、検出器からの信号を前置増幅器で増幅した後、雑音成分の除去、時間情報の付加、A/D 変換といった処理を行い、信号が「どの検出器ピクセル」で「どんなタイミングで」検出されたかという情報 (シングルイベント情報) を出力する (図 2.5)。個々のシングルイベント情報は複数の検出器を束ねる同時計数回路に入力されており、ある一定の時間幅の中で同時に起こったイベントについては真の消滅ガンマ線によるイベントだと判定され、後段のデータ収集部に送られる。

データ収集部

データ収集部は同時計数後のイベント情報を PC やデータサーバに転送・収集するためのシステムである。同時計数後のイベント情報にはガンマ線を検出したシンチレータの位置情報と、同時計数を行った時刻の時間情報が含まれている (リストモードデータ)。大規模な PET 装置の場合にはデータ量が膨大になってしまうため、計数率特性に悪影響を及ぼさぬよう大容量のメモリを搭載した複数の PC で並列収集を行う等といった対策が必要となる。

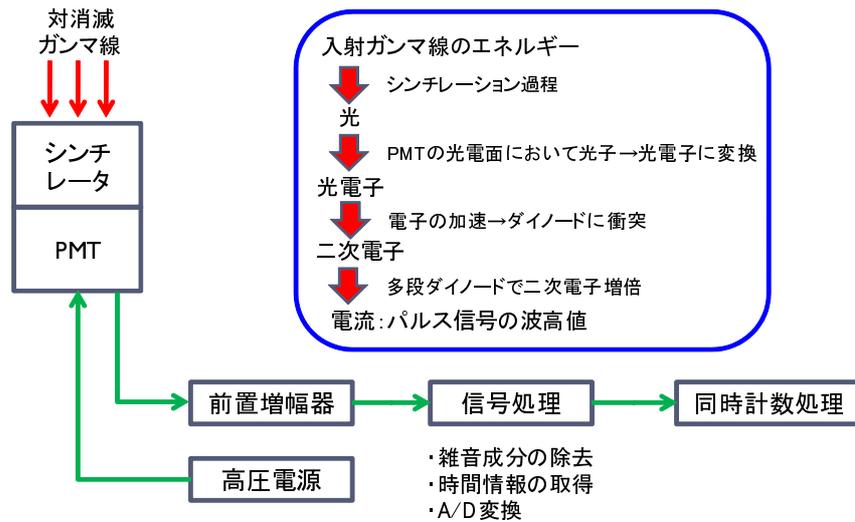


図 2.5: PET 装置における検出器部と信号処理部。シンチレータと PMT により検出された信号は前置増幅器で増幅された後、様々な信号処理を経て同時計数回路で判定を受ける。

画像処理部

一箇所に集められたイベント情報は高性能 PC 上で展開され、同時計数された検出器間を結ぶイベント毎にその軌跡 (同時計測線) が書き込まれる。すると軌跡の重なった場所はホットスポットとなり、体内の薬剤分布を画像化することが可能となる。こうして再構成された像は逆投影像と呼ばれるが、そのままでは画像上のノイズが目立つため診断に支障を来す場合がある。そこで画質を向上させるための様々な補正フィルタ関数が考案されており、代表的なものとしては最も単純なフィルター逆投影 (FBP : Filtered Back Projection) 法、逐次比較近似を行う最尤推定期待値最大化 (ML-EM : Maximum likelihood expectation maximization) 法、それを高速化したオーダードサブセット EM (OS-EM : Ordered Subset Expectation Maximization) 法、2次元フーリエ変換を利用したフーリエリビンング (FO-RE : Fourier Rebinning) 法、などが挙げられる [15]。同じデータでもどのようなフィルター関数を用いるかによって最終的に得られる診断画像は大きく異なる (図 2.6)。

また画像再構成の際には、組織による放射線の吸収感度の違いを補正する吸収補正や、検出器間の感度の違いを補正する感度補正などの各種補正が併せて行われる。

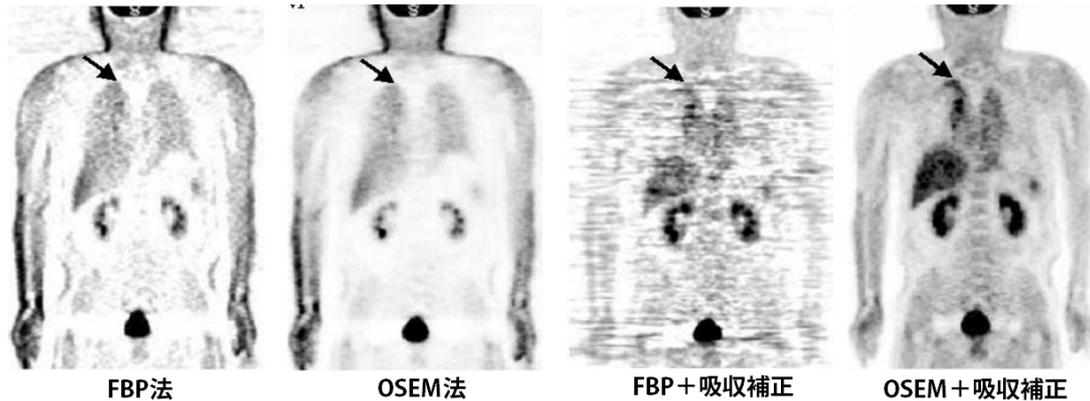


図 2.6: 画像再構成法による画質の違い [16]。OSEM 法では単純な FBP 法より組織の境界がくっきりと描き出されており、吸収補正を行った場合にはその差はさらに顕著となる。

ガントリー

ガントリーは PET 装置の外観となる要素であり、検出器部や信号処理システム等を内包している。全身用 PET 装置では被験者が横たわる寝台とガントリーのどちらかが可動式となっており、全身を隈無くスキャンすることが可能である。図 2.7 に典型的な PET 装置の外観図を示す。



図 2.7: 島津製作所製 PET 装置のガントリーと可動式の寝台 [14]

ガントリー内部には検出器が全て対向方向になるよう円状に配置されており、ガントリーの内径は全身用 PET 装置の場合 60 ~ 70 cm 程度である。また検出器の校正用の線源や装置の操作用パネル等も含まれている。

2.2.2 他の断層撮影法との比較

科学技術が急速に進歩している近年では、以下に挙げる2つの断層撮影法(X線CT、MRI)がPETに先駆けて広く利用されている。それぞれ撮像原理が異なるため、測定の目的・対象に応じて使い分けられており、相補的に用いられる場合もある。表2.1に各断層撮影法の比較を示す。

表 2.1: 断層撮影法の比較 [14, 17]

	PET	X線CT	MRI
空間分解能	4~8 mm	0.5 mm	1 mm
検査時間	30分	5分	10~20分
被曝の程度	2 mSv 程度	数 10 mSv	被爆なし
装置価格(円)	4億~10億以上	数千万~1億数千万	5000万~2億
画像化対象	機能	形態	形態(機能)

X線CT(Computed Tomography : コンピュータ断層撮影)

X線CT⁴とは、人体に全周からX線を照射して得られたデータをコンピュータで再構成する事により、その内部構造を画像化する手法である。基本的にはレントゲン撮影(単純X線撮影)と同じ原理であるが、レントゲン撮影が一方向からのみの照射であるのに対し、X線CTでは人体に対して様々な方向から数十 keV 程度のX線を照射してそれぞれの方向におけるX線の吸収率データを取得し、それらをコンピュータで統合処理することによって体の断層画像を得ることができる(図2.2.2)。従って通常は造影剤を使用せずに撮影可能であるが、密度の似通った組織を見分ける必要がある場合にはX線吸収度が高いヨード造影剤を静脈内に注射して血管や腫瘍のコントラストを改善するといった手法も用いられる。検査が簡便で被験者への苦痛も少ないことから、現在では日本全国の病院に約12,000台設置され、多く用いられている[17]。

近年では、連続回転するX線線源の中を寝台が一定速度で移動しながら連続的に撮像を行うヘリカルCTの開発により、短時間に広範囲を連続して検査することが可能となった。またさらなる高速化を目指してX線検出器を多列化したマルチディテクタCTが開発されたことで、全方向に渡って0.5 mm程度の空間分解能が得られるようになり、心臓

⁴ 広義にはPETやMRIもCTに含まれる。これら広義のCTの中で最初に実用化されたのがX線CTであり、現在では単にCTと言った場合にはX線CTを指す場合が多い。

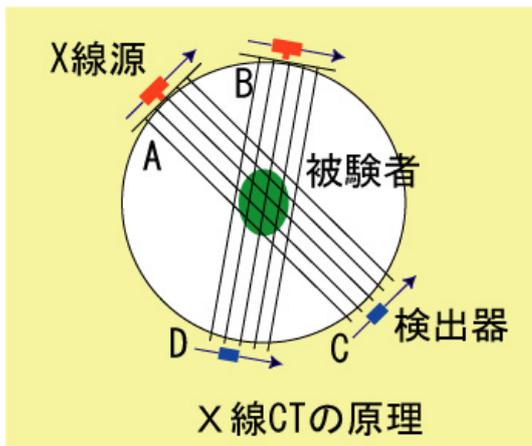


図 2.8: X 線 CT の検査方法 [18]。

A の位置で X 線源が直線状に動き、それと同時に C の位置で検出器が直線状に動いて X 線画像を作る。同様の動作を B でも行い、円周に沿って各方向から X 線を照射したときの画像をコンピューター処理することにより、被験者の断層の X 線画像を作ることができる。

のような動きの激しい臓器に対しても単純な断層画像だけでなく立体的な画像を得られるまでに進歩を遂げている。検査時間は従来装置では 5 分程度必要だったものが、最新装置では体幹部全体を 10 秒以内で撮像可能になり、X 線 CT の臨床応用範囲が飛躍的に広がった。

表 2.1 に示される通り PET に比べると人体への放射線被曝量は多いが、空間解像度が高く、なにより安価であるため、PET や MRI よりも広く普及している。また医療目的以外にも、非破壊検査などには同様の技術が欠かせない存在となっている。

MRI(Magnetic Resonance Imaging : 核磁気共鳴画像法)

MRI は核磁気共鳴現象を利用した断層撮影法である [19]。人体の組織内にある水素原子は原子核スピンの起因する磁気モーメントを持っているが、通常はそれぞれの磁気モーメントがランダムな方向を向いた平衡状態にある。ここに外部から強い静磁場 (1 ~ 3 テスラ程度) を加えると、磁気モーメントの向きは磁場を加えた方向に揃う。その状態でさらにパルス状の高周波磁場を印加すると核磁気共鳴現象により、各原子核に固有のラーモア振動数で静磁場方向を軸とする歳差運動を始める。ここで高周波磁場をオフにすると、水素原子は共鳴周波数 (10 ~ 60 MHz 程度のラジオ波) と同じ周波数の高周波磁場を発生しながら元の定常状態に戻ろうとするので、受信コイルでは時間と共に指数関数的に減衰する誘導電流が信号として検出される。この信号の減衰を緩和過程と呼び、緩和に要する時間はそれぞれの組織によって異なるので、画像化が可能となる。例えば水素原子が周囲の原子と固く結合していれば緩和時間は短くなり、結合が緩ければ緩和時間は長くなる。信号の発生位置を精度良く特定するために、距離に比例した強度を持つ勾配磁場を印加すること

で、特定の断面でのみ共鳴が起こるような仕組みとなっている。組織特異性を強調するための造影剤としてガドリニウム化合物や超常磁性酸化鉄などが用いられる場合もある。

MRIはX線CTよりも軟部組織の画像コントラストが高く、任意方向の断層画像を得られるという特長があるが、検査に要する時間はやや長くなる。また磁場を利用するため放射線の被曝が無く侵襲性の低い検査であるが、一方でペースメーカーや人口内耳等の使用者は検査を受けられない場合がある。現在、全国に約5,000台設置されている[17]。

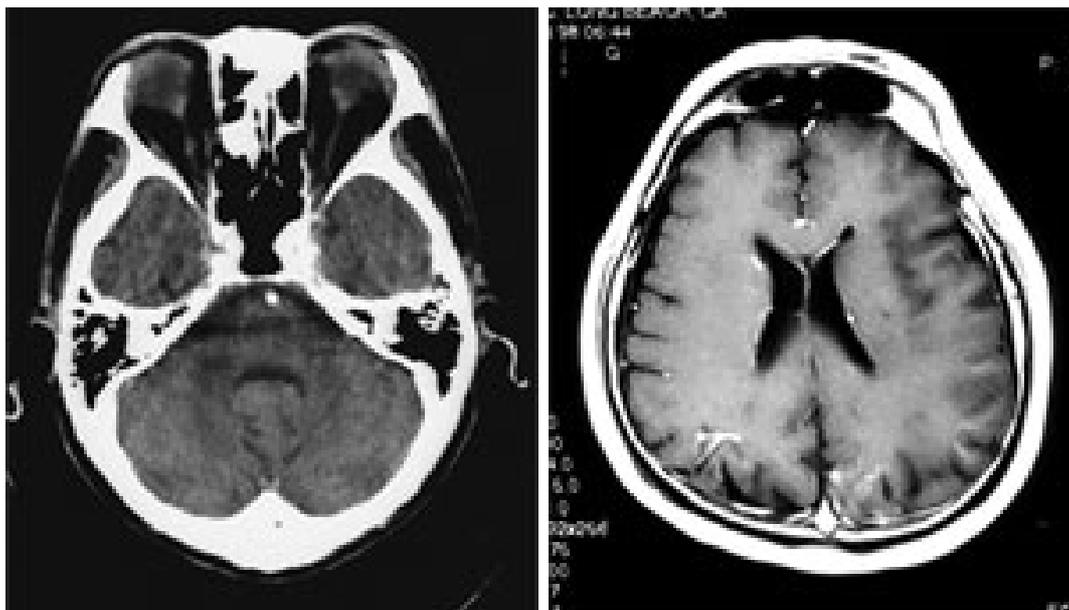


図 2.9: X線CT(左)とMRI(右)による頭部の断層画像の比較[14]

図 2.9 に X 線 CT と MRI による頭部の断層画像を示す。X 線 CT 画像は骨や出血の描出に優れているが、脳のような軟部組織の描出は不得手である。MRI は対照的に軟部組織の画像コントラストに優れているが、骨や石灰化病変の描出に劣る。従って医療現場ではそれぞれの特徴を生かした相補的な運用がなされている。また近年では、死亡時の病態把握や死因の究明を目的としたオートプシー・イメージング(死亡時画像病理診断[20])が大きな注目を集めており、X 線 CT や MRI が広く利用されている⁵。

⁵ PET に関しては原理的に血液の循環が必要なため、死亡後の診断には利用されていない。

2.2.3 PETの長短所

PETは癌を早期に発見する上で非常に有力な検査法であるが万能ではない。X線CTやMRIと比べて、従来型のPETにおいては以下のような長所・短所が指摘されてきた。

長所

- X線CTやMRIは基本的に腫瘍の「形態」を画像化するだけだが、PETの場合は活動性の高い腫瘍ほど多くの放射性薬剤が集まり、放射線の強度が増大するため、腫瘍の形態のみならず「活動性」、すなわち「悪性度」まで判断することができる。
- 一度に全身を検査できるため、予期せぬ場所に生じた転移や再発を早期に発見可能である。従来のがん検診に比べて約10倍の発見率があるとされる。
- 透過力が高く人体で吸収されにくいガンマ線を使用することから、1回の検査で受ける放射線の量は全身で2 mSv程度に抑えられており、体の一部を撮影するだけで数10 mSv程度被曝してしまうX線CTに比べると被曝量は格段に少ない。

短所

- 使用する放射性核種は人体への影響を考慮して半減期の短いものを使用する必要があるため、小型のサイクロトロン等でその都度、生産しなければならない。その他にも放射性薬剤を合成するための自動合成装置、放射性薬剤の動態を画像化するための撮像装置など大がかりな設備が必要となるため、結果として検査費用も高くなってしまう。PETの1回あたりの検査費用は保険外診療の場合10万円前後である。
- 感度と分解能の両立が難しく、全身用は感度を重視、小動物用は分解能を重視、頭部用はその中間程度の設計が必要となるなど、用途に応じて装置が細分化されており汎用性に欠ける。
- 健康な人でもFDGが集積してしまう腎臓や膀胱の癌、組織の表面に沿って薄く広がってしまう傾向のある胃癌など、特定の癌に対して有用性が低い。
- X線CT、MRIに比べて解像度が不足しており、数mm以下の「極初期」の癌を識別することは難しい。現状では少なくとも5~10mm程度の大きさが必要である。

2.2.4 物理的な性能制限要素

一般に癌は早期に発見し、早期に治療を開始するほど生存率が高まる事が知られている。従って画像診断装置においては数 mm 以下の「極初期」の癌を識別するために、画像上でどれだけ小さな組織を見分けることができるかという能力を表す空間分解能が極めて重要な指標となる。画像診断装置の空間分解能は撮像の原理に基づく物理的な制限を受けて性能の上限が決定され、PET の場合には Moses と Derenzo らによって提案された以下のような関係式が知られている [21, 22]。

$$\text{空間分解能 (FWHM)} = \alpha \sqrt{(d/2)^2 + b^2 + r^2 + (0.0022D)^2} \quad (2.1)$$

ここで右辺の係数 α は画像再構成時のアルゴリズムに依存する要素であり、典型的には 1.2 という値をとる。ルートの中の第一項は検出器の幾何学的なサイズ d による不定性、第二項は光分配方式における位置復号化の精度 b による不定性をそれぞれ表している。光分配方式とはシンチレータからの光を複数の PMT で読み出し、その光量の比によってガンマ線の入射位置を復号する方式である。 b の値は現行 PET では 1 ~ 2 mm 程度になるが、光分配方式を用いずシンチレータと受光素子を 1 対 1 で結合させた場合には b の不定性は 0 となる。第三項は β^+ 崩壊によって原子核から飛び出した陽電子が電子と結合して消滅するまでの飛程 r による不定性であり、表 2.2 に示すとおり使用する陽電子放出核種によって大きく異なる。第四項は電子と陽電子が対消滅する際に生じる 1 対の対消滅ガンマ線が 180 度方向から僅かにずれてしまう効果を表している。対消滅ガンマ線は電子と陽電子の重心系において 180 度対向方向に正確に放出されるが、原子においては外側の軌道に存在する価電子と内側の軌道に存在する内殻電子で電子の運動量が異なること、また陽電子の結合時の運動量もゼロとは限らないため、結果として実験室系で観測される対消滅ガンマ線は 180 度対向方向から ± 0.5 度程度の不定性を持ち、解像度は検出器間距離 D が大きいほど悪化する。PET 装置の構造とこれらのパラメータの対応を図 2.2.4 に示す。

表 2.2: PET 検査に用いられる陽電子放出核種の飛程 [23]

放射性核種	最大エネルギー (MeV)	飛程 r (mm)
^{11}C	0.96	0.39
^{13}N	1.2	0.57
^{15}O	1.7	1.0
^{18}F	0.64	0.23

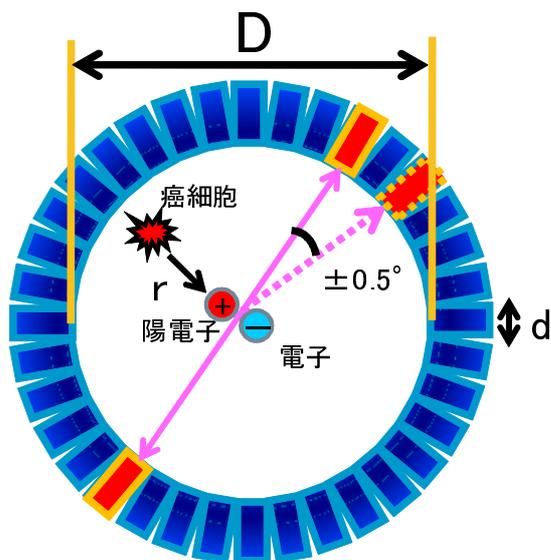


図 2.10: 空間分解能の制限要素

PETの空間分解能は、検出器のサイズ d が大きいほど、陽電子の飛程 r が長いほど、検出器間距離 D が大きいほど悪影響を受ける。全身用の FDG-PET 装置では典型的に $d: 5 \sim 10 \text{ mm}$ 、 $r: 0.23 \text{ mm}$ 、 $D: 600 \sim 700 \text{ mm}$ 程度の値をとり、現状では検出器のピクセルサイズによる制限が最も大きな要素と言える。

以上の点から理論的に実現可能な空間分解能は、光分配方式を利用せず線源として ^{18}F を用いた場合に直径 1 mm のピクセルサイズを仮定すると表 2.3 のように表される。

表 2.3: PET における空間分解能の理論限界

装置の種類	ガントリー径	空間分解能 (FWHM)
小動物用	10 cm	0.7 mm
頭部用	40 cm	1.2 mm
全身用	70 cm	2.0 mm

2.3 次世代型 PET 装置の開発

2.3.1 現行 PET における課題

前述したように PET は癌の診断に有効な技術であるが、X 線 CT や MRI と比べて解像度が不足していること、撮像装置が大型で検査時間も長く検査コストが高いこと、全身用・頭部用・小動物用など用途に応じて専用の装置が必要となり汎用性が低いこと、など多くの課題が残されている。以上のような課題に対して、それを克服した「次世代型 PET 装置」を開発すべく現在世界各地で先進的な研究が行われており、ここではそのうちの一部について簡潔に説明する。

2.3.2 高解像度化への取り組み

PET/CT 装置

X線CTの空間分解能はサブミリメートルのオーダーであり、PETより一桁優れた空間分解能を有している。そこでPET画像とCT画像を同時に取得し、それらを融合させることで、体内の薬剤分布と同時に詳細な解剖学的情報を得るというアイデアが生まれた。この「PET/CT装置」は2001年6月にGEメディカルシステム社から販売が開始されて以来、病変部の正確な診断と位置の特定が可能になるということで大きな普及を見せている。PET/CT画像の例を図2.11に示す。PET単独の場合に比べ、特に癌と骨との位置関係が明確になり、癌の発現位置の特定が容易化されていることが分かる。

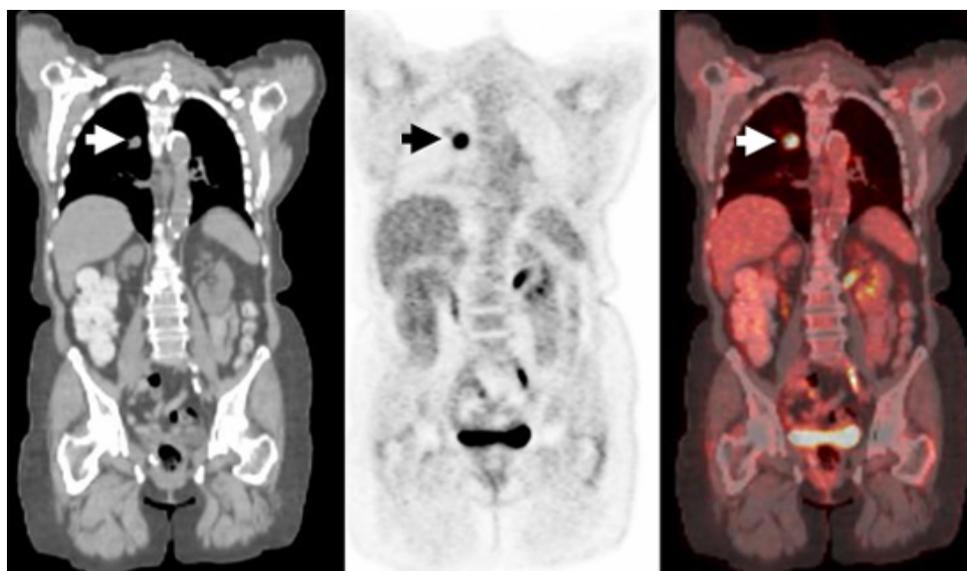


図 2.11: 肺癌患者の例 [24] (左)CT 画像 (中)PET 画像 (右)重ね合わせた画像

対消滅ガンマ線は体内の組織により一部が吸収されてしまうので、あらかじめその吸収の程度と分布を把握することができれば、より正確な薬剤分布の画像が得られる。この操作は吸収補正と呼ばれているが、PET装置単独の場合には外部線源を用いて補正を行っていたため、検査時間の長時間化の要因の一つとなっていた。それに対してPET/CTの場合にはCTで得られるX線吸収値を元に短時間で補正を行うため、従来に比べて約30%程度検査時間が短縮された結果、患者の負担が減り、スループット⁶も向上した [25]。

PET/CT装置は以上のように優れた特徴を有するが、CTで全身を撮像する場合にはX線の被曝量が数十mSv以上と非常に大きくなってしまいうという問題がある。

⁶ 単位時間あたりに診断可能な患者の数

半導体 PET 装置

PET の空間分解能は 2.1 式で示されるように検出器のサイズによって大きな制限を受けるが、従来型 PET 装置のガンマ線検出器はピクセルシンチレータと PMT を組み合わせた構造になっており、検出器部分を小型化しにくいという欠点があった。また一度シンチレータで放射線のエネルギーを光子に変換してから PMT で電気信号に変換するという間接的な過程を伴うことにより、入射した放射線のエネルギー情報の質が低下してしまうという問題もあった。そこで、ガンマ線検出器としてテルル化カドミウム (CdTe) 等のシリコンより比較的原子番号が大きく密度の高い半導体を用いることで 511 keV のガンマ線を直接電気信号に変換し、検出器のピクセルも小型化・多画素化するという試みがなされており、実際に日立製作所らのグループでは 2 mm 以下、東北大学らのグループでは 1 mm 以下の空間分解能が実現されている [26, 27]。

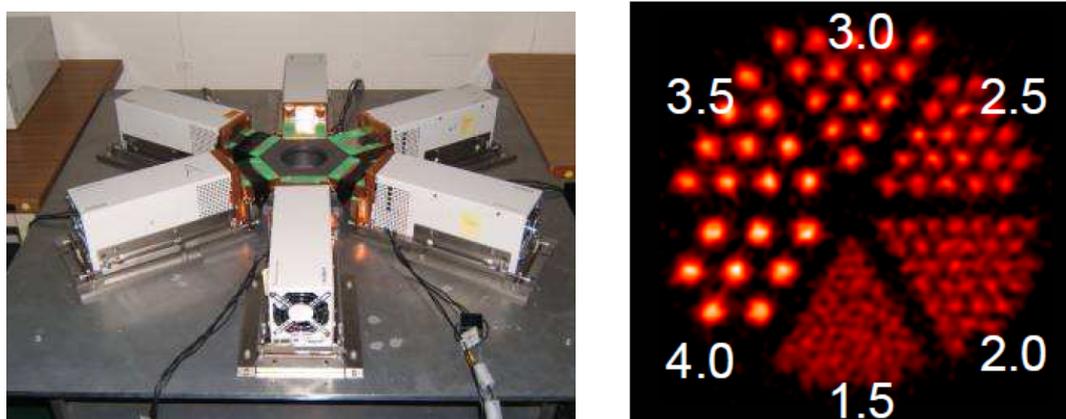


図 2.12: 日立製作所らのグループによる CdTe 半導体を使用した小動物用 PET 装置 [28]
(左) プロトタイプ機の外観 (右) ホットロッドファントムによる空間分解能の評価

CdTe 等を使用した半導体 PET 装置はピクセルを小型化できるので空間分解能に優れる他、良好なエネルギー分解能を生かして 511 keV の光電吸収イベントを明確に見分けることで、画質低下の要因となる散乱ガンマ線の影響を抑えやすいというメリットもある。一方で半導体検出器は有感領域である空乏層の厚みを 1 mm 以上確保することが難しく、ガンマ線の入射方向に対して検出器を「縦置き」し、さらに 2 重、3 重に配置するといった多層化技術を用いて検出効率を高める工夫がなされているが、現状では固体シンチレータを用いた場合に比べて感度が悪く、被曝量を極力抑える必要がある人体用 PET 装置に用いるにはコスト等を含めて大きな課題が残されている。

2.3.3 高感度化への取り組み

DOI型 PET 装置

ガンマ線の検出感度は、人体用 PET 装置の性能を測る上で特に重要な要素の一つである。検出感が低い場合、癌の診断に必要な数のイベントを集めるために長い検査時間が必要となってしまう、被験者の被曝量が増大する。また検査のスループットが低下することにより、患者一人あたりの検査コストも増大してしまうことになる。そこで、3次元的に同時計数を行う 3D-PET 装置が開発された。

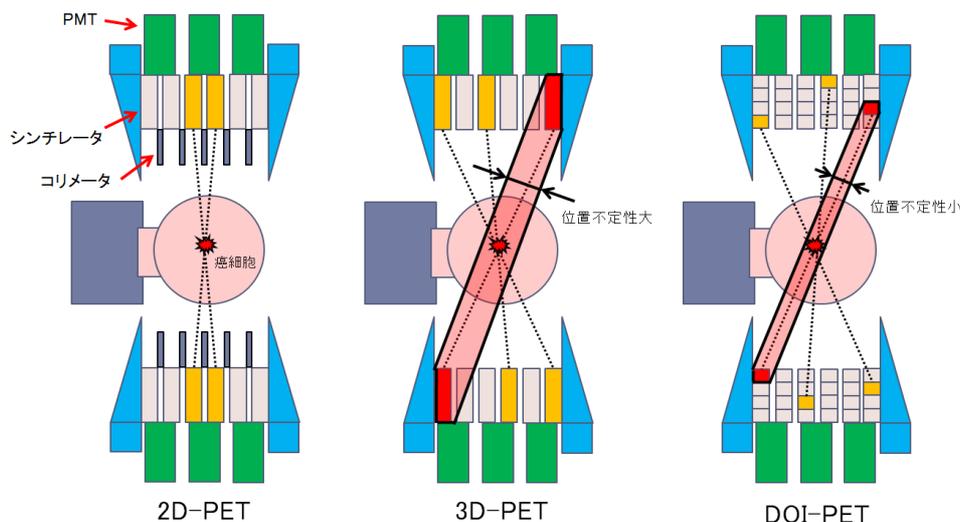


図 2.13: 3D-PET と DOI-PET の比較 (左) 通常の PET (中)3D-PET (右)DOI-PET

通常の PET 装置の場合、図 2.13 左のようにある程度の大きさの検出器ブロック毎にコリメータ (スライスセプタ) で区切られており、同時計数は対向する検出器間でしかとられていなかった。この収集方法は 2D モードと呼ばれており、ガンマ線がシンチレータに対して斜めに入射するイベントを防ぐことができるため空間分解能に優れるが、コリメータで吸収されるイベントは無駄になってしまうため検出感度は低いという問題があった。一方 3D モードでは従来検出器ブロック間に設置されていたコリメータを取り払い、被験者から放出されるガンマ線を広い立体角で検出することで、大幅に検出感度を向上させている (図 2.13 中央)。しかしながらこの方法では 2D モードと同様にガンマ線がシンチレータ中のどこかで吸収されたという情報しか得られないため、シンチレータに対してガンマ線が斜めに入射してくるイベントについては図中に示されるようにピクセルの長さ分だけ線源の位置の不定性が存在してしまうという問題がある。

そこで図 2.13 右のような DOI (Depth-Of-Interaction) 型 PET 装置が考案された。DOI 型 PET とは、微小なシンチレータ結晶を立体的に組み上げることでイベントの深さ方向の位置弁別を可能にし、3D モード収集時の空間分解能を飛躍的に向上させた PET 装置である。イベントの深さ方向の位置弁別を行うために、DOI 型 PET では蛍光減衰時定数の異なる結晶を 2 層以上に組み上げた構造になっている。結晶の各層で発生したシンチレーション光は、1 層目の結晶と光学結合された受光素子で読み出された後、波形による弁別が行われ、どの層でガンマ線との相互作用が起こったのかを割り出される。この波形弁別方式により得られた「深さ」方向の位置情報と従来 PET と同じ 2 次元位置情報とを統合することで「3 次元」位置情報とし、従来 PET を超える高い空間分解能を持った PET 画像を短時間で構成することができる。また現在では、放射線医学総合研究所の村山秀雄氏らのグループを中心として光分配方式と呼ばれる手法を波形弁別方式と組み合わせた検出器の開発も進められている。光分配方式は結晶のピクセル同士を分離する反射材の配置を工夫することにより検出層を特定する方法であり、波形弁別方式と組み合わせることで最大で 8 層の DOI 検出が可能となっている [29, 30]。

DOI 型 PET は感度と分解能の両立を目指す上で最良の方法であると言えるが、使用するシンチレータ結晶の数が非常に多くなってしまうことが難点である。結晶の数が多いと同時計数を取らなければならない結晶のペア数も膨大となり、信号処理回路に更なる高速性が求められる事に加え、検出器自体の構造も複雑にならざるを得ない。またシンチレータ・ユニットの組み上げにも特殊な工程を要する場合があるため、より効率的な製造手法や画像解析システムの開発も平行して進められている。

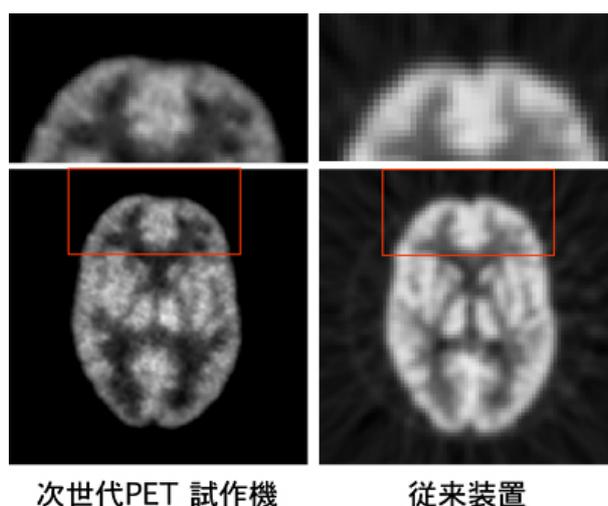


図 2.14: 脳を精巧に模擬した模型 (脳ファントム) を用いた実験結果 [29]。従来 PET(右) に比べて DOI 型 PET(左) は視野周辺部での解像度が格段に向上している。

TOF 型 PET

PET の撮像時間を短縮してスループットを向上させるためには、診断の妨げとなる画像上のノイズを抑制するというアプローチも考えられる。近年、再構成画像の画質の向上を目的として、対消滅ガンマ線が検出器に到達するまでの飛行時間 (TOF : Time-Of-Flight) 情報を利用するための研究が活発に行われている [31]。

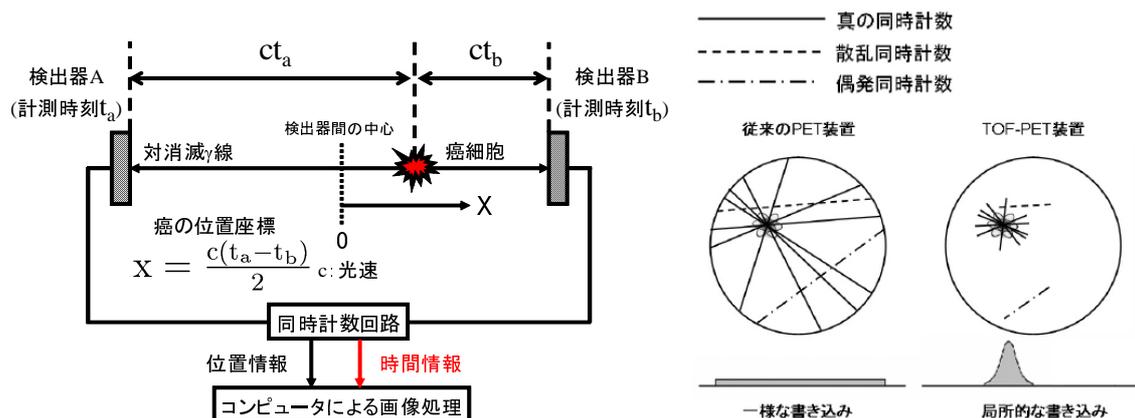


図 2.15: TOF-PET の原理 [32]

(左) 対消滅ガンマ線は近い方の検出器に先に到達し、その後僅かに遅れて遠い方の検出器に到達する。従って両検出器間の計測時刻の差からそれらを結ぶ線上における線源の位置座標 x を求めることができる。

(右) 従来の PET 装置と TOF-PET 装置における位置情報の書き込み方の違い。局所的な位置情報が得られることにより真の同時計数とノイズ成分を明確に分離することができる。

従来の PET 装置では、複数の放射線検出器を用いて一对の消滅放射線がある時間の枠内で同時に計測し、検出器間の線上に等しい確率で線源の存在を仮定している。これに対して TOF 型 PET では、図 2.15 のように相対する検出器の計測時刻の差から線源の位置を求め、それらを結ぶ線上に沿って検出器の時間分解能に相当するガウス関数でぼかした分布を位置情報として用いている。その結果ノイズの寄与を軽減することができ、図 2.16 のように画像再構成後の画質を大幅に向上させることが可能である [32]。TOF 情報を利用するというアイデアは PET 研究の当初から提案されており、1980 年代には幾つかの研究グループにより CsI(Tl) や BaF₂ 等のシンチレータを用いて TOF 型 PET 装置の開発が行われたが、当時は十分な発光量と高速な時間特性を両立するシンチレータが存在せず十分な性能は得られなかった。

しかし最近になって珪酸ルテチウム (LSO : Lu_2SiO_5) や LSO にイットリウムを添加した LYSO、臭化ランタン (LaBr_3) 等の発光量が大きく、時間特性の良い Ce 添加シンチレータが開発され、2006 年には実際にフィリップス社より LYSO シンチレータを用いて 650 ps の時間分解能を持つ TOF-PET 装置が実用化された [33]。

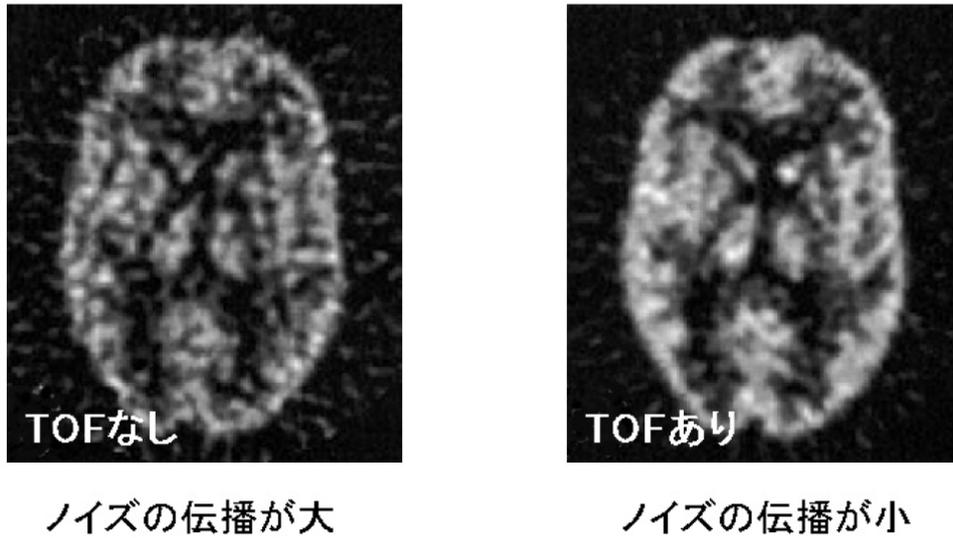


図 2.16: 脳ファントム像を TOF 情報を用いずに画像再構成した場合 (左) と 400 ps の時間分解能の TOF 情報を用いて画像再構成した場合 (右) の、それぞれのシミュレーション結果の比較。TOF 情報を用いることでノイズの伝播の小さな画像を得ることができ、検査時間の短縮に繋がる。

第3章 アバランシェ・フォトダイオードを用いた撮像検出器

3.1 半導体検出器

3.1.1 半導体検出器の原理

結晶性の物質中における電子のエネルギー準位は束縛状態にある価電子帯と自由に動き回ることのできる伝導帯の2層の構造を持ち、2つの準位間には電子の存在することが出来ない禁制帯と呼ばれるエネルギーギャップが存在する(図3.1)。ただし金属の場合には価電子帯と伝導帯が連続しており、電子は結晶中を自由に動き回ることができる。

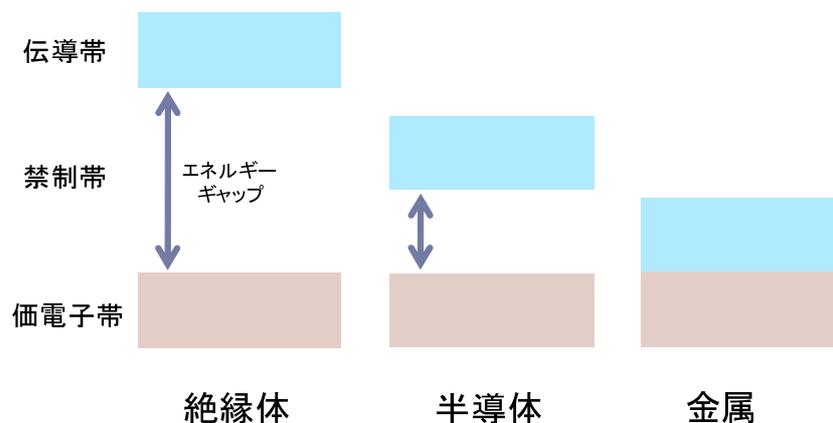


図 3.1: 絶縁体・半導体・金属のバンド構造の略図

絶縁体や半導体の結晶中では励起が無い場合、電子はエネルギー準位の低い価電子帯を満たしており、エネルギー準位の高い伝導帯には存在しない。しかし価電子帯の電子が光や熱、放射線などによってギャップ以上のエネルギーを受け取ると、禁制帯を飛び越えて伝導帯に励起される結果、結晶中を自由に動き回ることができるようになり電流が生ずる。電子が伝導帯に励起されると、価電子帯で電子がそれまで存在していた場所は正孔(ホール)と呼ばれる空席となり、その場所へ電子が移動することであたかも正電荷のような振る舞いをする。

絶縁体ではこのエネルギーギャップが大きいいためバンド間の遷移は起こりにくいですが、半導体の場合にはギャップが数 eV 程度と小さいため、僅かな入射エネルギーによって電子が励起され得る。代表的な例としてはゲルマニウム (0.7 eV)、シリコン (1.1 eV)、ガリウムヒ素 (1.35 eV)、テルル化カドミウム (1.5 eV) 等が挙げられる [34]。

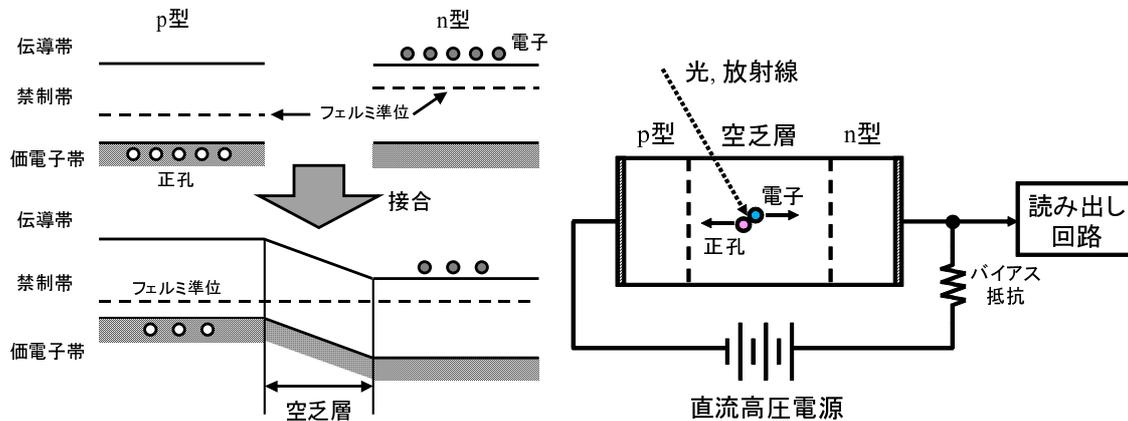


図 3.2: p-n 型半導体のバンド構造 (左) 半導体検出器の構造 (右)

半導体の中で不純物をほとんど含まないものは真性半導体と呼ばれる。それに対して、真性半導体にアクセプタと呼ばれるホウ素、アルミニウム、ガリウムなどの価電子が一つ少ない元素を添加したものは p 型半導体、ドナーと呼ばれるリン、ヒ素などの価電子が一つ多い元素を添加したものは n 型半導体と呼ばれ、区別される。これらの半導体中では添加された不純物が結晶中に取り込まれ、禁制帯の中に新たなエネルギー準位が生み出される結果、p 型では正孔が、n 型では電子が余分な電荷キャリアとなる。この 2 種類の半導体を接合すると、n 型から p 型へ電子が、p 型から n 型へ正孔が拡散し、接合部分で両者が打ち消し合ってキャリアの無い空乏層と呼ばれる領域が生まれる。この電子の拡散は電子の移動によって生じる内部電場と拡散力が釣り合うところで平衡状態に達する。

空乏層に光や放射線が入射すると、光電効果などの電離作用によって入射線が層内に落としたエネルギーに比例した数の電子正孔対が生成され、内部の電場によって対向方向にそれぞれ移動を開始する。しかしこの時点での空乏層はまだ薄くエネルギーの高い放射線を検出するには不十分である上、電場勾配が小さいのでキャリアの回収率も悪い。そこで半導体検出器においては pn 接合に対して逆バイアス電圧を印加する事により空乏層を広げ、同時に半導体内部に高い電場勾配を発生させるという方法を取る。この操作によって半導体内部の広い領域で生成される電子正孔対を回収できるようになり、時間応答特性も大幅に高速化される。

3.1.2 半導体検出器の特徴

現在広く利用されている光検出器の代表例としては、光電子増倍管 (PMT) が挙げられる。PMT は光電面における光電効果で生じた光電子を 1000 V 前後の高い印加電圧によって段階的に加速、増倍する仕組みになっており、 10^6 倍にも及ぶ非常に高い電荷増幅率が特徴である。しかしながら、光電面から叩き出された光電子を物質表面の位置エネルギー障壁から解放し、増幅段まで導く必要があるために光電面を厚くすることができない等といった構造上の制限があり、3.1 式で定義される量子効率 (Quantum Efficiency) は 20 ~ 30 %程度となってしまう [35]。

$$\text{量子効率 : Q.E.} = \frac{\text{発生する光電子の数}}{\text{入射した光子の数}} \quad (3.1)$$

これに対し、半導体検出器の場合は構造が単純なため PMT に比べて量子効率が高く、素子表面での反射やキャリアの再結合、不感層での光吸収などを考慮しても広い可視波長域に渡って 80 %以上の量子効率を確保できる点が最大の特徴である。量子効率が高いと光が入射した時に生成される一次キャリア数が多くなるため、生成キャリアの統計的な揺らぎを小さく抑えることができ結果として非常に優れたエネルギー分解能が得られる。また半導体検出器は、実際に生成される電子正孔対の数のばらつきがポアソン分布から統計的に予想されるばらつきよりも小さくなるという特徴がある。このばらつき方の違いを表す因子はファノ因子と呼ばれ、3.2 式のように表される。シリコン検出器の場合、この値は 0.12 程度となることが実験的に求められている [36]。

$$\text{ファノ因子 : } F = \frac{\text{ばらつきの観測値}}{\text{統計的な揺らぎの予測値}} \quad (3.2)$$

ファノ因子の物理的な解釈として、統計的な揺らぎでは全ての電子正孔対が独立に生成されるものとして扱われているが、実際の現象では各々の電離過程が相互に影響を及ぼし合っているために生じるものであると考えられている。このことも半導体検出器が他の検出器よりも優れたエネルギー分解能を示す大きな要因の一つとなっている。

$$\text{エネルギー分解能 : FWHM} = 2.355(F\epsilon E)^{1/2} \quad (3.3)$$

結局、エネルギー分解能は 3.3 式のように表される [12]。ここで F はファノ因子、 ϵ は平均電離エネルギー、 E は入射線のエネルギーを意味しており、理想的なシリコン検出器の場合には例えば 5.9 keV の入射 X 線に対して 120 eV 程度となるが、実際には後述するように暗電流や回路雑音など様々な影響を受けてエネルギー分解能は悪化する。

3.2 アバランシェ・フォトダイオード (APD)

3.2.1 APD の原理

アバランシェ・フォトダイオード (APD) とは、半導体の内部に高い電場勾配を持たせることで電荷の内部増幅機能を備えた半導体検出器であり、高いキャリア増幅率を持つ光電子増倍管と、高い量子効率を持つフォトダイオードの両方の長所を併せ持っている (表 3.1)。光や放射線によって生成された電子正孔対は APD 内部の電場によって加速され、電極に到達するまでの間に多数のキャリアを伝導帯に叩き上げて信号をなだれ増幅させる。信号を検出器内部で増幅させれば回路内で発生する雑音を相対的に小さく抑えることができるため、通常のフォトダイオードよりも遙かに優れた S/N 比 (雑音に対する信号の比率) が得られる。

表 3.1: シンチレーション検出器の性能比較

	光電子増倍管 (PMT)	フォトダイオード	APD
量子効率	≤ 25 %	≥ 80 %	≥ 80 %
増幅機能	(~10 ⁶ 倍)	× (なし)	(~100 倍)
印加電圧	~1000 V	≤ 数 10 V	~300 V
容積	× (大)	(小)	(小)
磁場の影響	× (大)	(小)	(小)
構造	× (複雑)	(単純)	(単純)
消費電力	× (大)	(小)	(小)

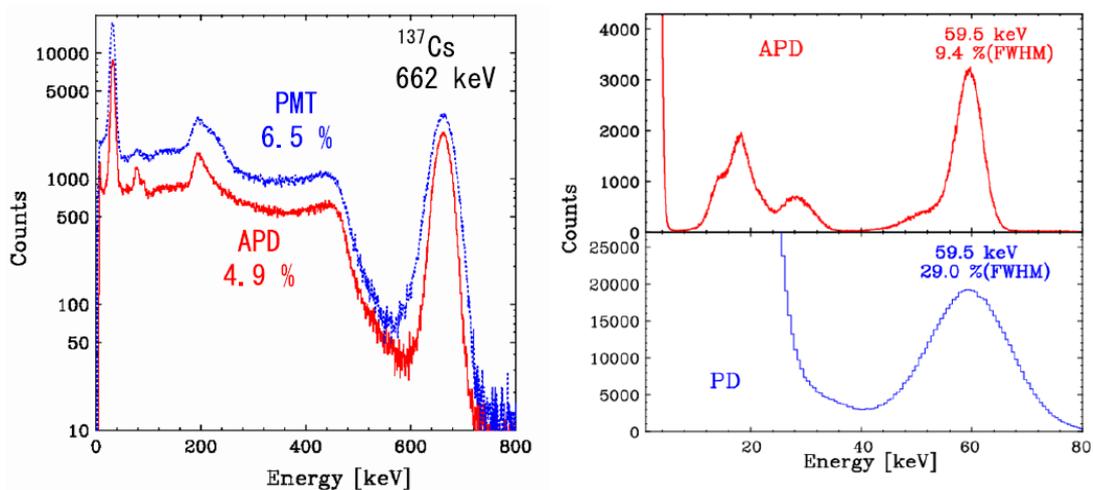


図 3.3: PMT とシンチレータによるガンマ線スペクトル、フォトダイオードによる X 線スペクトルと、APD の比較 [37, 38]。APD はエネルギー分解能と信号対雑音比に優れる。

3.2.2 増幅過程と増幅率

APD 素子内部におけるキャリアの増幅は衝突電離過程によって引き起こされる。1 個の電子が単位長さあたりに電離するイオンの数を α 、1 個の正孔が電離するイオンの数を β とすると、距離 dx の間に電子と正孔が衝突して電離されるイオンの数はそれぞれ αdx 、 βdx と表される。ここで α 、 β は電離係数と呼ばれ電場強度と温度に依存する量であり、シリコンの場合には図 3.4 に表されるように $\alpha \gg \beta$ となる。

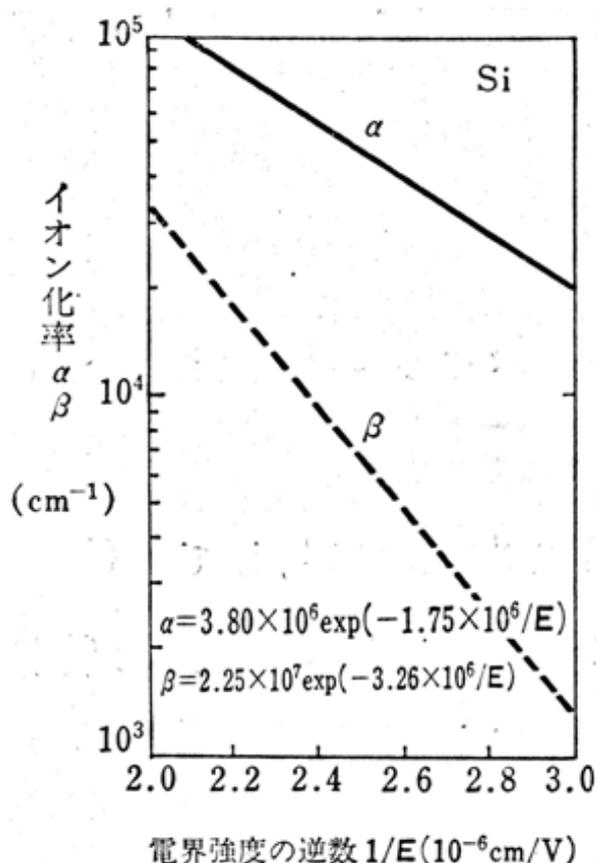


図 3.4: 電子の電離係数 α と正孔の電離係数 β の電場強度依存性 [39]

APD の基本的な構造は図 3.5 のように表される。電子が生成された位置を $x = 0$ とすると、素子の最終的な増幅率 $M(x)$ は電子に対する正孔の電離数の割合を表す

$$k_0 = \frac{\int_0^w \beta dx}{\int_0^w \alpha dx} \quad (3.4)$$

及び電場分布による重みをつけて電離係数の比をとった

$$k_1 = \frac{\int_0^w \beta M(x) dx}{\int_0^w \alpha M(x) dx} \quad (3.5)$$

を用いて次のように表される [40]。

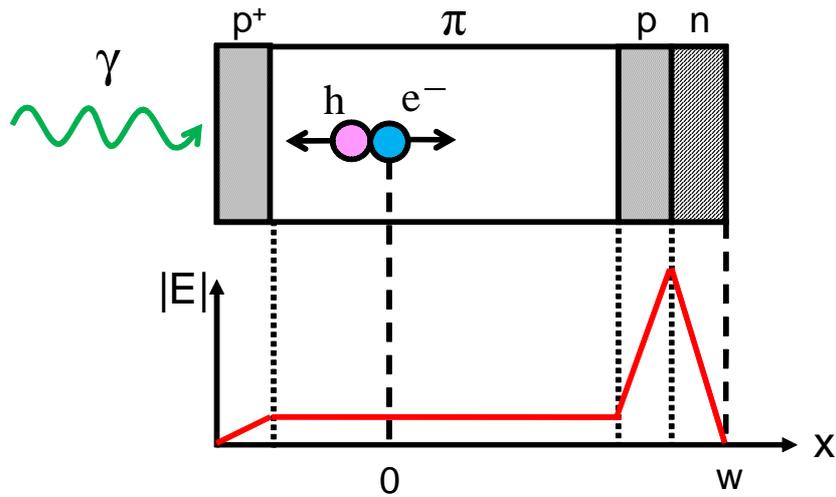


図 3.5: APD の基本構造。入射光は空乏層領域 (π 層) で吸収されて電子正孔対が生成される。その後電子は陽極となる n 側に向けて移動し、高電場領域で加速されてなだれ増幅が起こる。

$$M(x) = \frac{1 - k_1}{e^{-\delta(1-k_0)} - k_1} \quad (3.6)$$

ここで

$$\delta = \int_0^w \alpha dx \quad (3.7)$$

は生成された電子が増幅領域をドリフトする間に他の電子を叩き出す電離衝突の平均回数を表している。印加電圧を上げて電場強度を強くすると電子と正孔の電離係数は大きくなり、増幅率は大きくなる。正孔の電離係数 β が 0 であれば電子の増幅率がそのまま素子の増幅率となるので、電子の最終的な増幅率 M_e は

$$M = M_e = e^{\int_0^w \alpha dx} \quad (3.8)$$

となるが、実際には正孔の増幅率 M_h も考慮して

$$M_h = 1 + (M_e - 1)k_1 \quad (3.9)$$

という関係で表される。シリコンの場合正孔の電離係数は電子に比べて非常に小さく、簡単のため $k_1 \approx \beta/\alpha$ と近似すると $k_1 \sim 0.001 - 0.01$ 程度であるため、信号の増幅は殆ど電子が担っていると言える。

3.2.3 過剰雑音係数

内部増幅機能を有する検出器の出力信号は入力される信号に対して増幅による揺らぎを伴い、理想的なポアソン統計から予想されるばらつきよりも大きな揺らぎが生じる。その度合いは過剰雑音係数 (excess noise factor)

$$F = \frac{\langle M^2 \rangle}{\langle M \rangle^2} \quad (3.10)$$

によって定義されている。APD の場合電荷は電子、正孔ともに増幅されるため、電子及び正孔の過剰雑音係数 F_e 、 F_h は新たに導入する電離係数の実効的な比

$$k_2 = \frac{\int_0^w \beta M^2 dx}{\int_0^w \alpha M^2 dx} \quad (3.11)$$

を用いて次のように表される [41]。

$$F_e = k_{eff} M + (2 - 1/M_e)(1 - k_{eff}) \quad (3.12)$$

$$F_h = k_{eff'} M + (2 - 1/M_h)(1 - k_{eff'}) \quad (3.13)$$

ここで

$$k_{eff} = \frac{k_2 - k_1^2}{1 - k_2} \approx k_2 \quad (3.14)$$

$$k_{eff'} = \frac{k_{eff}}{k_1^2} \approx \frac{k_2}{k_1^2} \quad (3.15)$$

と近似できるので、 k_2 が小さいほど過剰雑音係数 F の値は小さくなる。シリコンの場合には電子に対する正孔の電離係数が非常に小さいため、現在市販されている APD にはシリコン半導体が多く用いられている。PMT の場合には典型的に $F \simeq 1.2$ 程度の値をとるが、APD の場合には温度や印加電圧によって大きく変動し、特にゲインが $M=10 \sim 100$ 倍の領域では $F(M) \simeq M^x$ で近似されるように指数関数的に増大する。例えば室温 (+20 °C) にてゲイン 50 倍で用いた場合には $F \simeq 2.3$ 程度の値となる [42]。

3.2.4 APD の読み出しと雑音

APD の雑音を決定する要素は、主に検出器の暗電流や容量、前置増幅器の雑音特性などである。そのうち暗電流は熱などの要因で定常的に発生するものであり、素子内部に発生するバルク暗電流と素子表面に発生する表面暗電流とに分けられる。バルク暗電流は正規の信号と同様に電場による加速を受けて内部増幅されてしまうが、暗電流のうち大部分を占める表面暗電流は増幅を受けないため、APD は増幅機能を持たないフォトダイオードに比べて S/N 比が向上する。以下では等価回路を用いて検出器からの信号の読み出しに伴う雑音について述べる。

まず検出器の雑音を構成する主な要素は以下のように分類される。

熱雑音

抵抗体の中をキャリアが運動する際に、抵抗体中のフォノン (格子振動) による散乱を受ける事により生ずるものであり、ジョンソン雑音とも呼ばれる。雑音電力はボルツマン定数 k 、温度 T 、抵抗体の抵抗値 R を用いて式 3.16 のように表すことができる。

$$V_{thermal}^2 = 4kTR \quad [V^2/Hz] \quad (3.16)$$

ただし抵抗体と並列に挿入された容量成分 C_p が無視できない場合には雑音の角振動数を $\omega = 2\pi f$ とすると

$$V_{thermal}^2 = \frac{4kTR}{1 + \omega^2 C_p^2 R^2} \simeq \frac{4kT}{\omega^2 C_p^2 R} \quad [V^2/Hz] \quad (3.17)$$

と表され抵抗体の抵抗値の逆数に比例する。

ショット雑音

検出器の漏れ電流等に付随して生ずるものであり、pn 接合接合面を横切るキャリアの数がポアソン統計に従う揺らぎを伴うことに起因している。ショット雑音は漏れ電流を生じている抵抗体に直列な電圧源として表すことができ、雑音電力は素電荷 e 、漏れ電流の平均値 I_L を用いて式 3.18 のように表すことができる。

$$V_{shot}^2 = 2eI_L R^2 \quad [V^2/Hz] \quad (3.18)$$

ただし抵抗体と並列な容量成分 C_p が無視できない場合には、

$$V_{shot}^2 = \frac{2eI_L R^2}{1 + \omega^2 C_p^2 R^2} \simeq \frac{2eI_L}{\omega^2 C_p^2} \quad [V^2/Hz] \quad (3.19)$$

と表され抵抗体の抵抗値に依存しない。

フリッカ雑音

周波数の逆数に比例するため、別名 $1/f$ 雑音とも呼ばれる。その原理は完全には解明されていないが、半導体の場合には結晶中の不純物や格子欠陥によりキャリアが捕獲されてしまい、個々のキャリアの寿命に揺らぎが生じることに起因すると考えられている。その雑音電力は比例定数 K_f を用いて式 3.20 のように表すことができる。

$$V_{fricker}^2 = \frac{K_f}{f} \quad [V^2/Hz] \quad (3.20)$$

半導体検出器を用いた放射線計測は、一般に図 3.6 のようなセットアップで行われる。ここで HV (High Voltage) は検出器を完全空乏層化させるに十分な電圧を供給する高圧電源、 R_b は検出器に過大な電流が流れないように電流を制限するバイアス抵抗、 C_p は電子を逃がすバイパスコンデンサ、CSA (Charge Sensitive Amplifier) は検出器から入力される電荷を積分して電圧に変換する前置増幅器、SHAPER は信号対雑音比を向上させるために信号の帯域を制限する整形回路、ADC (Analog to Digital Converter) は入力信号の波高をデジタル化 (A/D 変換) して記録するための回路をそれぞれ表している。

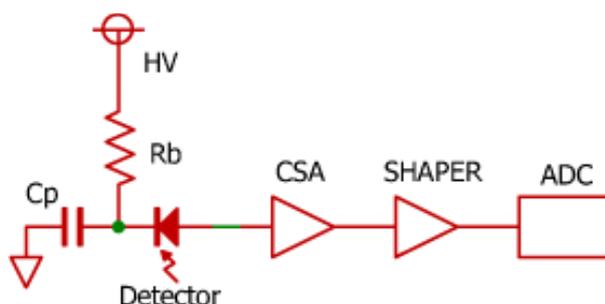


図 3.6: 放射線計測における一般的なセットアップの概略図

信号の読み出しに伴う雑音について理解するために、図 3.7 のように等価回路を構成する。それぞれの要素は、 I_s : 正規の信号電流、 C_{in} : 等価入力容量、 R_p : 等価並列抵抗、 I_n : バルク暗電流と表面暗電流を合わせた全暗電流、 R_s : 等価直列抵抗、 V_f : フリッカ等価雑音源を表している。また APD に関しては、 M : APD の増幅率、 I_{nb} : 増幅を伴うバルク暗電流、 I_{ns} : 増幅を伴わない表面暗電流をそれぞれ表している。

等価入力容量 C_{in} は、検出器の容量、配線や基板の浮遊容量、前置増幅器の入力トランジスタの入力容量を合計したものである。並列抵抗 R_p は検出器の抵抗成分と前置増幅器の帰還抵抗、バイアス抵抗などの成分を総合したものであり、直列抵抗 R_s は前置増幅器の入力トランジスタの相互コンダクタンスに依存する抵抗成分である。

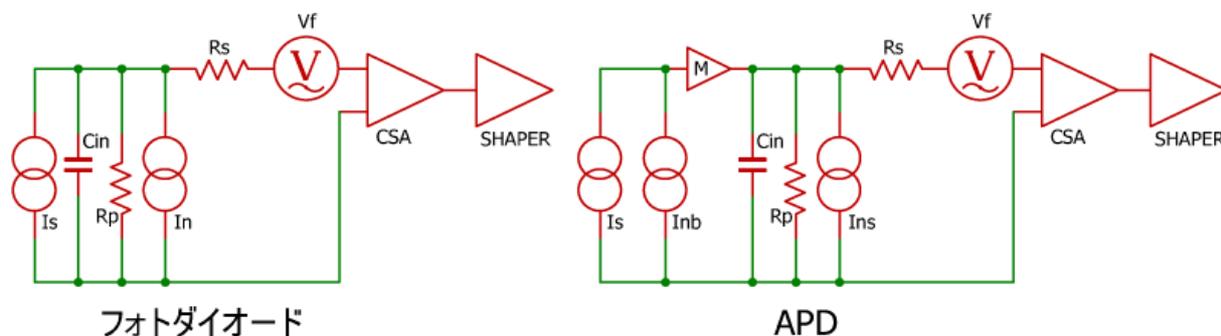


図 3.7: 検出器の雑音等価回路 (左) 通常の写真ダイオードの場合 (右) APD の場合

まず内部増幅機能を持たない通常のフォトダイオードの場合について考える。正規の信号成分 I_s が 0 のとき、CSA に入力される雑音電圧の二乗平均平方根 (RMS : Root Mean Square) は R_p 、 R_s による熱雑音、 I_n によるショット雑音、フリッカ雑音の和を周波数幅 Δf で積分した値となり、式 3.21 のように表される。

$$\overline{V_{PD,CSA}^2} = \left(\frac{4kT}{\omega^2 C_{in}^2 R_p} + 4kTR_s + \frac{2eI_n}{\omega^2 C_{in}^2} + \frac{K_f}{f} \right) \Delta f \quad (3.21)$$

雑音は CSA の後段の整形回路 (SHAPER) により時定数 τ_s で整形されるため、簡単のため $\omega/2\pi = f \sim \Delta f \sim 1/\tau_s$ とすると、最終的な整形回路の出力は

$$\overline{V_{PD,SH}^2} = \frac{1}{C_{in}^2} \left[\frac{\tau_s}{2\pi^2} \left(\frac{2kT}{R_p} + eI_n \right) + \frac{4kTR_s C_{in}^2}{\tau_s} + K_f C_{in}^2 \right] \quad (3.22)$$

となる。厳密には整形回路の伝達関数による係数を伴うがここでは省略する。

一方 APD の場合には素子内で発生するバルク暗電流が M 倍に増幅されるため、 I_n を表面暗電流 I_{ns} とバルク暗電流 I_{nb} を合わせたものに置き換えれば

$$\overline{V_{APD,SH}^2} = \frac{1}{C_{in}^2} \left[\frac{\tau_s}{2\pi^2} \left\{ \frac{2kT}{R_p} + e(I_{ns} + I_{nb}FM^2) \right\} + \frac{4kTR_s C_{in}^2}{\tau_s} + K_f C_{in}^2 \right] \quad (3.23)$$

となる。ただし F 、 M はそれぞれ APD の過剰雑音係数と増幅率の平均値である。

光や放射線を検出した際に生成される信号は電荷であることから、一般に雑音レベルの評価には雑音を入力信号の電子数に換算した等価雑音電子数 (ENC : Equivalent Noise Charge) が用いられる。ENC を求めるには式 3.22、3.23 に入力容量の 2 乗をかければ良いが、APD の場合には正規の信号が M 倍に内部増幅される事を考慮する必要がある。従ってフォトダイオード、APD の場合のそれぞれの ENC は次のように表される。

$$\overline{ENC_{PD,SH}^2} = \frac{\tau_s}{2\pi^2} \left(\frac{2kT}{R_p} + eI_n \right) + \frac{4kTR_s C_{in}^2}{\tau_s} + K_f C_{in}^2 \quad (3.24)$$

$$\overline{ENC_{APD,SH}^2} = \frac{1}{M^2} \left[\frac{\tau_s}{2\pi^2} \left\{ \frac{2kT}{R_p} + e(I_{ns} + I_{nb}FM^2) \right\} + \frac{4kTR_s C_{in}^2}{\tau_s} + K_f C_{in}^2 \right] \quad (3.25)$$

以上各項目について整理すると、表 3.2 のようになる。ショット雑音は検出器暗電流に依存するため電流性雑音、熱雑音とフリッカ雑音は検出器容量に依存するため容量性雑音と呼ばれる。フォトダイオードの場合に比べて APD の場合は $1/M^2$ の係数がかかっており S/N 比が改善されることになるが、増幅率が高くなると過剰雑音係数 F の値が指数関数的に増大することによりバルク暗電流の影響が相対的に大きくなる。ENC の値は整形時定数 τ_s にも依存し、雑音成分の割合によって適切な整形時定数が決定される。

表 3.2: フォトダイオードと APD の雑音の比較

	フォトダイオード	APD
ショット雑音	$\frac{\tau_s e I_n}{2\pi^2}$	$\frac{1}{M^2} \frac{\tau_s e (I_{ns} + I_{nb} F M^2)}{2\pi^2}$
熱雑音	$kT \left(\frac{\tau_s}{\pi^2 R_p} + \frac{4R_s C_{in}^2}{\tau_s} \right)$	$\frac{1}{M^2} kT \left(\frac{\tau_s}{\pi^2 R_p} + \frac{4R_s C_{in}^2}{\tau_s} \right)$
フリッカ雑音	$K_f C_{in}^2$	$\frac{1}{M^2} K_f C_{in}^2$

3.2.5 APD の種類

APD にはその内部構造の違いからいくつかの種類が存在する。代表的なものとしては斜めエッジ型、リーチスルー型、リバーズ型の3種類が挙げられ、主に増幅領域と空乏層の位置及び大きさによって特徴付けることができる。

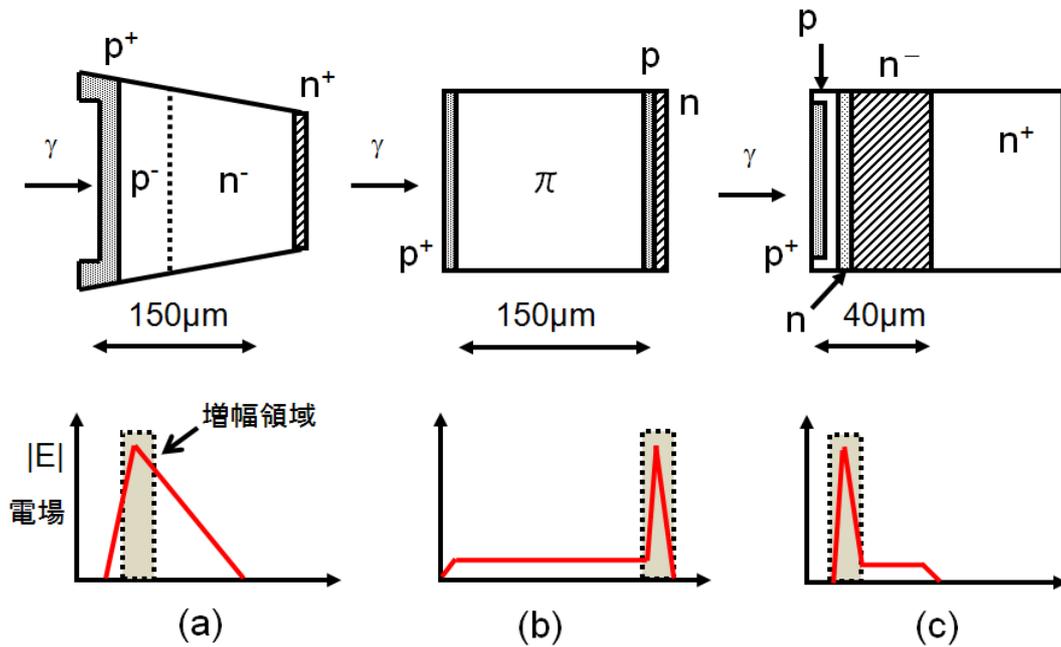


図 3.8: APD の種類 (a) 斜めエッジ型 (b) リーチスルー型 (c) リバーズ型

斜めエッジ型

斜めエッジ型 APD (図 3.8 左) は、n 型半導体の結晶の片面に 3 価の不純物 (アクセプタ) を高濃度で添加して p^+ 領域を生成した p^+n 型半導体で構成される。 p^+ 型領域と n 型領域の接合部には空乏層が形成され、高電圧 (~ 2000 V) を印加することにより高い電場勾配が生じてなだれ増幅が起こる。印加電圧が非常に高いため、比抵抗の大きな半導体を用いる、半導体の縁を斜めに加工するなどの工夫により接合表面での電圧降伏を防ぐ仕組みになっている。 p^+ 側が受光面であり、光子の大部分は p^+ 層で光電変換される。 p^+ 層の表面には比抵抗が小さく電場が弱いため電荷収集率の低い不感層が存在しており、表面を削ってこの不感層を薄くする必要がある。また、空乏層の厚みは約 $150 \mu\text{m}$ と X 線を直接検出するのに十分であるが、増幅領域が広いために X 線がどこで反応したかによって増幅率にばらつきが生じてしまい、その結果増幅領域中に入射したイベントは十分な増幅をされずスペクトルが低エネルギー側に裾を引くという現象も見られる [43]。

この斜めエッジ型 APD は最も初期に開発された APD であり、これまでに数多くの評価研究が行われてきた。特にシンチレータと組み合わせることで PMT と同程度かそれ以上のエネルギー分解能を得られることが分かっている [44]。しかし広い増幅領域で熱励起による電子も増幅されてしまうため、雑音レベルが高い。また完全空乏層化のために 2000 V もの高電圧を要することも欠点と言える。

リーチスルー型

リーチスルー型 APD (図 3.8 中央) は高い電場勾配を持つ狭い増幅領域 ($25 \sim 30$ V/ μm) とその手前にある広いドリフト領域が特徴である。中央に大きな高純度半導体があり、受光面側に p^+ 型、その反対側に p 型、n 型半導体が並んでいる。高純度領域の比抵抗は pn 接合部ほど大きくはなく、なだれ増幅を起こすほどの高電場にはならない (~ 2 V/ μm)。そのため、この部分は光や放射線で生じた電荷を高速で移動させるドリフト領域となり、ドリフト領域の後方にある狭い pn 接合部で完全に増幅される [41]。広いドリフト領域によって半導体内部で発生した電子正孔対を完全増幅させるため、X 線を直接入射させた場合でも高い検出効率を得られ、裾の無い綺麗なエネルギースペクトルを得ることができる。しかし、内部で発生する熱励起電子も信号と共に完全増幅されてしまうため後述するリバーズ型に比べてバルク暗電流が大きく、シンチレーション検出器としてはあまり適さない。また製造過程において各素子の歩留まりを高水準で確保することが難しいという点も今後の課題として残されている。

以上のような特徴を生かしてリーチスルー型は主に X 線の直接検出器として用いられており、5.9 keV の X 線に対してエネルギー分解能 6.5 %、閾値 0.5 keV という優れた性能を達成している [42]。また、軟 X 線をリーチスルー型 APD で直接検出し、硬 X 線、ガンマ線に関してはシンチレータを介してシンチレーション光を検出するという構成により、数 keV ~ 数百 keV までの広いエネルギー範囲に対応した広帯域分光器としても十分な性能を示すことが分かっている [45]。

リーチスルー型 APD の構造がもたらすもう一つの特長として、完全空乏層化に必要な印加電圧が低いことが挙げられる。浜松ホトニクス製の APD SPL2407 では、500 V 程度の印加電圧で空乏層を約 150 μm 程度の厚さまで完全に広げることができる。また時間応答も速く、 10^6 counts/s 以上の高計数率にも耐えられることが確認されている [46]。

リバーstype

リバーstype APD (図 3.8 右) はリーチスルー型 APD の増幅領域を受光面側に移動させることによりシンチレーション光の検出用に特化した構造となっており、表面から 5 μm 程度の深さに狭い増幅領域が存在する。一般的なシンチレータの出力波長は 550 nm よりも短く、シンチレーション光は受光面から 1 ~ 3 μm の領域で電子正孔対に変換されるため、シンチレータから発せられたほぼ全ての光が増幅領域の手前で電子に変換されて完全に増幅される。このように増幅領域を受光面側に配置することで暗電流の主成分である熱電子の増幅を抑えることができるため、リバーstype APD の雑音レベルは低く過剰雑音係数も小さいという特長がある。リーチスルー型に比べると、製造が容易であり安定した量産が可能である。空乏層の厚みは 40 μm 程度と薄く、300 V 程度の低い電圧で十分な増幅率が得られる。空乏層が薄いと検出器容量が大きくなり雑音の増加が問題となるが、増幅領域の後方に n 型半導体を直列に挿入して容量を小さくすることで対応している。

APD を PET 用の検出器として用いる場合、511 keV のガンマ線を高い効率で吸収できるような密度の高いシンチレータと組み合わせる必要があるため、我々はシンチレーション光の検出に最も適したリバーstype の APD を用いることにした。

3.3 PET への応用

以上に述べたとおり、APD は既存の PMT やフォトダイオードと比較してシンチレーション検出器としての多くの優れた特性を持っている。従って、APD を 2 次元アレー化してガンマ線撮像検出器として用いることで PET 装置の飛躍的な性能向上が期待できる。

1. 高解像度化

PET 装置の解像度を定める要因となる空間分解能は、式 2.1 で表されるとおりピクセルサイズと集光方式により制限を受ける。従来装置に用いられてきた PMT の場合、チャンネル間の特性を揃えにくい等といった構造上の制限があり、多チャンネル化が困難であった。また限られた本数の PMT でピクセル数を稼がなければならない必要性から、1 つのピクセルの発光を複数の PMT で分割して読み出して重心演算を行う光分配方式を採用せざるを得ない状況にあった。

その点 APD は半導体プロセスを用いて 1 枚のシリコンウェハから製造されるため多素子化しても暗電流や増幅率についてほぼ均一な特性が得られており、ピクセルサイズを数 mm 以下にまで小型化することが可能である。さらに、APD のピクセルとシンチレータを 1 対 1 で結合することで解像度悪化の要因となる光分配方式を用いずに済むため、PET 画像の空間分解能を大幅に向上させることができる。

2. MRI との同時撮像

PMT の場合、強磁場中では電子の軌道が大きく曲げられるため特性が大幅に悪化してしまうが、APD の場合には素子が薄くキャリアの移動距離が短いため殆ど影響を受けず、少なくとも 4 テスラまでの磁場に対して不感である事が実証されている [6]。従って空間分解能の良い MRI と、機能情報が得られる PET の撮像を同時に行うことで、より精度の高い診断を行う MRI/PET 装置の実用化が期待される。

3. 低価格化

PMT よりも量産化が容易で 1 素子あたりの低価格化が期待できるため、PET 装置の低価格化に繋がる。

4. 飛行時間情報の活用

素子内部の強電場により増幅を引き起こしているため電荷の収集時間が数 ns 以内と高速であり、収集時間のばらつきも 100 ~ 200 ps 程度と小さい [46, 47]。この優れた時間分解能を活かして飛行時間情報を利用する TOF 型 PET にも対応できる。

5. 画質・定量性の向上

APD はエネルギー分解能に優れるため、癌細胞から放出された 511 keV の放射線の光電ピークと、その他の散乱フラクシオン¹ を区別し易くなる結果、PET 画像の画質と定量性の向上に効果が期待できる。

6. 小型軽量化

APD は構造が単純なためコンパクトかつ頑丈であり、消費電力も低いいため装置全体の小型化・軽量化に適している。その際装置を独立した小型ユニットの連結により構成することで、全身用・頭部用・小動物用など用途に応じた柔軟な構成が可能になる。また、もし車の荷台に PET 装置を積み込める程度まで小型化することができれば、病院が必要とする一定期間のみ装置をレンタルしたり、高度な医療機器の不足している地方に赴いて診断を行う等といった新たな用途が開けてくる。CT や MRI に関しては既に同様の試みがなされている [17]。

ここで挙げたような PET 装置における APD の優位性に着目し、既にいくつかの研究チームが我々に先駆けて、APD アレーを用いた PET 用撮像検出器の開発に着手している [48, 49]。

¹ 入射ガンマ線がシンチレータ結晶内で 1 回ないし数回コンプトン散乱された後に本来のピクセルとは別のピクセルで吸収されるイベント。エネルギー分解能が悪い場合には真のイベントと区別が付かず誤って同時計数されてしまうため、雑音となり画質の低下を招く。有効原子番号の大きなシンチレータを使用し、光電吸収の確率を上げる等といった対策も有効である。

第4章 拡張型モバイルPETの要素開発

4.1 構想

既に述べたとおり PET は癌を早期に発見する上で非常に有力な手段であるが、現状では数々の問題を抱えている。とりわけ高い検査装置コストは PET の広い普及を妨げており、早急な解決が期待されている。そこで本研究室では、従来 PET の特長を損なうことなくそれらの問題を解決する方法として、アレー化したアバランシェ・フォトダイオード (以下 APD) を利用した「拡張型モバイル PET」を提案する。

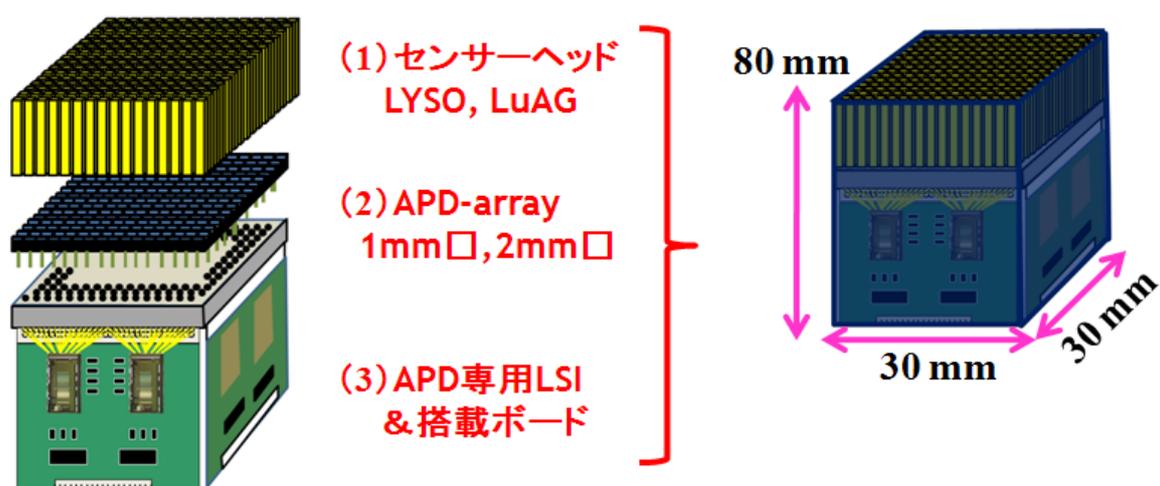


図 4.1: 拡張型モバイルPETの要素となる複合型ユニット

我々の提案する拡張型モバイルPETの最大の特長は、その広い汎用性にある。従来のPET装置は第2章で述べた通り装置としての形状が固定化されており、小動物用なら小動物用、全身用なら全身用といった具合に用途が装置固有のものに限定されていた。これは式 2.1 で表されるようにPETの空間分解能が検出器リングの直径に直接依存することに起因しており、理想的には対象の測定に最小限必要な大きさの検出器リングが存在することが望ましい。

それに対して拡張型モバイルPETは図 4.1 に示すとおり、対消滅ガンマ線を検出して光に変換するシンチレータ、シンチレーション光を電気信号に変換する APD アレー、さ

らに信号処理を行う専用 LSI 搭載の読み出し回路の 3 点を一体化させた $3 \times 3 \times 8$ cm 程度の複合型センサユニットで構成されており、これらのユニットを用途に応じた直径のリング状に連結させることで様々な大きさの被検体に対して最適な感度と空間分解能で測定を行うことが可能となる (図 4.2)。これは従来の PET 装置に使用されていた PMT に比べて非常にコンパクトな APD ならではのアイデアである。また APD は PMT よりも素子の小型化・多画素化が可能であり、従来 PMT のピクセルサイズで制限されていた空間分解能を上回る性能が期待される。さらに、APD はシリコンプロセスを用いて製造されるため大量生産に適しており、実際の PET 装置に適用されることになれば装置の大幅な低価格化が可能であると考えられる。



図 4.2: 拡張型 PET の概念 (左) 従来の PET 装置 [50] (右) 拡張型 PET [51]

PET 装置の高額化には高度な医療機器ゆえメンテナンスが難しいという理由も含まれる。それに対して個々のユニットに複雑な処理系を内蔵することができれば、装置としての配線も最小限で済み、故障時などにおける保守性も大幅に向上させることができるため、運用コストの削減にも効果が期待できる。また小型軽量化されることで遠隔地への輸送も容易となり、地方医療の質の向上にも繋がる。将来的には磁場に不感であるという APD の特性を利用し、空間分解能で優る MRI と組み合わせることで低被曝・高解像度を実現する MRI/PET 装置への適用や、高速な特性を活かした TOF 型 PET への適用も考えられる。このように拡張型モバイル PET は、広い汎用性に加え小型かつ低価格の全く新しい PET 装置として、癌検診における PET の利用拡大に大きく貢献し得るものと期待される。

4.2 開発体制

本プロジェクト「サブミリ分解能をもつ拡張型高速 PET の要素開発」は科学技術振興機構より平成 18 年度の要素技術プログラムとして採択され、中核機関である東京工業大学 (PI：片岡淳助教) と、参画機関である独立行政法人宇宙航空研究開発機構、浜松ホトニクス株式会社との協力体制で開発を行っている。

APD アレー

今回使用する APD アレーの開発にあたっては浜松ホトニクス株式会社固体事業部に協力を依頼した。同社は高性能の APD 開発において数多くの実績を有し、特に低雑音素子の開発では競合他社を大きくリードする立場にある。今回は PET の理論限界に迫る「サブミリ」の空間分解能を達成するため、2 mm 角 8×8 チャンネル、1 mm 角 16×16 チャンネル、0.5 mm 角 16×16 チャンネルの計 3 種類の APD について新規に開発を行った。また同社中央研究所では PET 関連技術の研究開発が活発に行われており、拡張型ユニット完成後の撮像評価試験用としてワンペア計数用の同時計数回路を製作頂くことができた。

専用 LSI

APD アレーを用いた PET 用検出器の実現には後述するように多チャンネルの APD 専用 LSI の開発が不可欠だが、LSI の設計・開発には高度な専門的知識を要するため、本研究室で単独に開発を行うことは極めて困難である。そこで今回は、過去に Astro-E 衛星搭載用の硬 X 線検出器に用いられるピークホールド IC や、64 チャンネルのマルチアノード PMT 読み出し用のアナログ信号処理 LSI 等を独自に設計・開発した実績を持つ宇宙航空研究開発機構宇宙科学研究本部宇宙探査工学研究系の池田博一教授に協力を依頼した。

PET 関連

我々は PET 開発の知識・経験を持ち合わせていないため、国内における PET 装置開発の第一人者である放射線医学総合研究所分子イメージング研究センター先端生体計測研究グループイメージング物理研究チームリーダーの村山秀雄氏から随時ご助言を頂いている。同氏の研究グループは第 2 章で述べた DOI 型 PET 装置の開発を中心として数々の研究成果を残しており、今後は拡張型ユニット完成後の撮像評価試験において特にご協力を頂く予定である。

4.3 開発方針

本プロジェクトの目的は拡張型モバイルPETの要素技術となる複合型センサユニットの開発にあり、1対の複合型ユニットを製作してその撮像性能を評価することを最終目標としている。複合型センサユニットは以下の3つの要素で構成され、本プロジェクトではそれら3要素の開発を同時並行で進めている。各要素の開発方針を簡潔に述べる。

センサヘッド

8×8チャンネル、16×16チャンネルのLYSOシンチレータ・アレーを試作し、実際に放射線を照射して各ピクセルが示す基礎特性の均一性の確認を行う。また東北大学で開発された純国産シンチレータであるLuAGシンチレータについても同様の評価を行い、PET用センサヘッドとしての可能性を探る。シンチレータ・アレーの試作には京都大学大学院理学研究科物理学・宇宙物理学専攻の窪秀利助教、ワールドエンジニアリング株式会社の柳田祥男氏にご協力を頂いた。

APDアレー

2 mm角8×8チャンネル、1 mm角16×16チャンネル、0.5 mm角16×16チャンネルの計3種類のAPDアレーを試作し、各ピクセルの基礎特性の評価を行う。さらにシンチレータ・アレーと共に組み上げたユニットを作成し、放射線を照射して特性の均一性を確認する。

APD-PET専用LSI

シンチレータ及びAPDの特性に合わせた専用のアナログ信号処理回路を0.35 μm CMOSプロセスを用いて設計・試作し、性能を評価する。その際センサヘッド及びAPDの個々のピクセルの特性のばらつきをある程度補償できるよう柔軟な構成とする。また将来的にTOF型PETへも対応できるよう高精度な時間測定方法を取り入れる。チップの完成後、実際にシンチレータ、APDと組み合わせて信号の読み出しが行える事を確認する。性能に問題が無ければ、小型ユニットの実現に向けて専用の信号処理基板の製作を行う。

4.4 センサヘッド

4.4.1 シンチレータの選定

拡張型ユニットの第一の要素となるのは、放射線を検出して光に変換するシンチレータである。シンチレータはその化学組成の違いによって多種多様な特性を示し、同じ組成であっても混合する不純物の種類や濃度などにより特性が大きく変化するものもある。従って放射線検出器の開発においては「最適な」シンチレータを選択することも重要なテーマである。表 4.1 に主要なシンチレータの特性を示す。PET 検出器用としては以前は BGO が主流であったが、最近ではセリウムを添加した添加 GSO や LSO といった比較的実効原子番号¹ が大きく蛍光減衰時定数の短いシンチレータが普及し始めている (図 4.3)。



図 4.3: PET に用いられる代表的なシンチレータ [52, 53] (左)BGO (中)GSO (右)LSO

表 4.1: 代表的な無機シンチレータの特性 [12, 54, 55]

シンチレータ	NaI (Tl)	CsI (Tl)	BGO	LSO(Ce)	GSO(Ce)	LuAG(Pr)
組成	NaI	CsI	$\text{Bi}_4\text{Ge}_3\text{O}_{12}$	Lu_2SiO_5	Gd_2SiO_5	$\text{Lu}_3\text{Al}_5\text{O}_{12}$
実効原子番号	53	54	74	65	60	61
密度 [g/cm^3]	3.67	4.51	7.13	7.35	7.13	6.68
屈折率	1.85	1.79	2.15	1.82	1.85	2.14
蛍光減衰時定数 [ns]	230	1000	300	40	60	20
出力波長 [nm]	415	565	480	420	440	310
発光量 (相対値)	100	45	15	75	25	50
融点 [度]	650	620	1050	2150	1950	1950
吸湿性	あり	僅か	なし	なし	なし	なし

¹ 複数の原子から構成される物質に対して、原子数の割合で重み付けをした実効的な原子番号

PET 検出器に用いるシンチレータには主に次のような要素が求められる。

1. 高密度である
2. 実効原子番号が大きい
3. 蛍光減衰時定数が短い
4. 発光量が大きい
5. 安価である

ガンマ線の吸収効率には物質の密度が高いほど、実効原子番号が大きいほど高い。PET では 511 keV というエネルギーが高く透過力の高いガンマ線を利用することから、1 と 2 に関しては PET 装置の感度を高めるために必須となる。また PET ではある一定の時間幅の中で同時に起こったイベントを真のイベントであると判断するが、シンチレータの蛍光減衰時定数が長いと同時計数の時間幅を長く設定する必要があり不感時間が増大する。従って 3 に関しては最大計数率を高めスループットを向上させるために必要となる。4 の発光量は PET 検出器のエネルギー分解能に直結しており、発光量が大きいほど信号対雑音比 (S/N 比) が向上するため相対的に雑音が減り画質が向上する。5 の価格は大量のシンチレータを必要とする PET 装置にとって軽視できない要素であり、装置の低コスト化のためには出来る限り安価なものを選択する必要がある。

4.4.2 LYSO 単結晶

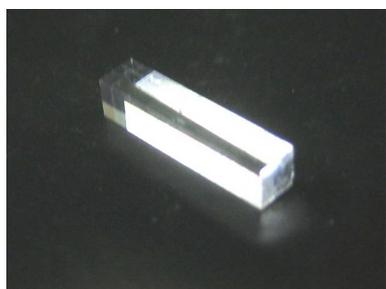


図 4.4: LYSO 単結晶

そこで今回我々が選択したのが LYSO 単結晶 (図 4.4) である。LYSO は LSO にイットリウムを添加することで融点を下げ加工性を向上させたシンチレータであり、LSO とほぼ同程度の特徴を持ちながら比較的 low コストで入手できるというメリットがある。また TOF 型 PET にも採用された実績があり、650 ps 以内の時間分解能を有する [33]。

4.4.3 LYSO ピクセルアレー

今回我々は複合型ユニットのセンサヘッドとして、8×8 チャンネル、及び 16×16 チャンネルの LYSO ピクセルシンチレータアレーを試作した。個々の LYSO ピクセルはサンゴバン株式会社で製作されたもので、6 面全ての表面に機械研磨加工が施されている。これらの LYSO ピクセルはワールドエンジニアリングシステム株式会社 (以下、WES) により図 4.5 のようなアレー状に組み上げられた。



図 4.5: 今回試作を行った LYSO ピクセルシンチレータ・アレー 2 種類。専用の組み上げ用治具に収められている。(左)8×8 ch (右)16×16 ch

図 4.6 に LYSO ピクセルとアレーの各寸法を示す。各 LYSO ピクセルの寸法は 8×8 チャンネル用が 2.2 mm × 2.2 mm × 10.0 mm(縦・横・長さ)、16×16 チャンネル用が 1.3 mm × 1.3 mm × 10.0 mm であり、工作要求精度は ± 0.1 mm 以内とした。ガンマ線の入射方向に対して 10.0 mm の厚みがあり、511 keV のガンマ線に対する検出効率は 55 %程度と十分な検出感度を確保している (図 4.4.3)。

各ピクセル間には ESR (Enhanced Specular Reflector) フィルムと呼ばれる反射材が挟まれており、APD との接合面を除いた外面はすべてこの ESR フィルムで覆われている。ESR フィルムは可視光領域で高い反射率を有するため、ガンマ線の入射により生じるシンチレーション光を LYSO ピクセルに対して 1 対 1 で結合される APD ピクセルに効率よく集光することができる。今回試作した LYSO アレーには厚さ 0.065 mm(公差 ± 0.02 mm、篠崎製作所) の ESR フィルムを用いているが、LYSO ピクセルの加工精度のばらつきなどを考慮して各ピクセル間のギャップを 0.1 mm とした。

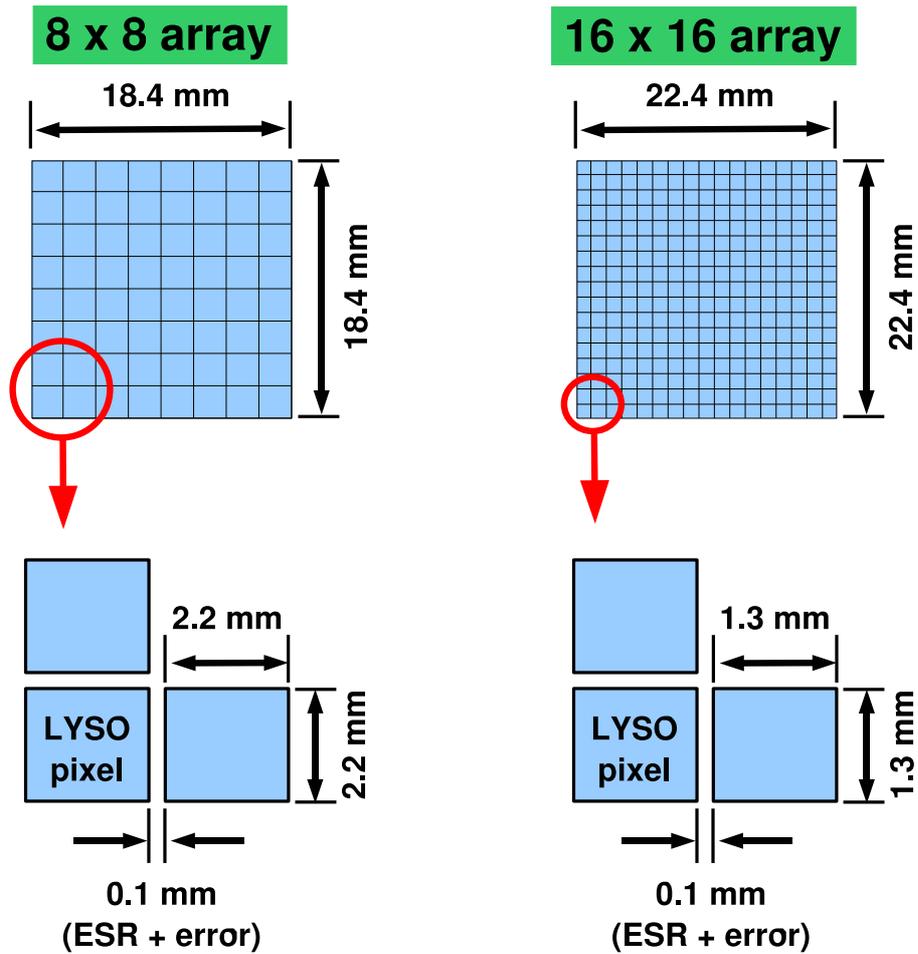


図 4.6: LYSO アレーの寸法。(左)8×8 チャンネル (右)16×16 チャンネル

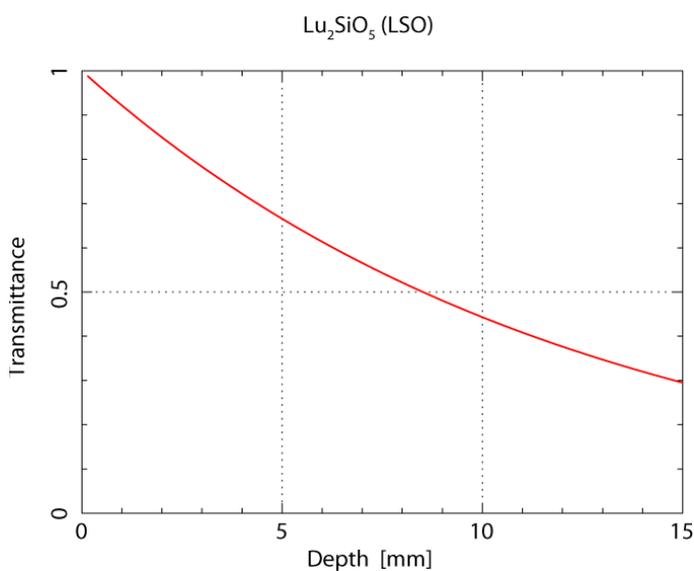


図 4.7: 511 keV のガンマ線に対する LSO 結晶の透過率。LSO と LYSO はほぼ同じ組成である。透過率の計算には 511 keV での質量減衰係数の値 ($\mu_m = 0.111 \text{ cm}^2/\text{g}$) を用いた [56]。10 mm の厚みに対して検出効率は 55 % 程度である。

4.4.4 LYSO アレーの基礎特性

LYSO アレーを構成する各結晶は結晶サイズのばらつきや結晶内部の密度の偏りなどが原因となり、同一の結晶から削り出された物であってもその特性には多少のばらつきが生じる。PET ではそのような検出器の「感度ムラ」があまりにも大きい場合再構成画像の画質が劣化してしまう可能性があるため、試作した LYSO アレーに対し各結晶のシンチレーション光量を測定によって求めその分散の程度を確認しておく必要がある。以下の測定結果の詳細は田中修論 [57] に収録されているが、ここでは結果の概略を述べる。

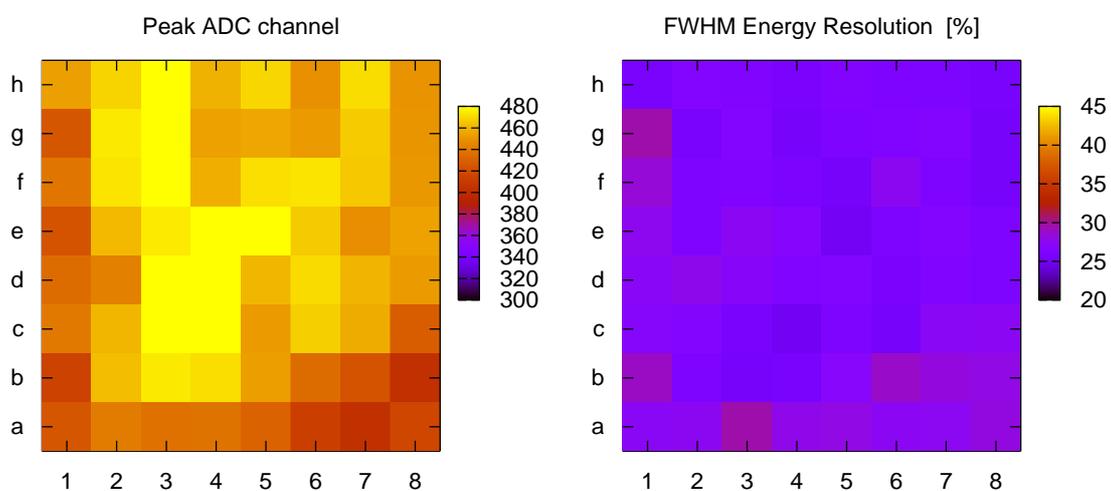


図 4.8: 8×8 チャンネル LYSO アレーのシンチレーション特性 [57]。ほぼ均一な特性が得られている。(左) 光量のばらつき (右) エネルギー分解能のばらつき

8×8 チャンネルの LYSO アレーの各ピクセルに対し ^{241}Am 線源から放出される 59.5 keV のガンマ線を集束照射し、PMT (H7195、浜松ホトニクス製) を用いて各ピクセルのシンチレーション特性を測定した結果を図 4.8 に示す。シンチレーション光量のばらつきは全チャンネルで 455 ± 22 ch、相対誤差は $\pm 4.8\%$ 以内であり、エネルギー分解能のばらつきは $26.7\% \pm 1.1\%$ 、相対誤差は $\pm 4.0\%$ 以内であった。従って 8×8 チャンネルに関しては個々のピクセルの特性は非常に良く揃っていることがわかる。

次に 16×16 チャンネルの LYSO アレーの各ピクセルに対し同様の測定を行った結果を図 4.9 に示す。まずシンチレーション光量のばらつきについては、8×8 チャンネルではアレー全体で均一な特性を示していたのに対し、16×16 チャンネルでは分布に偏りが見られる。もし各ピクセル毎の特性にばらつきがあった場合、光量の分布はアレー全体に無規則に散らばると予想される。従ってこの偏った分布はピクセル毎の特性のばらつきではな

く、特定の列の反射材がずれる事により生じた光漏れが原因であると考えられる。16×16チャンネルアレーのシンチレーション光量のばらつきは全チャンネルで 453 ± 22 ch、相対誤差は ± 5.1 %以内であり、エネルギー分解能のばらつきは 27.4 % ± 1.6 %、相対誤差は ± 5.9 %以内であった。

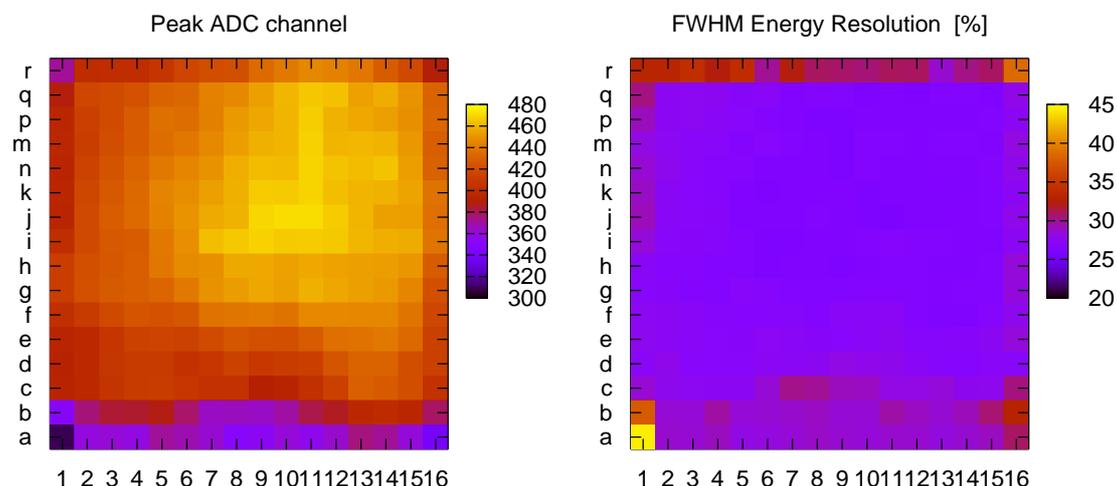


図 4.9: 16×16 チャンネル LYSO アレーのシンチレーション特性 [57]。8×8 チャンネルに比べ分布に偏りが見られるが、反射材のずれによる光の漏れだしが原因と考えられる。
(左) 光量のばらつき (右) エネルギー分解能のばらつき

4.4.5 Pr 添加 LuAG

本プロジェクトでは比較的性能の安定している LYSO シンチレータを第一選択としているが、将来的には更なる高性能 PET 装置の実現を見据えて、Pr 添加 LuAG ($\text{Pr}:\text{Lu}_3\text{Al}_5\text{O}_{12}$ 、図 4.10) と呼ばれる新しいタイプのシンチレータの使用も検討している。LuAG シンチレータは東北大学多元物質科学研究所の福田承生教授、吉川彰准教授らのグループによって開発され、現在も研究・開発が進められている「純国産」のシンチレータである [58, 59]。密度や実効原子番号、発光量は最先端の Ce 添加系 (LSO、GSO など) と同等

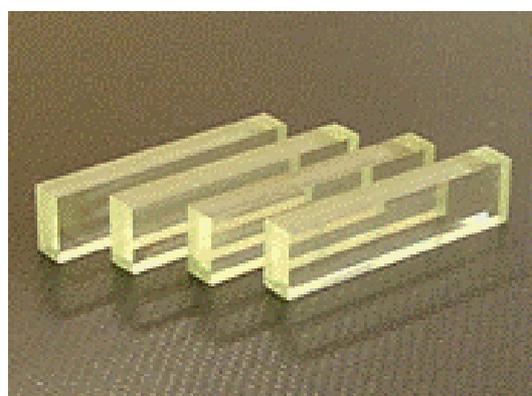


図 4.10: LuAG 単結晶 [54]

でありながら、蛍光減衰時定数は半分以下という優れた特性を示すことが報告されており(表 4.1) 今後の量産化によって価格も現行の LYSO の半分以下となる見込みである。結晶一様性にも優れておりエネルギー分解能の向上が見込める他、高速な発光特性を生かした TOF 型 PET への応用も期待されている。

また実際に PET 検出器への応用を目指し、平成 20 年度より NEDO 大学発事業創出実用化研究開発事業「MRI-PET 用 Pr : LuAG + APD アレー放射線検出器システムの開発」がスタートすることとなった。これは事業化技術を古河機械金属株式会社が担当し、LuAG シンチレータの特性改善を東北大学、フロントエンド信号処理回路の開発を東京大学、APD アレーの開発を我々が担当する体制となっている。LuAG シンチレータは出力蛍光波長が 310 nm と短く、従来の APD アレーでは量子効率との相性が懸念されていたため、NEDO プロジェクトでは浜松ホトニクス社と共に LuAG に特化した「紫外高感度型」APD アレーの製作を進めている段階である。

図 4.11 に APD の量子効率を示す。リバー型 APD は受光面をエポキシ樹脂の窓剤で保護する構造となっており、300 nm 以下の波長域では光が有感層に到達する前に大部分が吸収されてしまうという問題があった(図 4.11 左)。そこで NEDO プロジェクトでは窓剤をエポキシからシリコン樹脂に変更し、受光面膜の不感層を薄くするといった対策により波長 310 nm における量子効率を従来より 3 割程度改善させることを目標としている。

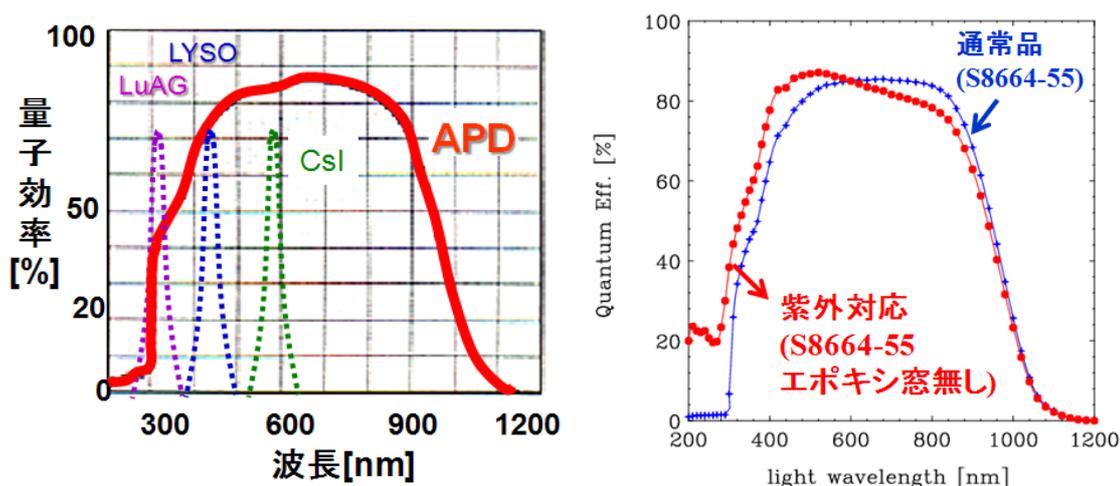


図 4.11: APD の量子効率 (左) 浜松ホトニクス製リバー型 APD の量子効率と代表的なシンチレータの発光波長。LuAG は発光波長が短く APD との相性が悪い。(右) エポキシの窓材を取り払って紫外領域の量子効率を向上させた試作品 [37]。

4.5 APD アレー

4.5.1 開発の意義

拡張型ユニットの第二の要素となるのはシンチレータからの光を受光し電気信号に変換する APD アレーである。本プロジェクトにおいて我々が最も強調すべきは PET 検出器用として大面積かつ高密度な APD アレーを用いた点にある。拡張型ユニットの実現には光センサの小型化が前提条件であるが、現状以上の小型化が困難と言われる PMT や増幅率が低いために検出器の雑音によって PET 画像が劣化してしまう可能性のあるフォトダイオードでは我々の目標を達成困難であった。その点 APD ならば、PMT よりもコンパクトかつ内部増幅機能による低雑音・高速な特性を活かし光センサ部の大幅な小型化が可能であり、第 2 章で述べたように高解像度化や MRI との併用などさまざまな恩恵を受けることができると考えられる。しかしながら PMT を置き換え可能な 3×3 cm 程度の「大面積」のアレーは過去に例が無く、多素子化した際の増幅率や暗電流のばらつきなど特性は未知数である。

そこで我々は過去に 1.6×1.6 mm \times 32 チャンネルの APD アレーである S8550 などを開発してきた実績のある浜松ホトニクス社に依頼し、次節で述べるような 3 種類の APD アレーを試作した後、個々のピクセルについて詳細な特性評価を行った。

4.5.2 試作 APD アレーの概要

第 3 章で述べたとおり、APD には斜めエッジ型、リーチスルー型、リバーズ型の 3 種類が存在する。今回は高エネルギーのガンマ線を検出可能なシンチレータと組み合わせる事を考慮し、シンチレーション光の検出に最も適したリバーズ型の APD をアレー化することにした。図 4.12 に今回試作した 3 種類のアレーの外観を示す。図の左から順に 2 mm 角 8×8 チャンネル、1 mm 角 16×16 チャンネル、0.5 mm 角 16×16 チャンネルとなっている。なお、これらのうち最もピクセルの小さい 0.5 mm 角アレーは組となる LYSO アレーを試作していないため本論文では取り扱わない。

アレー素子の外形は 8×8 、 16×16 チャンネルともに 1 辺が $27.4 (\pm 0.3)$ mm の正方形であり、裏面に信号を読出すためのアノード電極および高電圧印加用のカソード電極が 1.27 mm ピッチで配列されている。アノード電極は各ピクセル毎に独立しているがカソード電極は 1 つのアレーに 4 本のみ引き出されており、各素子に共通の高電圧を印可できる仕様になっている。アレーの表面全体は受光面保護のためにエポキシ樹脂でコーティングされ

ており、LYSO アレーとシリコンウェハの直接の接触を防ぐ仕組みになっている。アレーを構成する各 APD 素子間には高圧配線の短絡を防ぐためのギャップが設けられており、2 mm 角 8×8 チャンネルでは 0.3 mm、1 mm 角 16×16 チャンネルでは 0.4 mm と幅が異なる。表 4.2 に各 APD アレーの基本仕様を示す。

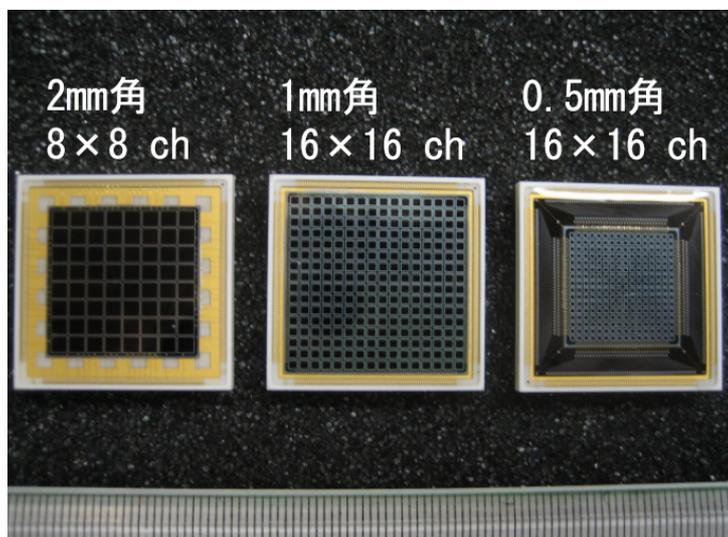


図 4.12: 今回試作した 3 種類の APD アレー [60]。APD 素子のサイズや間隔はそれぞれ異なるが外形は 1 辺 27.4 ± 0.3 mm の正方形で統一されている。

素子サイズ [mm ²]	2×2	1×1	0.5×0.5
素子数	8×8	16×16	16×16
素子間ギャップ [mm]	0.3	0.4	0.4
運用電圧 V_R [V]	355	333	356
降伏電圧 V_B [V]	379	376	380
検出器容量 [pF]	13-15	4-5	3.3-4.6
暗電流 [nA]	0.5-1.3	0.1-0.3	0.1-0.4
素子の種類	リバーstype		

表 4.2: 試作 APD アレーの仕様 (浜松ホトニクス仕様書より抜粋)。運用電圧 V_R は APD の増幅率が 50 倍となる電圧値であり、降伏電圧 V_B は電場強度が強まり増幅率が高くなり過ぎる結果、信号の線形性が保てなくなる状態 (ガイガーモード) に移行してしまう電圧値である。

4.5.3 APD アレーの基礎特性

図 4.13 は 2 mm 角 8×8 チャンネル、図 4.14 は 1 mm 角 16×16 チャンネルについて、増幅率を 50 倍とした時の暗電流と相対増幅率の各ピクセル毎のばらつきを示したものである。これらのデータは本研究室への納入前に浜松ホトニクス社側で行われた厳密な測定に基づく結果であり、我々も以後このデータを確認・採用することとした。増幅率のばらつきは両者共に ±10 %以内であり、各素子が均一な特性を有していることがわかる。

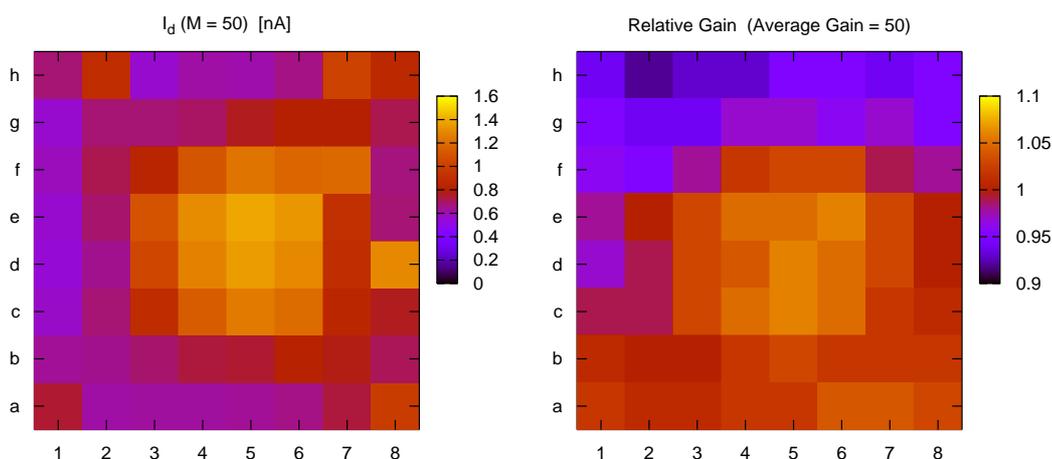


図 4.13: 8×8 チャンネル APD アレーの暗電流 (左) と相対増幅率 (右) の分布。暗電流の平均値は $I_D=0.85 \pm 0.25 \text{ nA}$ であった。

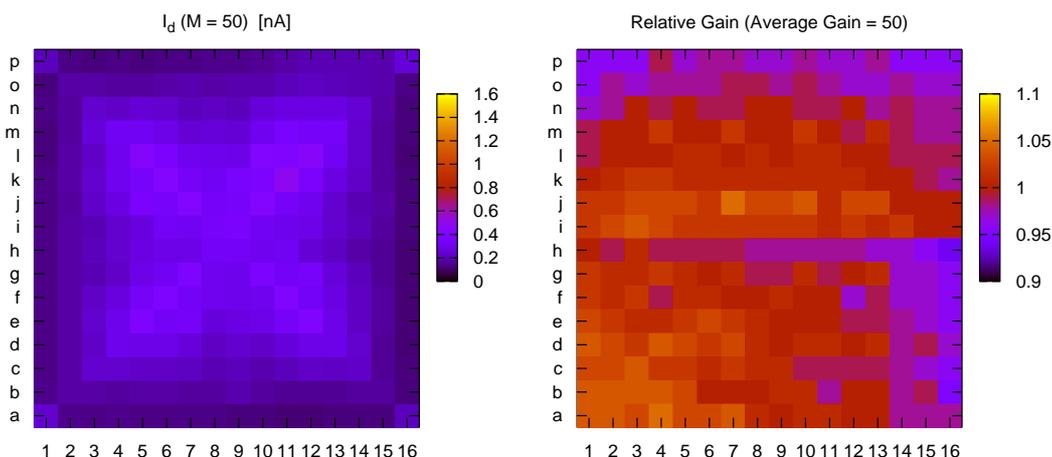


図 4.14: 16×16 チャンネル APD アレーの暗電流 (左) と相対増幅率 (右) の分布。暗電流の平均値は $I_D=0.23 \pm 0.08 \text{ nA}$ であった。

4.5.4 APD アレーの時間特性

APD は高い電圧を印加して電荷を高速に収集するためフォトダイオードに比べて良好な時間特性を示すことが知られており、時間分解能としては岸本らにより測定された結果として 190 ps (FWHM) という値が得られている (図 4.15)。この結果は我々と同じリバーstype 構造の APD を用いて測定された結果であるが、あくまでも 3 mm ϕ の単素子の時間特性であるため、我々の大面積・多素子の APD アレーが本当に TOF 型 PET として適用可能かどうかを確認する必要がある。

そこで我々は高エネルギー加速器研究機構放射光実験施設のビームライン (BL-14A) にてシングル・バン

チモードで 10 keV の X 線を直接照射し、時間分解能の測定を行った。10 keV の X 線を APD で直接検出した場合に生成される電荷量は LYSO で 511 keV の信号を読み出した場合とほぼ等価であり、APD が究極的に TOF 型 PET としてどの程度の時間分解能を達成できるかという指標が得られる。実験の詳細は石橋卒論に委ねるが、結果として 8 \times 8 チャンネルアレーについては 214 ps (FWHM)、16 \times 16 チャンネルアレーについては 155 ps (FWHM) という値が得られた (図 4.16)。これはバンチの時間分解能を含んだ値であるため、実際の APD 固有の性能は 100 ~ 150 ps 程度という実用十分な値であると推測される。

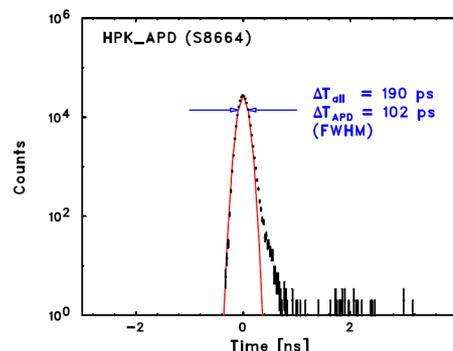


図 4.15: 放射光を用いて測定された APD (浜松ホトニクス製 S8664-30、3 mm ϕ) の時間分解能 [61]

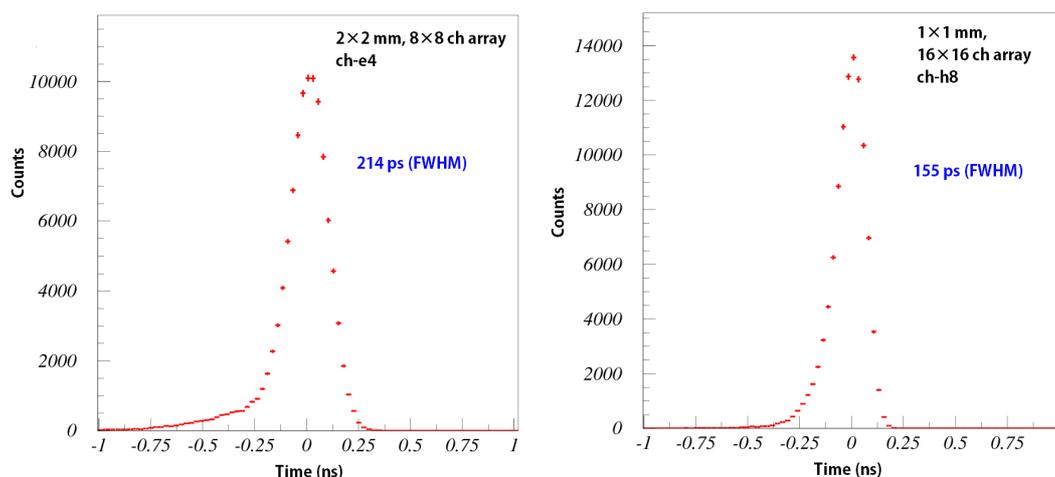


図 4.16: 10 keV の X 線で測定を行ったリバーstype APD アレーの時間特性 (石橋卒論 [62])。 (左)2 mm 角 8 \times 8 アレー (右)1 mm 角 16 \times 16 アレー

4.6 LYSO+APD 光学ユニット

4.6.1 構造

LYSO アレー、APD アレーそれぞれに対して基礎的な特性評価を行った後、これらを結合させた「光学ユニット」を製作した。2 mm 各 8×8 チャンネル、1 mm 角 16×16 チャンネルの 2 種類の APD アレーは、LYSO アレーと図 4.17 のように接合される。LYSO ピクセルで生じたシンチレーション光は 1 対 1 で結合された APD で電気信号に変換されるが、APD の素子間ギャップの影響で受光面は LYSO のピクセルサイズより小さいため、発生したシンチレーション光全てを回収することはできない。

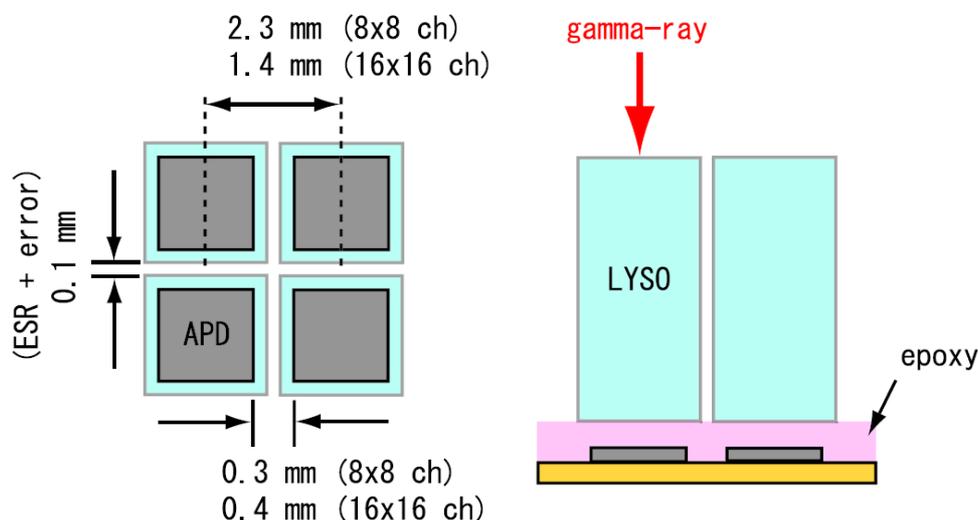


図 4.17: APD アレーと LYSO アレーを光学接合した様子。LYSO アレーではピクセル間のギャップが一律 0.1 mm であったが、APD アレーの場合は 8×8 チャンネル (ギャップ 0.3 mm) と 16×16 チャンネル (ギャップ 0.4 mm) とで異なる。

光学ユニットは、図 4.18 のように外側をアルミケースで覆われた構造となっている。ガンマ線の入射面となるケース底面の厚みは 0.5 mm と薄く、ガンマ線の入射を大きく阻害することは無い。またケース底面と LYSO アレーの間にはスポンジが敷き詰められており、LYSO アレーを APD アレーに押しつける仕組みになっている。アルミケースは遮光の役割も担っており、検出器全体をブラックシートで遮光せずに各種評価を行うことができる。

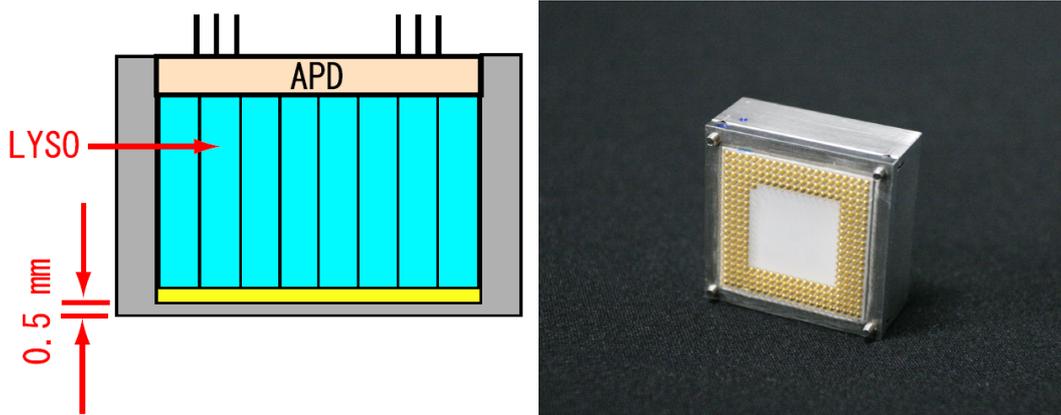


図 4.18: 8×8 チャンネル APD アレーと 8×8 チャンネル LYSO アレーを光学接合させた光学ユニット。右の写真では APD アレー裏側のピン (1.27 mm ピッチ) が見えている。

4.6.2 基礎特性

このように構成した光学ユニットに対して実際に ^{137}Cs の 662 keV のガンマ線を照射し、図 4.19 のようなエネルギースペクトルを得た。しかし図 4.19 では 662 keV の光電ピークの外に、等価光量で 200 keV より下の領域にも隣接ピクセルの干渉によるスペクトル構造が見られる。

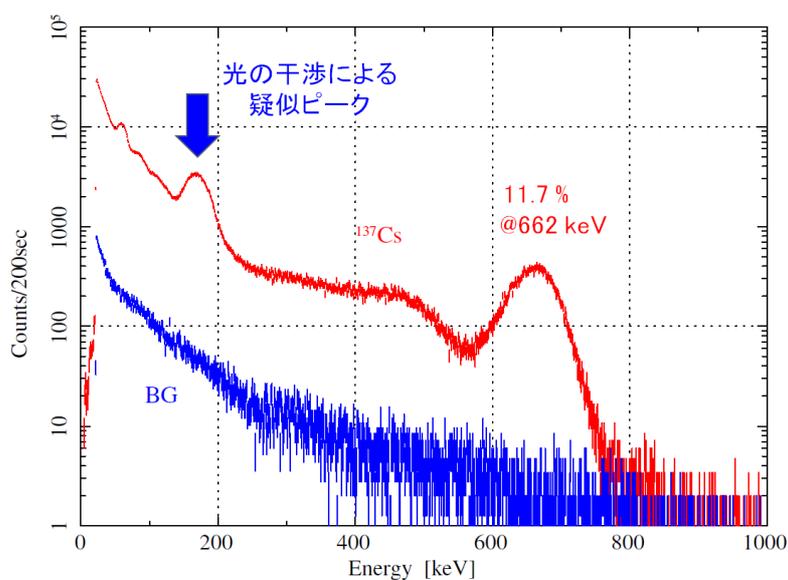


図 4.19: 8×8 チャンネルの光学ユニットへの ^{137}Cs 照射スペクトル [57]。低エネルギー領域に隣接するピクセルからの漏れ込みが原因と思われる構造が見られる。

光の漏れ込みの度合いは光電ピークとの比較で求められ、このグラフの場合では26%程度となる。LYSOアレーとAPDアレーを組み合わせた状態での光量のばらつきは8×8チャンネルの場合±15%程度であり、光漏れが致命的な状況であるとは言えないが、16×16チャンネルでは漏れ込みのピークが真のピークを上回るチャンネルも存在し、特に端側のピクセルで顕著であった。これはLYSOとAPDの間にあるエポキシ樹脂がライトガイドとして働いてしまうことにより、隣接するピクセルからシンチレーション光の一部が漏れ込みやすくなっている事に加え、図4.20に示すように僅かな組み上げ誤差の蓄積によって一部のピクセルで大きな光の漏れ込み・漏れ出しが起きているためであると考えられる。このような状況では光漏れによる信号を真のイベントであると誤検出してしまうため、正しい同時計数線の位置情報が得られず空間分解能が劣化してしまう恐れがある。

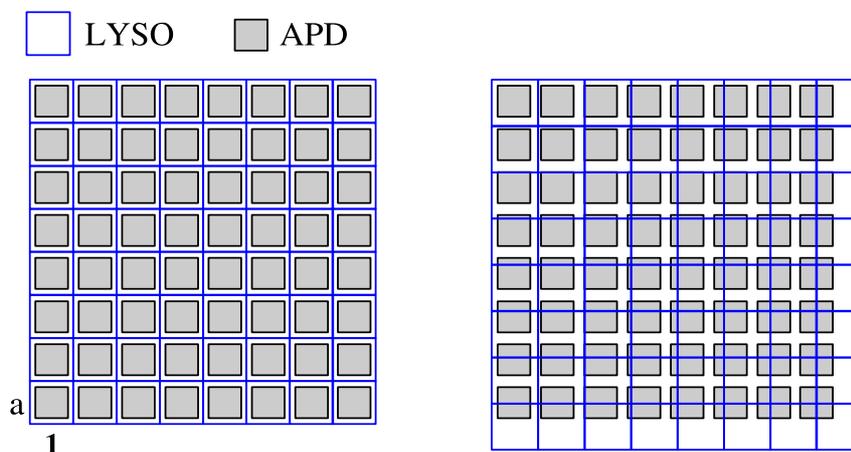


図 4.20: 光学ユニットのずれ具合。APDアレーのサイズに対してLYSOアレーのサイズがやや大きいいため、左上のピクセルで位置を合わせると左下のピクセルでは半ピクセル程度ずれてしまう。

4.6.3 光漏れ対策

このような光漏れに対し、2つの抜本的な対策を行った。1つ目の対策としては、図4.21(左)に示すようにライトガイドとして働いてしまっていたエポキシの保護樹脂を可能な限り薄く加工し、また面一加工を施すことによりLYSOとの接着精度を向上させた。その結果、図4.21(右)のように光の干渉を全体的に3割程度削減することに成功した。

2つ目の対策としては、LYSOの組み上げ精度と組み上げ方式について改善を行った。旧方式のLYSOアレーでは加工精度が50 μm 程度であったが、16×16チャンネルアレーでは50 μm の誤差が16列分蓄積されてしまう結果、最大0.8mmの誤差となり最終的にLYSOとAPDの位置が半ピクセル分ずれてしまう要因となっていた。そこで新タイプで

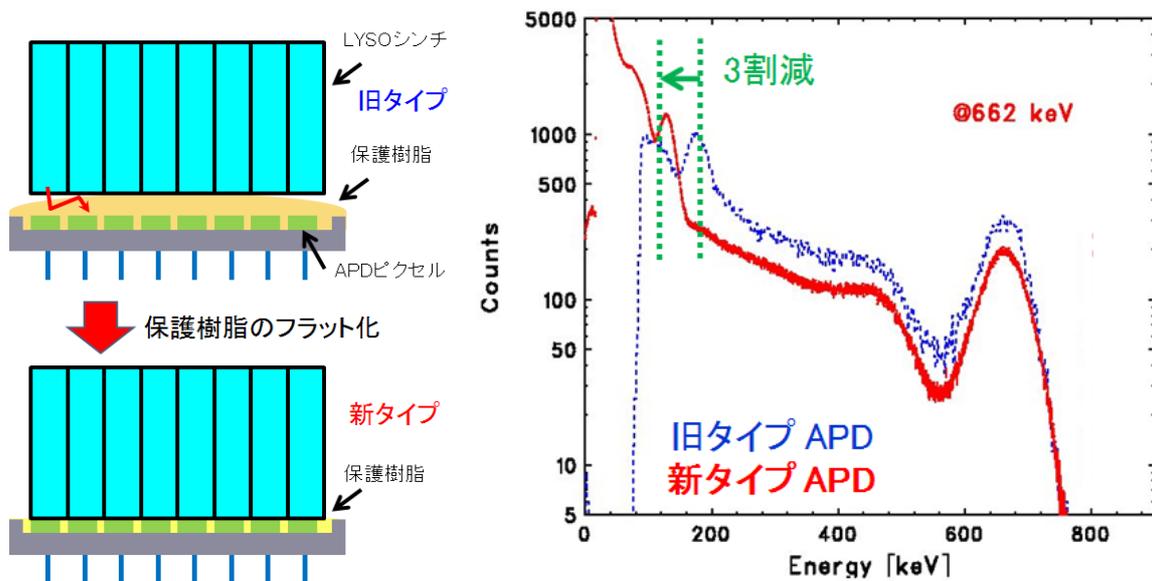


図 4.21: 保護樹脂に対する光漏れ対策の実施。(左) 厚く不均一なエポキシ保護樹脂が光漏れの要因となっていたため、新タイプの APD アレーでは保護樹脂をフラット化し、樹脂そのものの厚みも薄型化した。(右) 新タイプに 662 keV のガンマ線を照射して得られたエネルギースペクトル。光の漏れ込みを 3 割程度削減することができた。

は 20 μm 以内の加工精度で 1.3 mm ピッチ、100 μm 幅の金網 (高精度メッシュ) を独自に製作し、1 つ 1 つの隙間に LYSO ピクセルを落とし込むことで LYSO のサイズを確保しながら物理的に位置のずれない構造を採用した。16 \times 16 チャンネル用に製作した金網を図 4.22 左に、実際に 16 \times 16 チャンネルの光学ユニットに 662 keV のガンマ線を照射した際のエネルギースペクトルの例を図 4.22 右にそれぞれ示す。光漏れの効果が目立たなくなり、光量の一様性が格段に向上していることが分かる。

これらの対策を行った後、662 keV のガンマ線を用いて測定を行い、以下に示すような光学ユニットの性能が得られた。8 \times 8 チャンネルについては光量のばらつきは 563 ± 53 ch、相対誤差は $\pm 9.5\%$ 以内であり、エネルギー分解能のばらつきは $10.4\% \pm 0.5\%$ 、相対誤差は $\pm 4.5\%$ 以内であった。同様に 16 \times 16 チャンネルについては光量のばらつきは 499 ± 52 ch、相対誤差は $\pm 10.5\%$ 以内であり、エネルギー分解能のばらつきは $15.2\% \pm 1.4\%$ 、相対誤差は $\pm 9.4\%$ 以内であった。

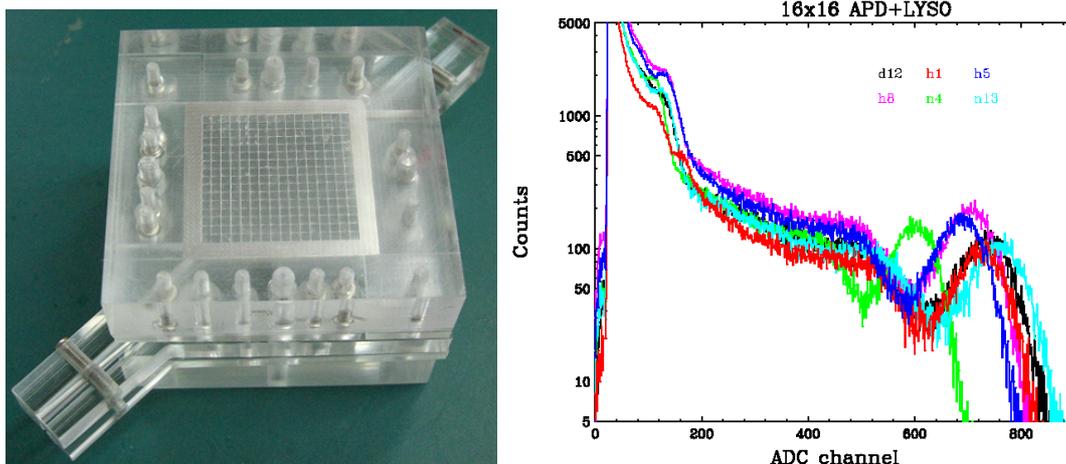


図 4.22: LYSO ピクセルに対する光漏れ対策の実施。(左) 高精度な専用メッシュを製作し組み上げ精度の向上を図った。(右)16×16 チャンネルの光学ユニットの中心部や外縁部から無作為に抽出したエネルギースペクトルの例。光漏れの効果が目立たなくなり、光量の一様性は格段に向上した。

4.7 APD-PET 用 8 チャンネル LSI の開発

4.7.1 開発目的

拡張型ユニットの第三の要素となるのは、APD からの信号を高速に処理する APD 専用の LSI である。PET では装置全体で 1 万チャンネル以上もの膨大な信号を高速に処理する必要があるため、検出器セル毎に個別に信号処理回路を設ける事は容積及び消費電力の点でも現実的とは言えない。特に我々が目指す検出器のハイブリッドセンサユニット化に当たっては、信号処理部分の小型化、低消費電力化は必要不可欠であるため、アナログ信号処理システムを高密度に集積しつつ低消費電力を実現できる専用 LSI の導入は必須である。

代表的な多チャンネルのアナログ信号処理 LSI としては、IDEAS 社の Viking シリーズを元に開発された VA32TA 等が挙げられる (図 4.23)[63]。VA32TA チップは 32 チャンネルの読み出し回路を備えており、低雑音、低消費電力を実現している。しかしながらシリコンストリップセンサの読み出し用に最適化されているため電荷増幅器の増幅率が高く、信号を内部増幅する事が特徴である APD の読み出し用にはそのまま適用することができない。また信号の整形時定数も長く設定されており、PET のように高速な処理が必要とされる用途には適さない。そこで我々は APD の読み出し用に特化した多チャンネルのアナログ信号処理 LSI そのものを開発することにした。

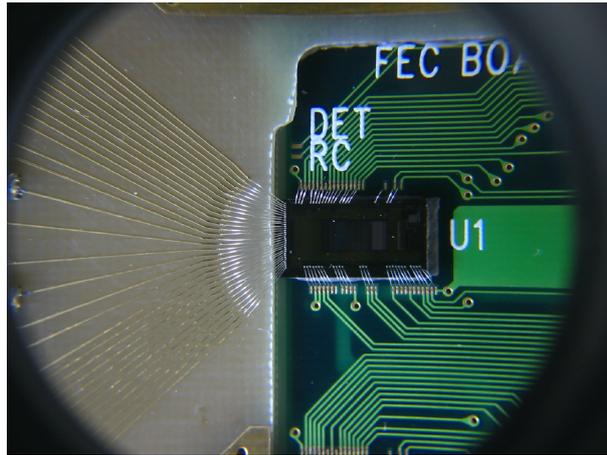


図 4.23: VA32TA チップ (中央)

4.7.2 LSI開発の基礎

LSIとは

LSIとは、ダイオード、トランジスタ、抵抗、コンデンサ、などの回路素子が一つのシリコン結晶チップに組み込まれ、決められた作用をする電子デバイスである。一つのチップの中に組み込まれる素子数は、100個未満のものから10万個以上のものまで実に様々である。個別に回路素子を配線して回路を構成する場合に比べると、集積化することで一般に以下のような利点が得られる [34]。

1. 1枚のシリコンウェーハ上に多数の集積回路を同時に製造することが可能なため、製造コストを下げるができる。
2. 配線のための半田付け行程が存在しないため、信頼性を高めることができる。
3. 小型化することでトランジスタの動作電圧を低く設定することができ、その結果として消費電力も小さくすることができる。
4. 素子間の配線が短くなるため、信号伝達の遅延時間を短縮することができ、回路の動作速度を向上させることが可能となる。

ASIC

ASIC (Application Specific Integrated Circuit) とは、本研究で開発する APD-PET 専用信号処理 LSI のように、ある特定の用途のためだけに設計、製造される集積回路の呼称である。あらかじめ特定の用途を想定して製造する「セミカスタム IC」と、自分で自由に設計をすることができる「フルカスタム IC」の二種類がある。「セミカスタム IC」はあらかじめ特定の機能を持った回路の組み合わせによる製造途中段階の製品を用意しておき、要望に応じて回路ブロックの配線を変更して所望の回路構造を得る手法であるため、低コストで開発を行うことができるという利点がある。しかしながら繊細なアナログ信号処理回路の開発には適さないため、本研究では自由度が高く、高精度を実現可能なフルカスタム IC の開発を行うことにした。

CMOS プロセス

相補型金属酸化膜半導体 (CMOS : Complementary Metal Oxide Semiconductor) とは、電子をキャリアとする nMOSFET と、ホールをキャリアとする pMOSFET という性質の異なる 2 種類の電界効果トランジスタ (FET : Field Effect Transistor) を組み合わせて同一の基板上に形成したものである。ゲートの形状によってトランジスタの特性を制御できること、ゲートが絶縁されており回路の入力インピーダンスが高く消費電力を抑えられること、集積度を高くできること、量産に適しており製造コストが比較的安価であること、など従来のバイポーラプロセスに比べ優位な点が知られている。一方で耐圧が低く静電気に弱い、高抵抗素子や大容量を使用できない等のデメリットも存在する。本チップではこの CMOS を基本構成要素としてアナログ信号処理回路を構成した。

MOSFET の動作

図 4.24 に CMOS 集積回路の基本要素となる nMOSFET の構造を示す。nMOSFET は p 型のバルク (B) 単結晶の上に n 型不純物を打ち込んで形成されたソース (S) 及びドレイン (D) 領域と、それらの間に薄い酸化膜と電極で形成されたゲート (G) 領域、という 4 つの端子で構成されている。nMOSFET の場合は電子がキャリアとなるので、電子を供給する低電圧側 (VSS) がソース、電子が流れ出る高電圧側 (VDD) がドレインと呼ばれる。MOSFET はゲート電圧によりソース-ドレイン間の電流 (ドレイン電流) の制御を可能とした素子である。

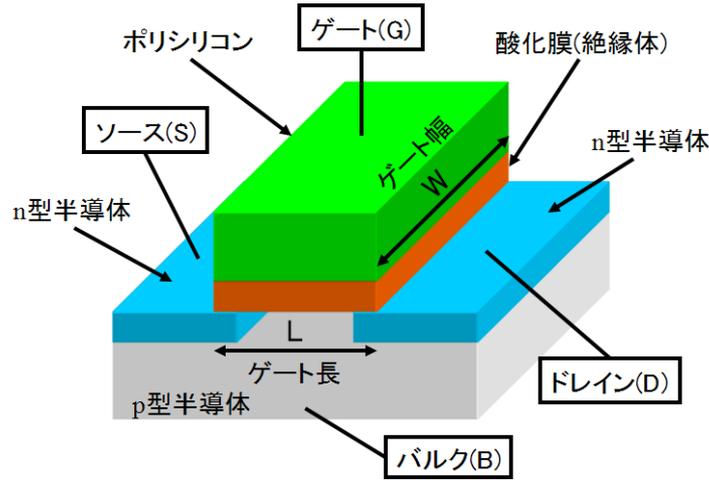


図 4.24: nMOSFET の構造。MOSFET はゲート (G)、ソース (S)、ドレイン (D)、バルク (B) の 4 端子で構成される。ゲート電極となるポリシリコンは多結晶シリコンであり、不純物を多量に添加することで導電性を示す。

nMOSFET のドレイン電流は、

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2] \quad (V_{DS} < V_{GS} - V_{TH}: \text{非飽和領域}) \quad (4.1)$$

$$I_D = \mu_n C_{ox} \frac{W}{2L} (V_{GS} - V_{TH})^2 \quad (V_{DS} > V_{GS} - V_{TH}: \text{飽和領域}) \quad (4.2)$$

という形で表せる。ここで、 μ_n は電子の移動度、 C_{ox} は単位面積あたりのゲート容量、 V_{GS} はゲート・ソース間の電圧、 V_{DS} はドレイン・ソース間の電圧、 V_{TH} はドレイン・ソース間にドレイン電流 I_D が流れ始めるしきい値となる電圧である。しきい値電圧 V_{TH} はバルク電圧 V_B を変えることである程度制御することができる (基板バイアス効果)。また $\frac{W}{L}$ はゲートの幅をゲートの長さで割ったものであり、アスペクト比と呼ばれ MOSFET の特性を決める重要なパラメータである。アナログ回路では特殊な場合を除き非線形な挙動をする非飽和領域での動作を避ける必要があり、そのために適切なバイアス電圧を印加して動作点を確定させている。

MOSFET の動作を理解する上でもう一つ重要なパラメータとして、相互コンダクタンス (g_m) が挙げられる。相互コンダクタンスは MOSFET の電圧電流変換効率を表すパラメータであり、飽和領域で動作している場合にはゲート電圧を微小変動させた時のドレイン電流の変化量として以下のように定義される。

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \beta(V_{GS} - V_{TH}) = \sqrt{2\beta I_D} \quad (4.3)$$

ただし $\beta \equiv \mu_n C_{ox} \frac{W}{L}$ である。

式 4.3 で表されるように、MOSFET のドレイン電流はキャリアの移動度やゲートの形状により変化する。一般には正孔に比べ 3 倍程度移動度の大きい電子をキャリアとして用いる nMOSFET のほうが、pMOSFET より大きな相互コンダクタンスを得られる事になる。なお実際の回路設計では製造プロセスの誤差などにより W や L の値が変化してしまい、必ずしも設計通りの電流が流れるとは限らない。従って所望の電流を流すために同じ形状のトランジスタを並列に M 個配置して相互コンダクタンスを調整する方法が取られており、並列に挿入されるトランジスタの個数は M 値もしくは M ファクターと呼ばれている。本論文では、nMOS 及び pMOS について図 4.25 に示すような回路記号を用いて記述する。

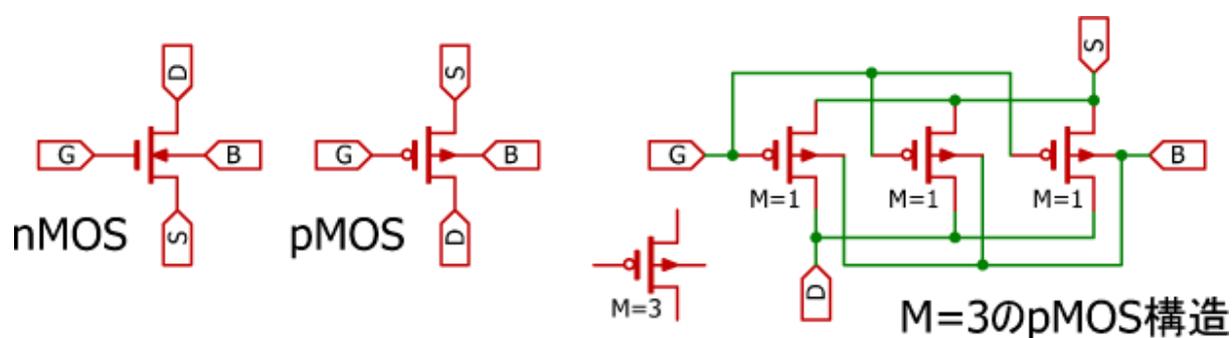


図 4.25: (左)nMOS、pMOS の回路上の記号。矢印記号はバルクからソース、ドレインへ向かう PN 接合の向きと一致している。(右)M=3 のトランジスタの構造。M=1 の同じ形状のトランジスタが 3 個並列に接続され、4 つの端子も共通化された構造になっている。

4.7.3 LSI 開発の流れ

LSI 開発のおおまかな流れを図 4.26 に示す。

1. システム設計

まず、LSI に必要な機能や最低限満たさなければならない性能など、チップに要求される仕様を確定する。具体的には、信号処理回路の仕様、チャンネル数、雑音レベル、消費電力、電源電圧、チップのサイズ等の検討を行い、最終的に仕様に適合する半導体プロセス (例えば CMOS の $0.35 \mu\text{m}$ プロセス等) を決定する。

2. 回路設計

次にシステム設計の要求を満たす回路を、トランジスタ、抵抗、コンデンサ等の基本素子で構成する。回路設計の場では回路シミュレータの入力言語である SPICE(後

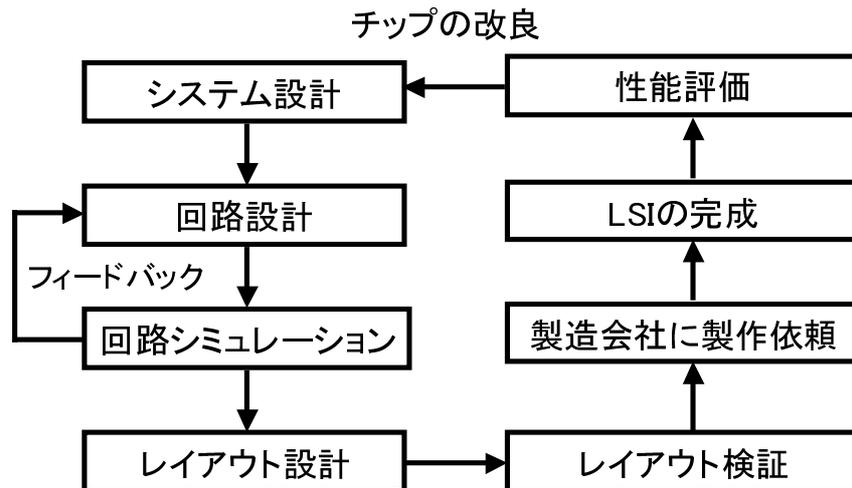


図 4.26: LSI 開発の流れ

述)による記述が標準的に用いられている。その際、IP (Intellectual Property : 知的財産) ライブラリを用いることで効率的に設計を進めることが可能である。IP ライブラリとは、検証済みの再利用可能な集積回路の構成ブロックの事であり、メーカーと守秘契約を締結することで提供を受けることができる。また日本では近年、宇宙航空研究開発機構を中心として「Analog-VLSI Open-IP プロジェクト」が推進されており、自由に公開されている IP を使用することで研究目的に最適な読み出し回路を比較的短期間に、しかも一定の確実性を持って製作することが可能となっている [64, 65]。

3. 回路シミュレーション

回路ブロックの構成後、SPICE ネットリストを用いて回路シミュレーションを行い、回路の動作検証を行う。このシミュレーション結果を随時回路設計にフィードバックすることで、仕様を満たす回路に近付けていくことが可能である。確認事項にはパルス波形の容量依存性、線形性、雑音特性、製造誤差による影響、温度特性、電源電圧の変動に対する影響、オフセット評価など、数多くの項目が存在する。

4. レイアウト設計

動作検証の完了後、SPICE 記述を元にして物理的な素子や配線のレイアウト設計を行う。アナログ信号処理回路のレイアウト設計には各チャンネルの配線の長さを揃えたり、抵抗や容量のばらつきを抑える工夫など、設計者の経験や勘に頼った領域が存在しているため自動化が困難である。そのため我々は株式会社デジアン・テクノロジーにレイアウト設計を依頼した。

5. レイアウト検証

レイアウトの完成後には、最終作業として DRC 及び LVS と呼ばれる確認作業を行う必要がある。DRC (Design Rule Check) とは、レイアウト設計データが製造工程の基準を満たしているかどうかの検証を行うことである。具体的には、配線の幅、配線間の距離、素子または打ち込み領域間の非干渉性等が対象となる。LVS (Layout Versus Schematic) とは、回路設計で作成した SPICE ネットリストと、レイアウトから抽出した SPICE ネットリストを比較照合し、必要な修正を行うものである。

6. 製造会社に製作依頼

完成したレイアウトデータを、露光マスクデータに変換して LSI の製造会社に提出し、製作を依頼する。我々は TSMC 社 (Taiwan Semiconductor Manufacturing Company) に製作を依頼した。

7. LSI の完成

LSI の完成までには、マスクデータの提出から 3ヶ月程度の時間が必要である。

8. 性能評価

完成した LSI チップに対して、様々な角度から性能評価を行う。性能評価には、半導体プロセスの評価と回路設計の評価という 2種類が存在する。もしチップに不具合が発見された場合、それが半導体プロセスの製造上の問題なのか、それとも回路設計上の問題なのかどうかを切り分けることは非常に重要である。しかし半導体プロセスの場合、製造の精度に関しては製作会社の定める一定の許容範囲があるため、常に製造誤差による影響まで考慮した回路設計を行うことが必須であると言える。以上の結果を次の回路設計に活用することで、チップの改良を行っていくことが必要である。

4.7.4 8チャンネルLSI (TIPPET08) の概要

要求及び設計仕様

PET で用いられる放射線源の放射強度は約 10 億 Bq と強力であり、1 ピクセルあたりのカウントレートも毎秒数千イベント程度と高いため、シンチレータや整形回路の時定数が長いと容易に信号が重なり合ってしまう。従って PET 用の信号処理回路には、何よりもまず高速な処理速度が必要とされる。今回 APD アレーと組み合わせる LYSO シンチレータの蛍光減衰時定数は 40 ns と短いため、整形回路の時定数は 100 ns 程度に設定した。

511 keV のガンマ線が LYSO シンチレータで相互作用を起こすとシンチレーション光が生じ、LYSO と 1 対 1 で光学結合された APD で電荷に変換され、LSI に入力される。ただし図 4.8 や図 4.13 に示すとおり、個々の LYSO 結晶や APD 素子毎に発光量や増幅率に $\pm 10 \sim 15$ % 程度のばらつきが存在するため、前置増幅器の増幅率を 0.6 倍 ~ 2.5 倍の間で可変とし補償可能な構成とした。TOF 型 PET として用いる場合には、さらに放射線の検出時間情報も出力する必要がある。その際の時間分解能はフィリップス社の 650 ps に対抗し、600 ps 以内を目標とした。

TIPPET08 の詳細な回路設計内容については小泉卒論 [66, 67] 等を参照することとし、ここでは概略を述べるに留まる。

表 4.3: TIPPET08 チップ設計パラメータ

チップ名	TIPPET08
チャンネル数	APD8 チャンネル
標準入力電荷量	-16 fC @511 keV
前置増幅器ゲイン	10 mV/fC (@ $C_f = 0.1$ pF)
ゲイン可変範囲	0.04 pF ~ 0.18 pF (8 stages)
整形時定数	128 ns
製造会社	TSMC (Taiwan Semiconductor Manufacturing Company)
製造プロセス	0.35 μ m CMOS
チップサイズ	2.85 mm \times 2.85 mm
パッド数	80
試験パッケージ	80 pin CQFP (KYOCERA QC-080380-WZ)
電源電圧	3.3 V (VDD=1.65 V, VSS=-1.65 V, GND=0 V)

回路構成

図 4.27 に TIPPET08 の全体図を示す。回路は大きく CHAIN1 と CHAIN2 に分けられる。

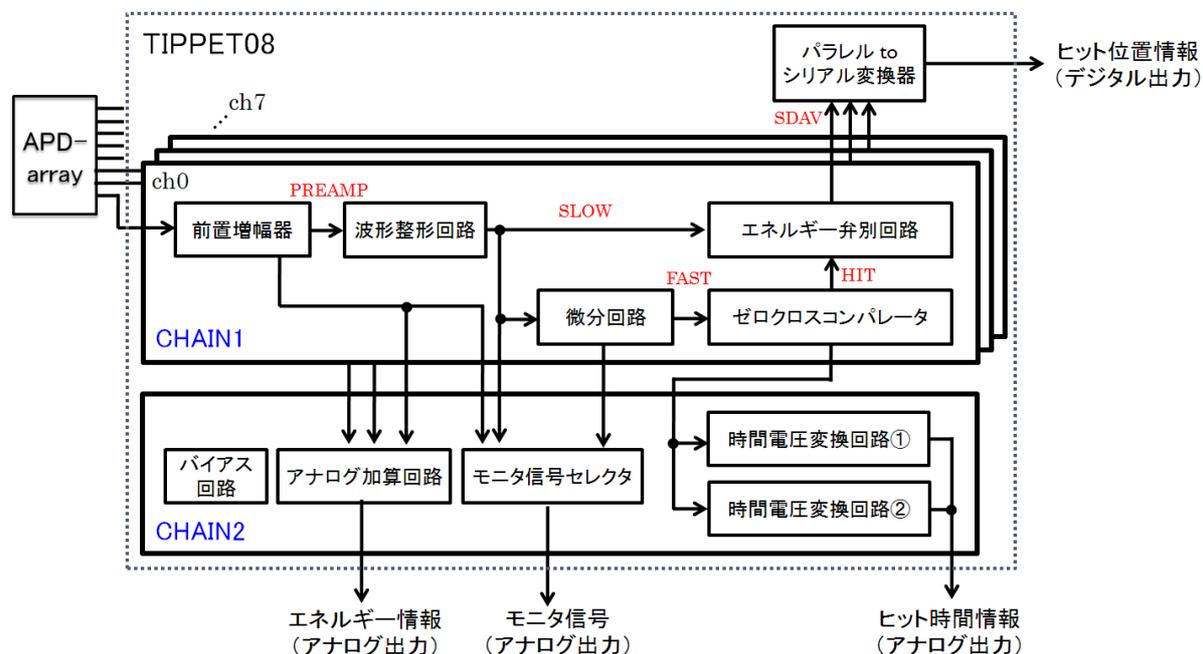


図 4.27: TIPPET08 のシステム全体図。1つのイベントに対して、CHAIN1はイベントの位置情報を、CHAIN2は時間情報とエネルギー情報をそれぞれ出力する。

CHAIN1は8系統存在し、それぞれAPDアレーの個々のピクセルに接続されている。図 4.28 に CHAIN1 における信号処理の流れを示す。APD から入力された電荷はまず前置増幅器で積分され、電圧に変換 (PREAMP) された後、波形整形回路を通じて雑音に強いガウシアン型の波形に高速に整形される。整形後の信号 (SLOW) はエネルギー弁別回路と微分回路にそれぞれ入力される。微分回路は SLOW を微分し、その後段のゼロクロスコンパレータは微分信号 (FAST) がゼロ点をクロスした瞬間、すなわち SLOW が信号のピークに達した瞬間に HIT 信号を生成し、SLOW 信号の波高から入力信号のエネルギーの弁別を行う。この方法はゼロクロス法と呼ばれ、波高のピーク位置を精度良く決定することができるという特徴がある。

エネルギーの弁別は高レベル、低レベルの2つのコンパレータを用いて行われ、511 keV のイベントを弁別するために例えば高レベルは 600 keV、低レベルは 400 keV 相当の電圧に設定されている。従って低レベル側のコンパレータが ON、高レベル側が OFF であればそのイベントは "511 keV の光電ピークとして" 妥当であると判断される。HIT したチャンネルのアドレス情報はシリアル変換された後に 8 bit のデジタル信号で出力される。

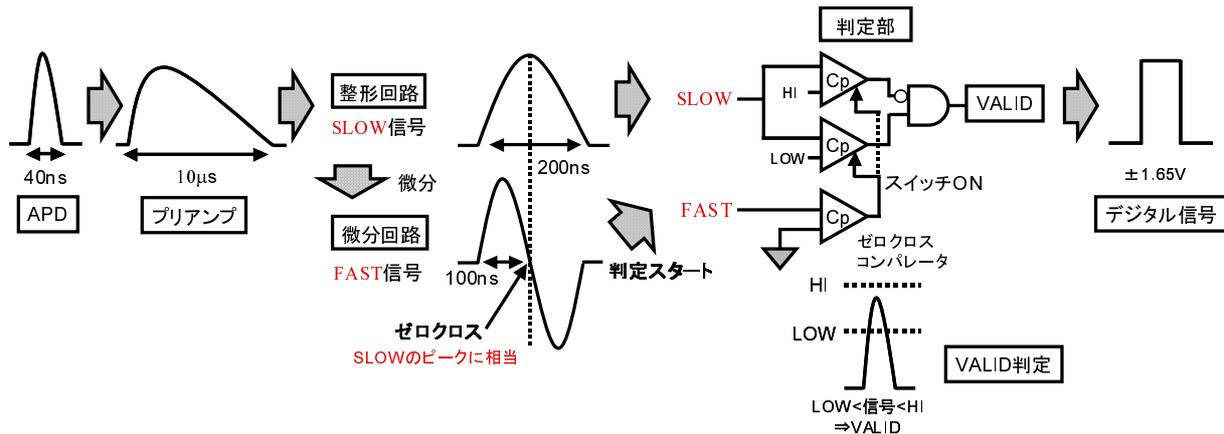


図 4.28: CHAIN1 における信号処理内容

一方 CHAIN2 は 1 系統だけ存在し、全てのチャンネルに共通する処理を行う。図 4.29 に CHAIN2 における信号処理の内容を示す。アナログ加算回路は全チャンネルの PREAMP 信号に対して加算・整形処理を行い、イベントのエネルギー情報をアナログで出力する (ASUM)。アナログ加算回路の整形時定数は CHAIN1 の波形整形回路よりも長めに設定されており、S/N 比の更なる改善やピークホールド型 ADC との相性を意識した設計となっている。

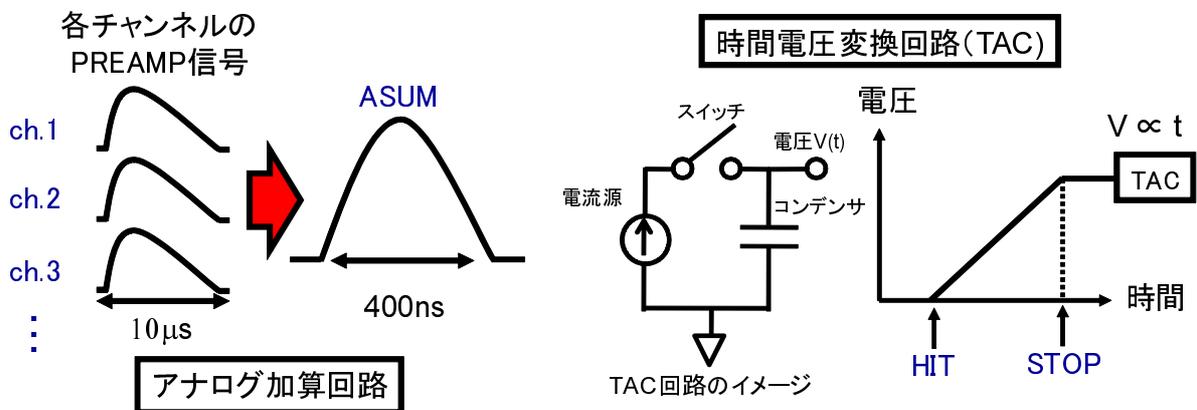


図 4.29: CHAIN2 における信号処理内容

2 系統存在する時間電圧変換回路 (TAC : Time-to-Amplitude Converter) はイベントの時間情報を得るための回路であり、等価的には電流源、スイッチ、コンデンサから構成されている。あるチャンネルでゼロクロスコンパレータが ON になり HIT 信号が生成されると、TAC 回路のスイッチが ON になり、電流源から流れ出す電流がコンデンサで充電されていく。電流の量は一定に制御されているため、一定時間後に STOP 信号を入力してスイッチを OFF にすると、HIT してから STOP が入力されるまでの時間に比例した電

圧が出力される。従って TAC 回路の傾きが分かっているならば、出力電圧から逆算をしてイベントの起こった時間を求めることができる。実際に LSI に内蔵され、100 ps 程度の時間分解能を達成した例がある [68]。

このように TAC 回路は単純な仕組みで高精度な時間情報を得られるというメリットがあるが、同時に欠点も存在する。真の HIT 時間を得るためには TAC 回路の傾き (dV/dt) をあらかじめ調べておき、出力電圧から逆算をする必要があるが、実際には温度環境や電源電圧の変動などによる影響で電流オフセットが生じてしまい、傾きが常に一定とは限らない。従ってある時点で測定した TAC の傾きを校正に用いると、正しい HIT 時間とは別の時間情報になってしまう場合がある。また電流オフセットは製造プロセスの誤差によっても生じる可能性があり、PET 装置のように多数のチップを使用する場合、TAC 回路の傾きもある程度のばらつきを持ってしまうため個別の素子評価も必須となる。以上の点から、目標とする数 100 ps 程度の時間分解能を達成するためには装置の運用にあたってかなりの負担が生じてしまうことがわかる。そこで、TAC 回路のこのような欠点を補うべく池田博一教授によりダブルストップ方式が考案された (図 4.30)。ダブルストップ方式では TAC 回路を 2 系統用意し、STOP 信号を一定の時間間隔で 2 回入力することに特徴がある。時間間隔が一定であるため、TAC1 と TAC2 の出力電圧の差から常に TAC 回路の傾きを測定することができ、電流オフセットの変化に対してもリアルタイムに補正を行うことが可能となる。

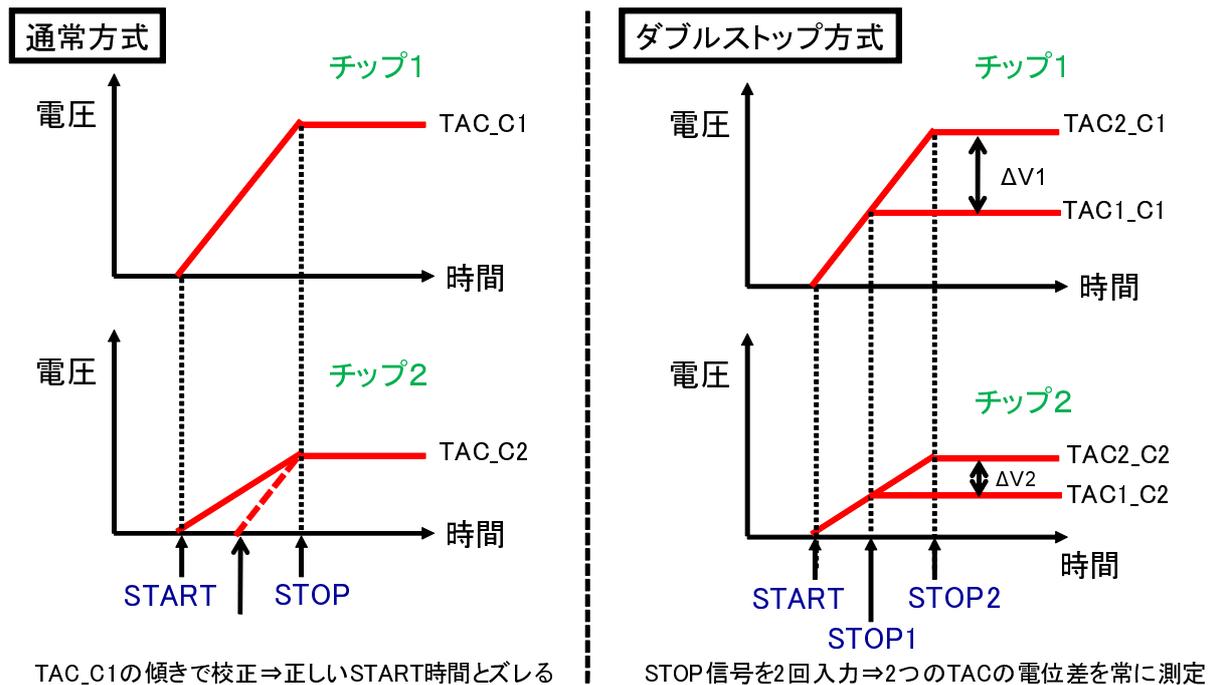


図 4.30: ダブルストップ方式の仕組み。TAC回路が1系統しか無い場合には電流オフセットの変化に対応不可能だが、TAC回路を2系統設けてSTOP信号を2回入力することでTACの傾きを常時モニタし環境の変化にも対応することができる。

集積回路の場合は個別に回路素子を組む場合と異なり、回路上でモニタしたい信号があってもテスタやオシロスコープで自由に観察することができない。そこで、最低限必要な回路上の要点だけチップの製作後もモニタ可能となるように設計を行った。具体的にはCHAIN1におけるPREAMP、SLOW、FAST、検出器漏れ電流の各信号についてセレクタを通して外部に出力する仕組みとなっており、回路の動作確認や性能評価に利用することが可能である。

LSIの各チャンネルにはLSIの完成後にも様々な調整が行えるようコントロールレジスタと呼ばれるレジスタ群が用意されており、CHAIN1には前置増幅器のゲインや信号のオフセット電圧などを調整するローカルコントロールレジスタ(LCR: Local Control Register)が、CHAIN2にはアナログ加算回路のオフセット電圧の調整やモニタ信号を選択するためのセントラルコントロールレジスタ(CCR: Central Control Register)がそれぞれ用意されている。LCRの各ビットの役割を表4.4に、CCRの各ビットの役割を表4.5に示す。またCHAIN2にはLSI内部の信号を選択するためのマルチプレクサが内蔵されており、表4.6に示すような設定で出力信号を選択することができる。

ビット	役割	変化量/1bit
D0–D2	前置増幅器の帰還抵抗の設定	2 ~ 60 MΩ
D3–D5	前置増幅器の帰還容量の設定	0.02 pF
D6	SLOW のオフセット電圧の極性反転	1= + , 0=-
D7–D10	SLOW のオフセット電圧の微調整	8.5 mV
D11	FAST のしきい値電圧の極性反転	1= + , 0=-
D12–D15	FAST のしきい値電圧の微調整	4 mV
D16 (TPENB)	HI でテストパルスを入力不可にする	N/A
D17 (KILL)	HI でそのチャンネルを使用不可にする	N/A

表 4.4: ローカルコントロールレジスタの各ビットの役割

ビット	役割	変化量/1bit
D0–D2	アナログ加算回路のオフセットの調整	37 mV
D3, D4	モニタ出力信号の指定	N/A
D5–D13	9bit の ID 番号	100000011

表 4.5: セントラルコントロールレジスタの各ビットの役割

D3	D4	MONITOR
0	0	PREAMP
0	1	SLOW
1	0	FAST
1	1	漏れ電流

表 4.6: モニタ出力信号の選択

4.8 APD-PET用8チャンネルLSIの性能評価

4.8.1 セットアップ

TIPPET08 チップの設計データは2007年3月2日にTSMCのMOSIS試作サービスにサブミットされ、5月29日に完成後の40チップが納入された。

セラミックパッケージ

LSIの評価を行うためには、取り扱いの難しいベアチップを頑丈な評価用のパッケージに封入する必要がある。TIPPET08チップは全部で40個製造された後、全て評価試験用としてシリコンソーシアム株式会社により80pinの京セラ製CQFP(Ceramic Quad Flat Package)パッケージ(KYOCERA QC-080380-WZ)に封入された。今回採用した80pinパッケージは縦16pin、横24pinという横長な構造をしているため、ボンディングダイアグラムは図4.31のようなピン配置となった。また図4.32にベアチップの写真及び封入後のチップの写真をそれぞれ示す。

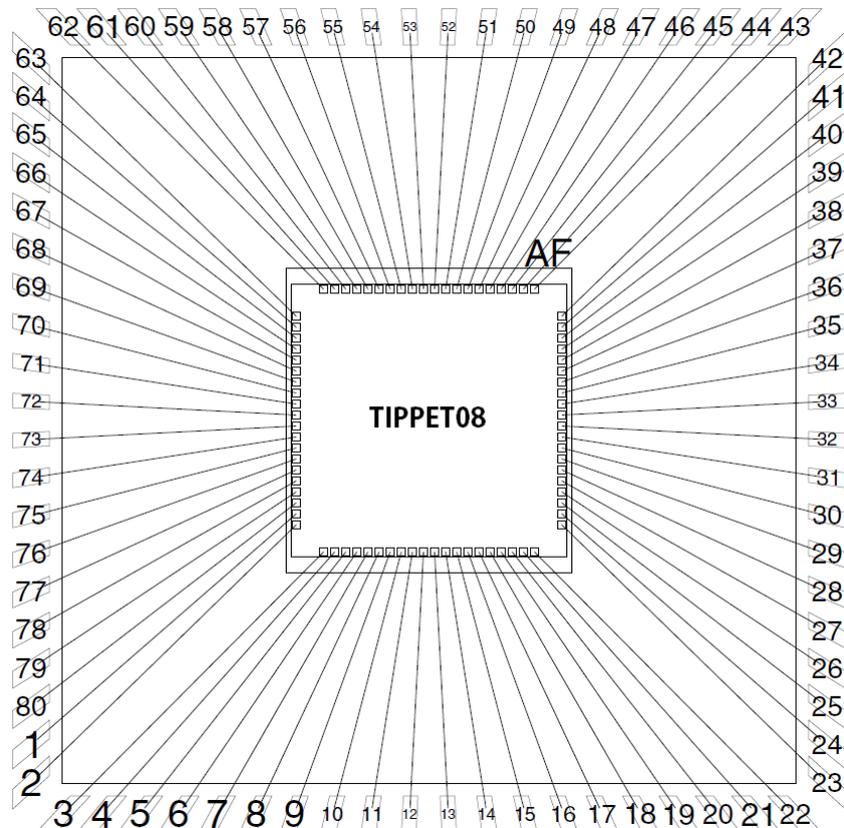


図 4.31: TIPPET08 のボンディングダイアグラム

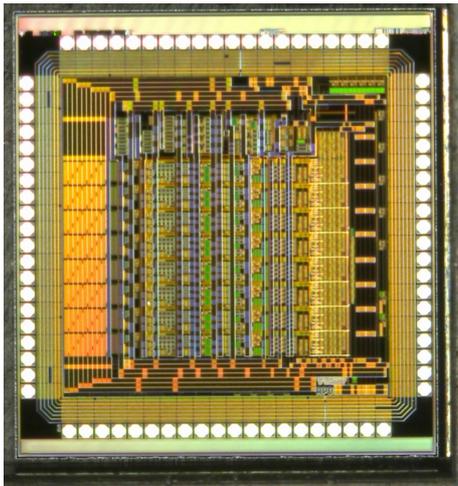


図 4.32: 完成した TIPPET08 チップ。(左) ベアチップの写真。チップサイズは $2.85 \times 2.85 \text{ mm}^2$ である。(右) 80 pin のセラミックパッケージに封入後に試験を行った。パッケージサイズは $14 \times 20 \text{ mm}^2$ である。

評価用基板の製作

LSI の性能評価にあたり、まず専用評価基板の製作を行った。評価用基板は主にチップへの電力供給、入出力信号の引き出し、バイアス電圧生成回路用バイパスコンデンサの接続、可変抵抗を用いたバイアス電流の調整及び各種スレッシュホールド電圧の設定等を目的としたものである。ベタパターンのグランド層及び電源層を備えた 4 層基板となっていること、また周波数特性の良い OS コンデンサ² を電源用バイパスコンデンサに用いていることにより、外部からの雑音の混入をできる限り防ぐ構造となっている。また以後の評価試験は全てアルミのシールドケース内に基板を配置して行った。基板のアートワーク³ 及び LSI ソケット等の実装作業は有限会社ジー・エヌ・ディーに依頼した。図 4.33 に試験基板の外観図を示す。

モニタ用の信号など LSI から出力されるアナログ信号は出力インピーダンスが高く、直接オシロスコープに接続すると波高が大きく減衰してしまう。従って正しい信号をモニタするために出力端子の直近にボルテージフォロワ回路を配置し、インピーダンス変換を行った後にオシロスコープに入力するといった対策を行う必要があった。図 4.34 に製作したインピーダンス変換用の増幅回路を示す。+1 倍、-10 倍、+10 倍の 3 種類の出力が

² 電子伝導度の高い導電性高分子や有機半導体を電解質に用いており、優れた高周波特性を有する。

³ 用意された回路図を元にプリント基板の配線パターンを引く作業

可能となっており、特に ± 10 倍出力についてはオフセット電圧をカットする機能により全チャンネルの相対ゲインの測定等を容易に行うことが可能となった。

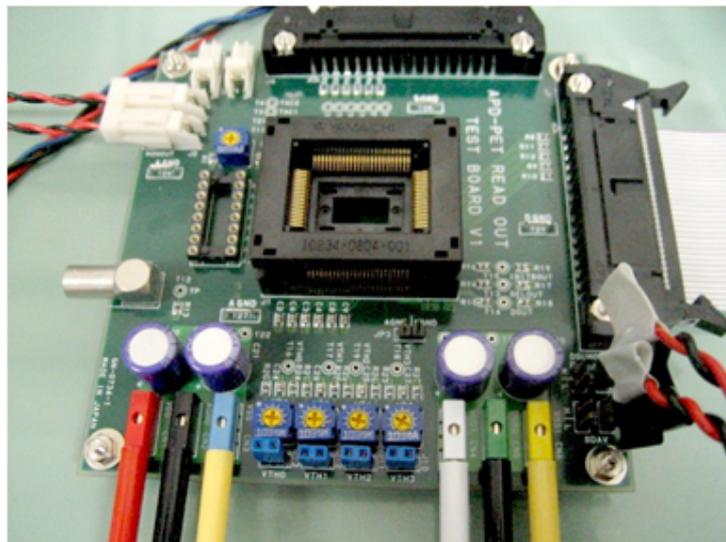


図 4.33: TIPPET08 の評価用基板。基板サイズは 10 cm×10 cm である。

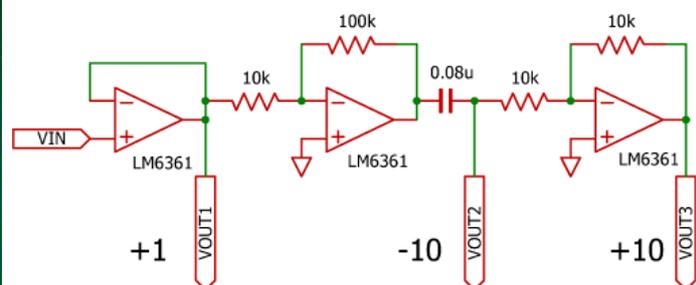


図 4.34: 製作した 10 倍増幅器。3 種類の出力が可能である。 (左) 外観図 (右) 回路図

Labview-FPGA モジュール

TIPPET08 は既に述べたように各チャンネル毎にコントロールレジスタが搭載されており、外部からデジタル信号を入力することでゲインやオフセット電圧の調整が可能となっている。またどのチャンネルに信号が HIT したのかというアドレス情報を引き出す場合にも、適切な読み出し信号を入力する必要がある。そこで我々は、それらの信号パターンを容易に生成・出力できる装置として、ナショナル・インスツルメンツ社が開発した LabVIEW (Laboratory Virtual Instrument Engineering Workbench) をベースとしたシステムを新規に構築することにした。LabVIEW はグラフィカルプログラミング言語「G」をベースにした計測制御用のプログラム開発環境であり、専用のデータ収集 (DAQ : Data Acquisition) ボードと組み合わせる事で、グラフィカルにプログラミングしたテストパターンを自在に出力することができる。テキストベースの開発環境に比べ、直感的なプログラミングによりプログラム開発期間の短縮が可能である。しかしながら、従来の LabVIEW 環境は PC 上の CPU でソフトウェア的に信号の処理を行う必要があり、外部から信号が入力されてから適切な処理を行った後に信号を出力するまでの応答時間に数十 ms 単位の時間がかかってしまうという問題があった。TIPPET08 ではテスト信号が入力されてから 1 μ s 以内に信号の処理が完了するが、従来の LabVIEW システムでは LSI の高速性能を活かすことができず、高レートな環境で評価を行う事が不可能である。

そこで今回は DAQ ボード上の FPGA で信号の制御を行う Labview-FPGA モジュールを選択した。Labview-FPGA モジュールは従来と同等のグラフィカルな環境でプログラミングされた命令をハードウェア記述言語 (HDL : Hardware Description Language) に翻訳した後、DAQ ボード上に搭載された FPGA (Field Programmable Gate Array) 上に実際にデジタル回路を実装し、ハードウェア的に信号の処理を行うことができる。そのため応答速度は 25 ns 単位まで短縮化され、評価試験の大幅な効率化が可能となった。図 4.35 に Labview-FPGA モジュールを用いた評価環境を示す。

Labview-FPGA モジュール用の DAQ ボードとしては PCI-7833R を選択した。PCI-7833R は 300 万ゲート級の FPGA を搭載しており、40 MHz のクロック信号で動作する。従って 25 ns 間隔でユーザー定義のトリガ、タイミング処理、オンボードでの条件判断が可能である。さらにサンプリングレートは 200 kS/s と遅いが、16 bit の分解能を持つ ADC 及び DAC を内蔵しており、DC オフセット電圧の測定等を高精度に行うことができる。

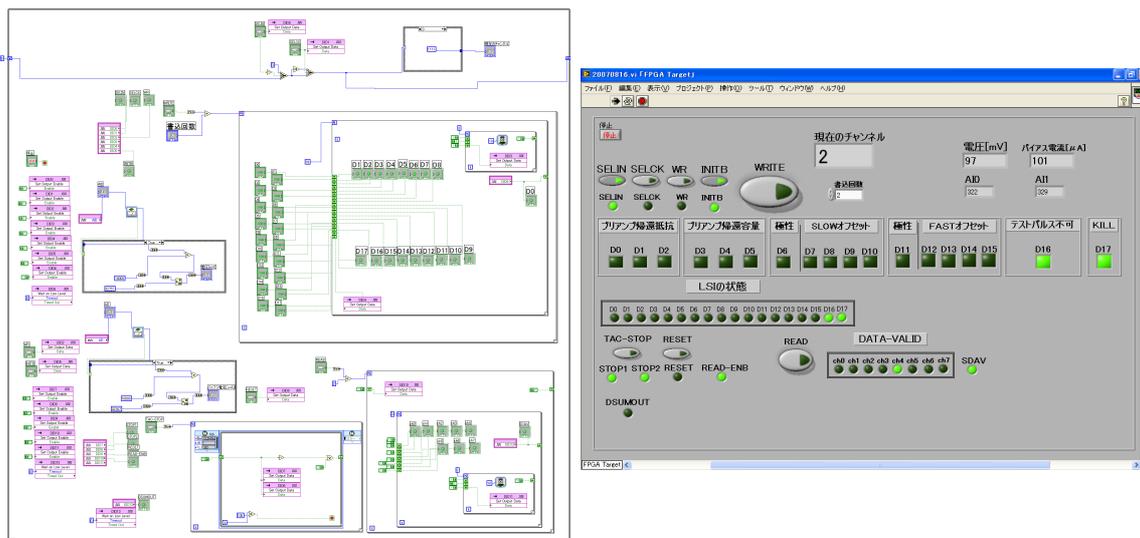


図 4.35: LabVIEW-FPGA モジュールを用いた開発環境。(左) 評価に用いたプログラム (ブロックダイアグラム)。グラフィカルなインターフェースが特徴である。(右) 評価に用いたフロントパネル。各種レジスタの設定や HIT アドレスの読み出し等が可能である。

実験セットアップ

図 4.36 に実験のセットアップを示す。LSI の評価基板は外部雑音の影響を抑えるためアルミケースに収められている。LSI への電源供給ラインはアナログ系 (VDD、VSS、AGND) とデジタル系 (VDD1、VSS1、DGND) の 2 系統に分割されており、デジタル系からアナログ系への信号の干渉を防いでいる。100 μ A のバイアス電流 (IBIAS) 及び各種コンパレータのしきい値電圧 (VTH [0:3]) の設定などは評価基板上に設置された可変抵抗を用いて行う。8 チャンネルの APD 入力 (AIN [0:7]) は 16 pin の DIP ソケットを通して APD アレーと接続される。信号モニタ出力及び 2 系統の TAC 回路出力は直近に設置されたアナログバッファ回路で増幅された後、オシロスコープでの波形観測や ADC での電圧値評価などに用いられる。アドレスの読み出し命令やチャンネル毎のレジスタの設定などを行うインターフェース信号は、LabVIEW-FPGA 用の端子台 (SCB-68) からの TTL 信号を信号変換モジュールを用いて LVDS や LVC MOS レベルに変換した後に LSI に入力される。LSI からの高速な HIT 時間情報、HIT アドレス情報出力は、同様に TTL 信号への変換モジュールを通して端子台に入力される。オペレーション用の Windows PC には 2 種類の PCI ボードが挿入されており、LabVIEW や ADC の制御を行う。

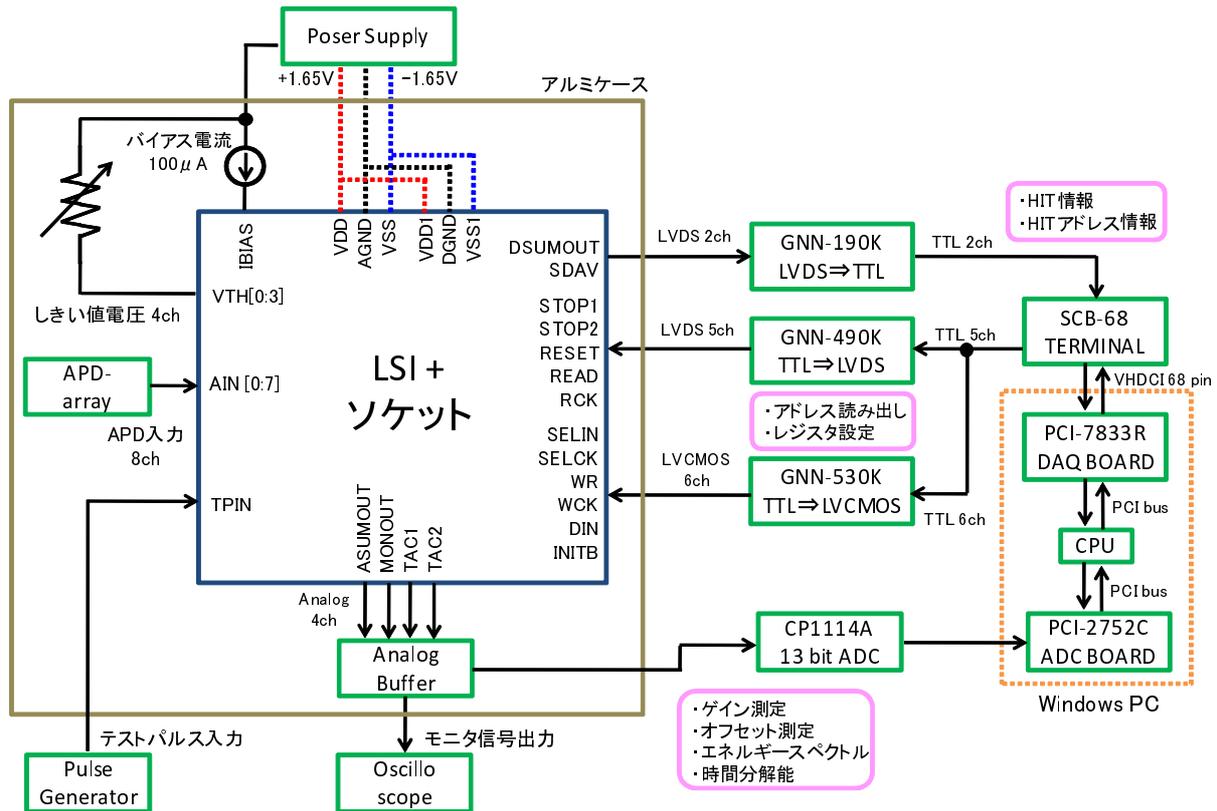


図 4.36: TIPPET08 の評価用セットアップ図

4.8.2 基礎特性評価

バイアス電圧の確認

バイアス電圧は回路上の各トランジスタに対して指定した電流を流す定電流源となるよう設定するためのゲート電圧である。トランジスタの形状や M 値で決まる相互コンダクタンスがシミュレーションの期待値と等しければバイアス電圧の値は変わらないが、製造プロセスの誤差で相互コンダクタンスが変わるとバイアス電圧は理想的な値からずれる。従って製造プロセスの成否を判断するためにはバイアス電圧の値がシミュレーションの期待値に対しどの程度ずれているかを確認する必要がある。全てのチャンネルで信号処理動作が確認されているチップについてバイアス電流を $100 \mu A$ に設定し、バイアス電圧が適切に生成されているかどうかを確認した結果を表 4.7 に示す。VH は pMOSFET 用、VL は nMOSFET 用のバイアス電圧であり、各々の電圧値はゲート-ソース間電圧 V_{GS} を表している。

バイアス電圧	対象	シミュレーション値 [mV]	測定値 [mV]	誤差 [%]
VH1	pMOS	-1626	-1557	-4.24
VL1	nMOS	1623	1460	-10.0
VH2	pMOS	-744	-764	+2.69
VH3	pMOS	-1347	-1451	+7.72
VL3	nMOS	1116	1175	+5.29
VL4	nMOS	693	712	+2.74

表 4.7: バイアス電圧の確認

表 4.7 から、各々のバイアス電圧のシミュレーション値との誤差は 10 %以内の範囲に収まっており、ほぼシミュレーション通りの値となっていることがわかる。

消費電力

LSI チップの消費電力は LSI に電力を供給する各電源の電圧値と、電源から定常的に流れ出す電流値の積で表すことができる。各電源の消費電力を測定した結果を表 4.8 に示す。

電源	電圧 [V]	電流 [mA]	消費電力 [mW]
アナログ回路用正極電源 (VDD)	1.65	10.0	16.5
アナログ回路用負極電源 (VSS)	-1.65	14.0	23.1
デジタル回路用正極電源 (VDD1)	1.65	4.0	6.6
デジタル回路用負極電源 (VSS1)	-1.65	5.0	8.3
アナログ系総合	1.65	24.0	39.6
デジタル系総合	1.65	9.0	14.9
総計	1.65	33.0	54.5

表 4.8: TIPPET08 の消費電力

従って TIPPET08 チップの消費電力はアナログ系で 39.6 mW、デジタル系で 14.9 mW となり、合計で 54.5 mW 程度であることがわかった。これはアナログ系 37.0 mW、デジタル系 12.2 mW、合計 49.2 mW というシミュレーションから得られた見積と概ね等しい値である。また読み出し回路 1 チャンネルあたりの消費電力は 6.8 mW 程度となり、十分な低消費電力を実現していることが分かった。

信号波形

511 keV のガンマ線を検出した際に LSI 入力される電荷量 (-16 fC) に相当するテストパルスを入力し、信号の波形を確認した。シミュレーション結果と実際の波形を比較した図を図 4.37 に示す。なお LSI の信号波形は一度に 1 種類の信号しかモニタできないため、図 4.37 右の図はテストパルスを入力してから一定時間後の信号を 4 つ重ねてプロットしている。実測波形はシミュレーション結果を概ね反映しており、ゲインや整形時定数に若干の違いが見られるものの、動作上は全く影響の無いレベルであった。

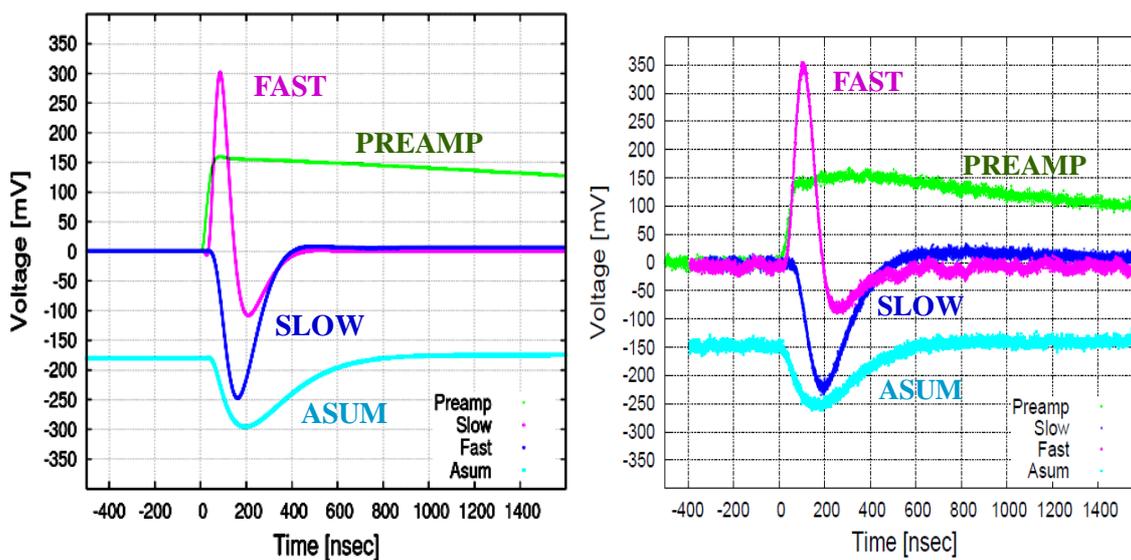


図 4.37: 511 keV に相当するテストパルスを入力した際の信号波形。ゲインや整形時定数に若干の違いが見られるが、概ねシミュレーション結果を反映した波形になっていることが分かる。
(左) シミュレーション結果 (右) 実測結果

4.8.3 ばらつき評価

オフセット分布

8チャンネル×40チップ、全320チャンネルのオフセット電圧のばらつきを評価するため、各チップのPREAMP、SLOW、FASTのモニタ信号についてオフセット電圧の測定を行った。電圧の測定はDAQボードに搭載されている16bitのADCを用いて、100回分の測定値の平均値をオフセット電圧として記録した。PREAMPの結果を図4.38に、SLOWの結果を図4.39に、FASTの結果を図4.40にそれぞれ示す。

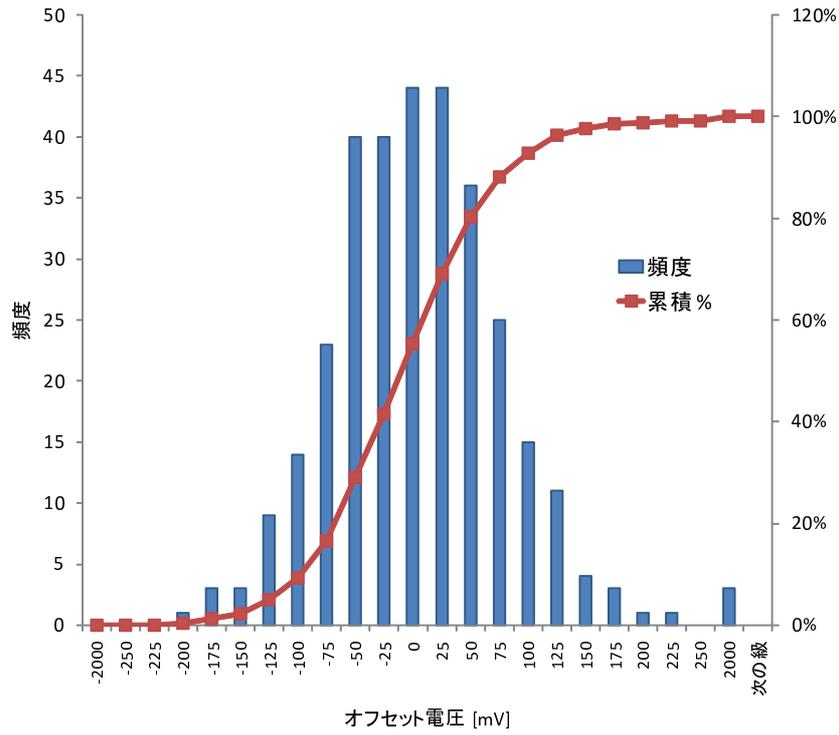


図 4.38: 前置増幅器出力 (PREAMP) のオフセット電圧の分布

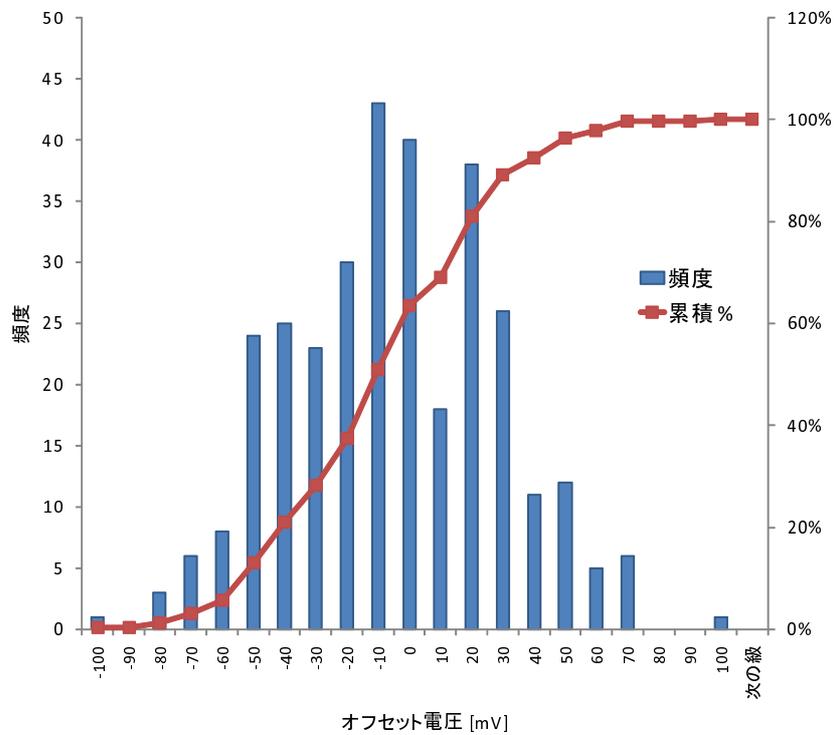


図 4.39: 波形整形回路出力 (SLOW) のオフセット電圧の分布

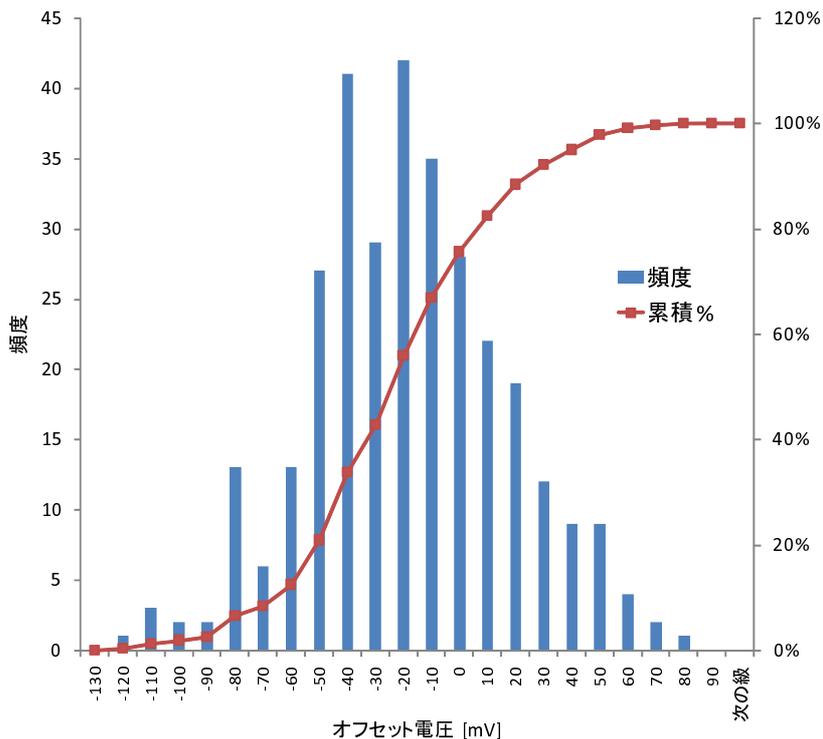


図 4.40: 微分回路出力 (FAST) のオフセット電圧の分布

信号ラインにオフセット電圧が存在すると、イベントの正しいエネルギー情報や時間情報を得ることができない。オフセット電圧は主に前段の出力増幅器や帰還回路の入力差動対の特性にばらつきがある場合に生じるため、あらかじめそれを見越した対策が必要となる。TIPPET08 では表 4.4 に示すように各チャンネルに搭載されたローカルコントロールレジスタの値を設定することである程度オフセット電圧の調整ができるような構成になっている。なお本試験ではオフセット電圧の調整を行う前のデフォルトセッティングの状態で行ったが、そのままでは前置増幅器出力のオフセット電圧が電源電圧に張り付いてしまって信号波形が見えないチャンネルが全 320 チャンネル中 29 チャンネル存在した。そのうちマイナス側に張り付いているものが 8 チャンネル、プラス側に張り付いているものが 21 チャンネルであった。これらのチャンネルに対しては前置増幅器の帰還量が十分では無いと判断したため、帰還抵抗の値を小さくする、バイアス電流の値を大きくする等の対策を講じた結果、その数は最終的に 3 チャンネルにまで減少した。従ってアナログ処理回路部分の素子歩留まりは 99.1 %ということになる。

図 4.38 を見ると、PREAMP 出力のオフセットの分布は GND を基準にしてほぼ左右対称な形をしていることがわかる。信号の見えない 3 チャンネルを除いた全チャンネルの PREAMP 出力のオフセット電圧の平均値は -10.0 mV となった。8 チャンネル全てが使

用可能なチップは 40 個中 37 個であるが、帰還抵抗やバイアス電流の値を調整したチャンネルの一部には信号の歪みが大きいという問題が残った。

図 4.39 を見ると、SLOW 出力のオフセットの分布はややばらつきが大きいものの、ほぼ GND を中心とした分布になっていることがわかる。オフセットの平均値は -9.3 mV 、最大値は平均値 $\pm 100 \text{ mV}$ 程度である。SLOW のオフセット電圧は、レジスタの設定を変えることで GND から $\pm 130 \text{ mV}$ まで調整可能であるため、全てのチップに対してオフセットの影響を打ち消すことが可能である。

図 4.40 を見ると、FAST 出力のオフセットの分布は全体的にややマイナス側寄りになっている。オフセットの平均値は -23.0 mV 、最大値は平均値 $\pm 100 \text{ mV}$ 程度である。FAST のしきい値電圧は、レジスタの設定を変えることで GND から $\pm 80 \text{ mV}$ まで調整可能であるが、その範囲を超えるチャンネルが 9 チャンネル存在することが判明した。

ゲイン分布

次に 40 個のチップの各前置増幅器のゲインのばらつきを測定した。ゲインの値は、 511 keV 相当の電荷入力に対する前置増幅器出力 (PREAMP) について、オフセット電圧をカットした上で得られた平均電圧値を入力電圧で割った値とした。レジスタによるゲインの設定値はデフォルト状態の 2.5 倍 (入力側 0.1 pF 、帰還容量 0.04 pF) として測定を行った。結果を図 4.41 に示す。

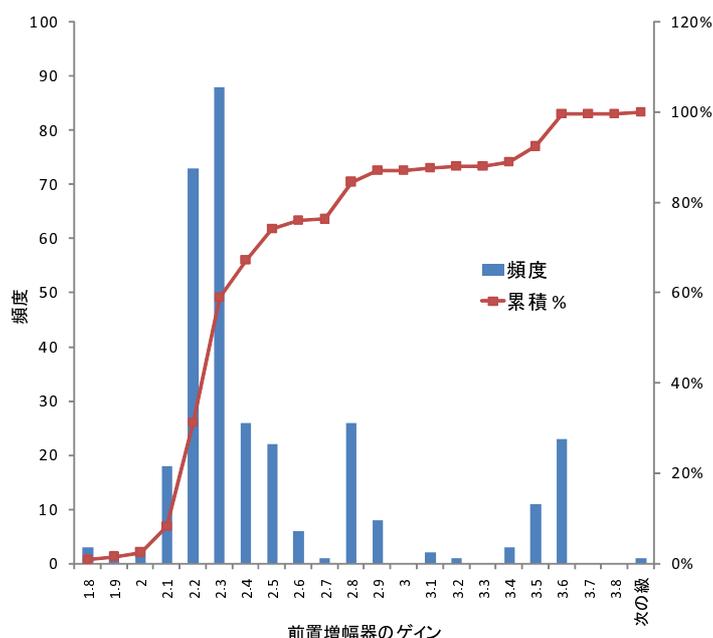


図 4.41: 前置増幅器出力 (PREAMP) のゲインの分布

図 4.41 を見ると、ゲインの分布は大きく 3 箇所に分かれている。2.3 倍程度にピークを持つメインの分布と、2.8 倍程度、3.6 倍程度にピークを持つ 2 つの小さな分布である。チャンネル番号毎の平均値を求めると、チャンネル 0~5 に関しては 2.2~2.3 倍程度でほぼ一定だが、チャンネル 6 の平均値は 2.8 倍、チャンネル 7 の平均値は 3.5 倍となっており、設定値である 2.5 倍を大幅に超えてしまっていることがわかる。これはテストパルスの入力端子がチャンネル 7 寄りに配置されているため、正規の信号ルート以外のルートからの信号の漏れ込みが無視できない程度存在するためであると考えられる。全チャンネルのゲインの平均値は 2.45 倍となった。

4.8.4 アナログ回路評価

線形性評価

線形性とは様々な入力電荷量に対して出力電圧が比例関係を維持できるかどうかを表す指標であり、線形性が悪い場合には出力波高から入力電荷量、すなわち放射線のエネルギーを求める精度が悪くなってしまふ。本試験では、エネルギー弁別に用いる波形整形回路出力信号 (SLOW) について、0 から -25 fC までの範囲 (0 ~ 800 keV 相当) のテスト電荷に対してどの程度まで線形性が保たれているかを評価した。図 4.42 に結果を示す。 -3.8 fC から -20 fC までの範囲 (120 ~ 640 keV) で $\pm 3 \%$ 以内の線形性が保たれており、511 keV の信号の弁別には支障が無いことが分かった。

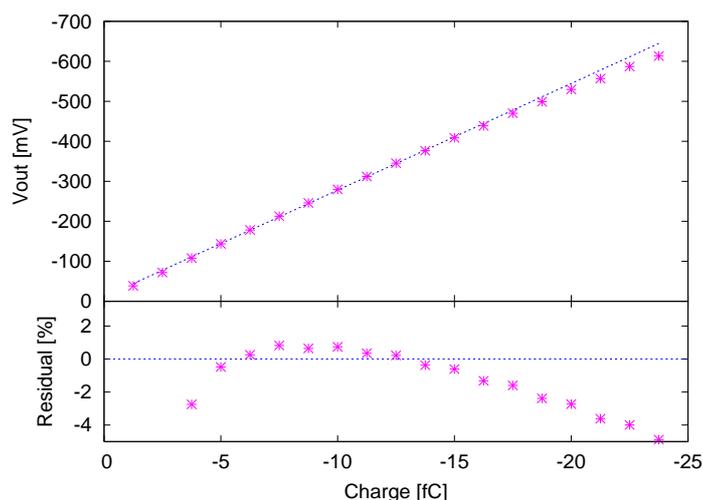


図 4.42: 波形整形回路出力 (SLOW) の線形性評価

雑音評価

波形整形回路出力である SLOW、及びその微分信号である FAST のモニタ出力を用いて、雑音レベルの評価を行った。一般に雑音は回路の入力容量である検出器容量に対して依存性を持つため、本実験では評価基板に検出器容量を模擬した 0~47 pF の入力容量を接続して評価を行った。評価方法としてはテスト電荷として 511 keV 相当である -160 mV (-16 fC) のテストパルスを入力し、モニタ信号の電圧スペクトルに対してガウシアンによるフィッティングを行い、 1σ に相当する電圧値を雑音電圧とした。横軸に検出器容量、縦軸に等価雑音電子数 (ENC) 及び S/N 比をプロットした図を図 4.43 に、シミュレーション結果と実験結果を比較した図を図 4.44 にそれぞれ示す。

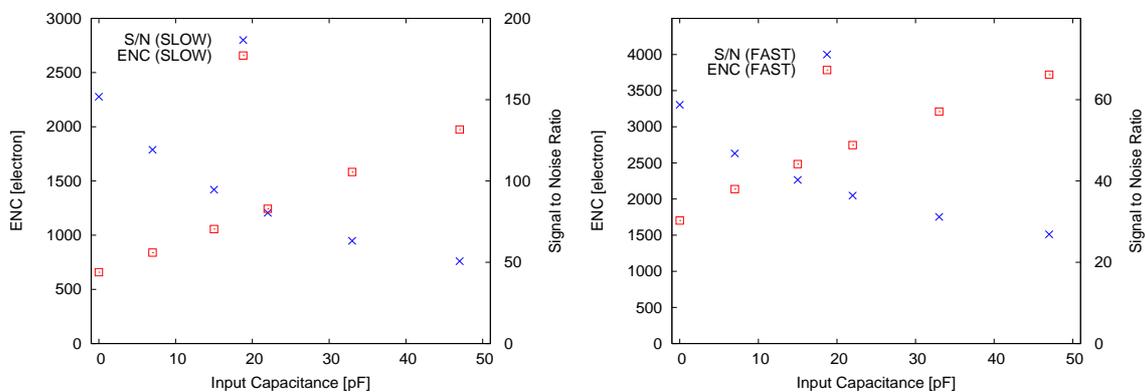


図 4.43: 検出器容量に対する等価雑音電子数 (ENC) 及び信号対雑音比 (S/N 比)。ENC は検出器容量に対して概ね比例している。(左) 波形整形回路出力 (SLOW) (右) 微分回路出力 (FAST)

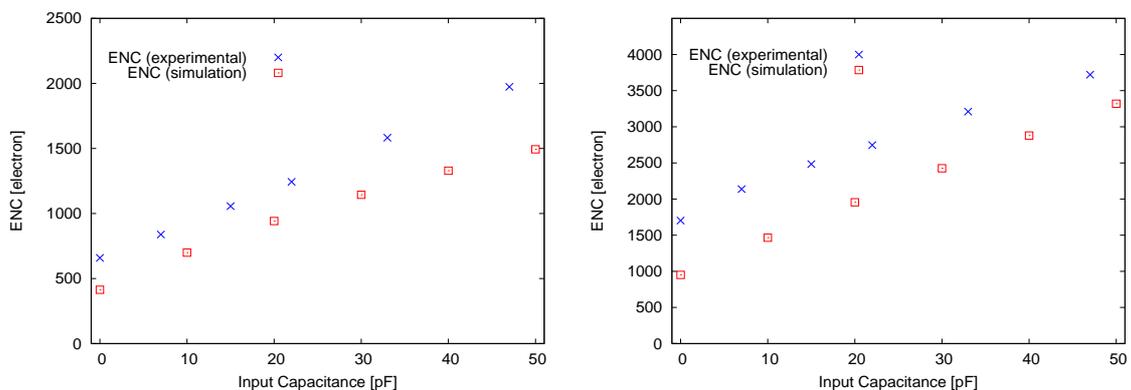


図 4.44: シミュレーション結果と実験結果の雑音比較。浮遊容量の影響により雑音レベルはかなり悪化していることが分かる。(左) 波形整形回路出力 (SLOW) (右) 微分回路出力 (FAST)

図 4.43 を見ると、SLOW に関しては 0 から 50 pF までの領域で S/N 比は 50 倍以上の値を確保しており、雑音による影響は実用上無視できる程度には収まっていることが分かった。しかし図 4.44 に示されるように、シミュレーションによる理論値に比べるとかなり大きな雑音レベルとなっている。これはパッケージや評価基板の浮遊容量が 10 pF 程度存在しているためであると考えられる。等価雑音電子数に換算した雑音レベルは SLOW の場合シミュレーション結果の $410 + 20 e^-/pF$ に対して $660 + 28 e^-/pF$ となった。また FAST の場合はシミュレーション結果の $950 + 50 e^-/pF$ に対して $1700 + 43 e^-/pF$ となった。

信号ラインの雑音評価

前述のモニタ出力による雑音測定では、外部出力用のバッファ回路を通していているためデジタル系を含めた真の信号ラインの雑音を評価することができない。また本回路はゼロクロス法を用いているが、ゼロクロスコンパレータが本当に SLOW 信号の波高のピークを検出しているかどうか確認する必要がある。以上の要請から、信号ラインの真の雑音を評価するため新たなセットアップを行った。図 4.45 に信号ラインの雑音測定の原理を示す。

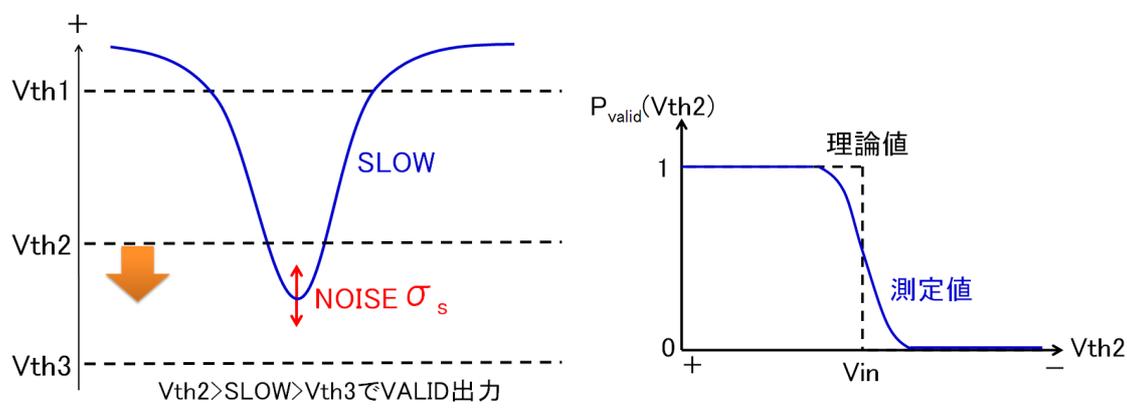


図 4.45: 信号ラインの真の雑音レベルを測定するための原理図。左図に示すようにエネルギー弁別回路では波形整形回路出力 (SLOW) に対して V_{th2} と V_{th3} のしきい値電圧を持つ 2 つのコンパレータを用いて VALID 判定を行うが、実際の SLOW 信号には σ_s に相当する雑音成分が重畳しているため、右図のように一定の SLOW 信号に対して V_{th2} をプラス側からマイナス側へ移動させて行った時に VALID と判定される確率は理論値であるステップ関数に対しばらつきを持つ。

本回路のアナログ処理ラインには各チャンネル毎に 4 つのコンパレータが搭載されており、ゼロクロス判定をするための V_{th0} 、ゲート信号を生成するための V_{th1} 、エネルギー

弁別の下限を決める V_{th2} 、上限を決める V_{th3} をそれぞれ適切に設定することが可能である。SLOW 信号は負極性であるため、図 4.45 左においてもし信号ラインの雑音は全く無ければ、 V_{th2} よりプラス側の入力電圧については全てカットされ、 V_{th2} よりマイナス側の入力電圧については全て VALID であると判断される。すなわち、次のような確率

$$P_{valid}(V_{th2}) \equiv \frac{VALID \text{ 数}}{\text{入力パルス数}} \quad (4.4)$$

を定義すれば、図 4.45 右の理論値として示すように $V_{in} < V_{th2}$ では $P_{valid} = 1$ 、 $V_{in} > V_{th2}$ では $P_{valid} = 0$ となるはずである。しかし実際の信号ラインには σ_s に相当する雑音成分が重畳するため、図 4.45 右の測定値のようにやや鈍った分布になってしまう。一般に雑音成分は正規分布で近似できるため、入力電圧 V_{in} は平均値 V_μ に対して標準偏差 $\pm\sigma_s$ を持つ正規分布であると仮定し、あるピーク電圧値をとる確率を $P_{peak}(V_{in})$ とすると、 $P_{valid}(V_{th2})$ は

$$P_{valid}(V_{th2}) = \int_{V_{th2}}^{\infty} P_{peak}(V_{in}) \quad (4.5)$$

のように表せる (図 4.46)。従って様々な V_{th2} 電圧に対して例えば 1 万発ずつテストパルスを入力すると共に VALID 信号が出力された数をカウントし、その確率を求めることで信号ラインに乗っている雑音電圧を求めることが可能となる。なお個々の測定点における統計的なエラーは、入力パルス数を N 、確率を P とすると $\sqrt{NP(1-P)}$ の程度になるが、今回は各測定点において 1 万回以上テストパルスを入力しているため無視できるレベルである。

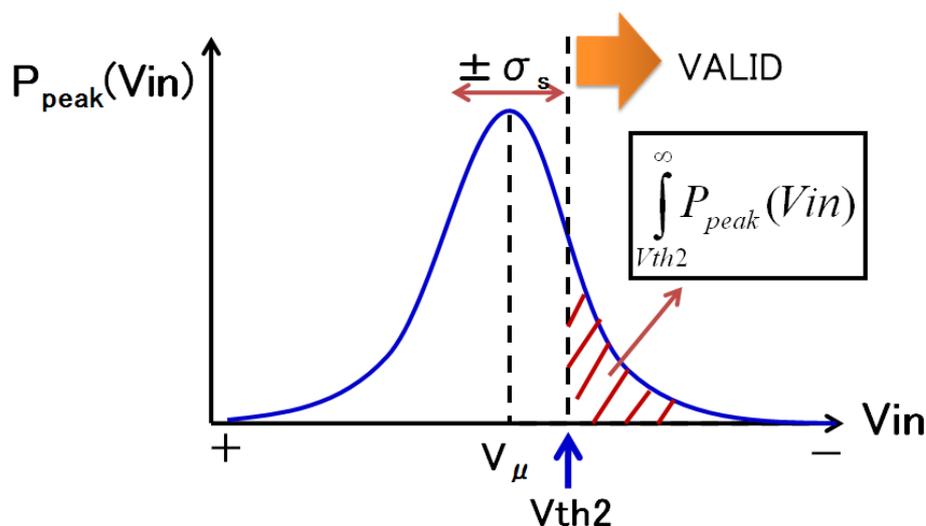


図 4.46: SLOW 信号の波高は V_μ を平均値とし標準偏差 $\pm\sigma_s$ のばらつきを持つ。 V_{th2} を下回る波高のみ VALID であると判定されるため、その確率の分布を求めることで真の雑音レベルの測定が可能になる。

以上の原理に基づいて真の雑音レベルの測定を行うため、図 4.47 のようにセットアップを行った。DSUMOUT 信号はゼロクロスコンパレータがオンになった瞬間に出力される信号であり、SDAV 信号は VALID 判定後のチャンネルのアドレス情報を出力する。従って1つのチャンネルのみ動作させれば、SDAV の数/DSUMOUT の数が求めるべき確率となる。

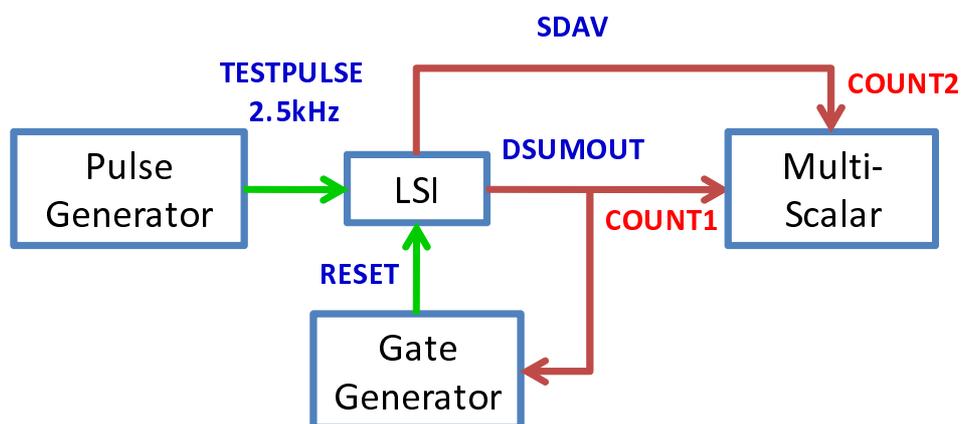


図 4.47: 雑音測定のセットアップ。DSUMOUT 信号は1つのイベント毎に、SDAV 信号は VALID であると判断される毎に出力されるため、それらの数をスケアラで計数し確率に変換する。ゲートジェネレータはイベントの一定時間後にリセット信号を入力し、次のイベントに備える。

エネルギー弁別回路のしきい値電圧は $V_{th0}=0$ mV、 $V_{th1} = -60$ mV、 $V_{th3} = -840$ mV に固定した。レジスタの設定としては、ゲインを 2.5 倍（最大）に設定し、SLOW のオフセット電圧が 0 V になるようあらかじめ調整を行った。確率が変化する近傍では V_{th2} を 1mV 単位で変化させ、それぞれの V_{th2} に対してテストパルスを 1 万回以上入力して確率を求めた上で、ノイズレベルを正規分布の形に変換した。またノイズの入力容量依存性を調べるため、0 pF 及び 15 pF の 2 通りの場合についてそれぞれ測定を行った。0 pF の場合の結果を図 4.48 に、15 pF の場合の結果を図 4.49 にそれぞれ示す。

図 4.48 と図 4.49 を比べると、入力容量の増加によって雑音成分が増大することに加え、信号のゲイン自体も低下してしまっていることが分かる。確率分布の変化から正規分布に変換して得られた値はそれぞれ

$$\text{平均値 } V_{\mu}: 371.3 \quad \text{標準偏差 } \sigma_s: 2.34 \quad (C_{in} = 0 \text{ pF}) \quad (4.6)$$

$$\text{平均値 } V_{\mu}: 322.8 \quad \text{標準偏差 } \sigma_s: 4.0 \quad (C_{in} = 15 \text{ pF}) \quad (4.7)$$

という値になった。従って等価雑音電荷は 0 pF の場合に $630 e^-$ 、15 pF の場合に $1240 e^-$ 、S/N 比は 0 pF の場合に 160 倍、15 pF の場合に 80 倍となり、バッファ出力から得ら

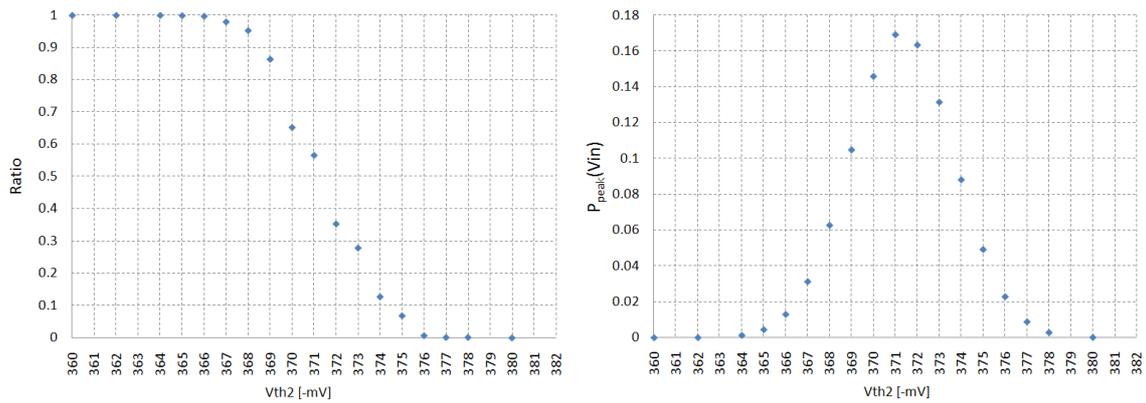


図 4.48: 入力容量 0 pF における雑音の分布 (左) 確率の変化 (右) 変換後の正規分布

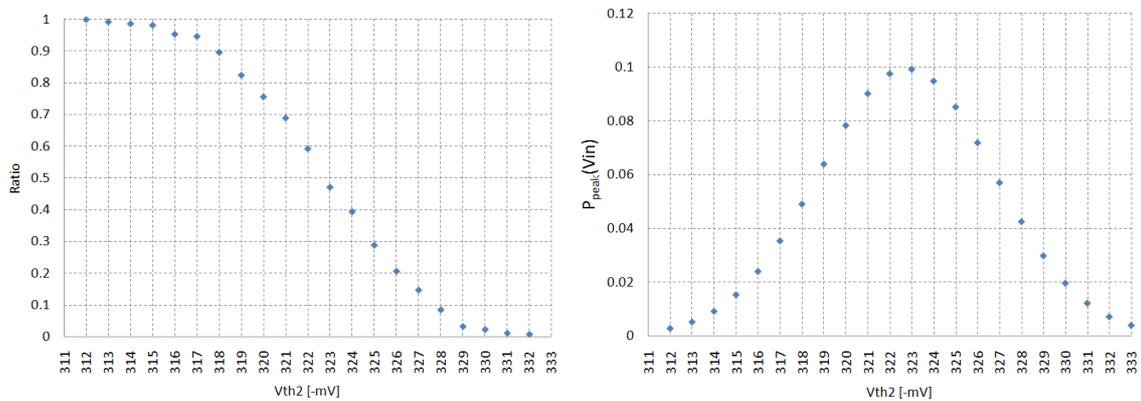


図 4.49: 入力容量 15 pF における雑音の分布 (左) 確率の変化 (右) 変換後の正規分布

れた値 (図 4.43 左) に比べて若干悪い程度の結果となった。それに合わせて容量勾配も $41 e^-/pF$ となり、バッファ出力から得られた値 $28 e^-/pF$ よりも大きな値が得られた。

ゼロクロス法を用いたピーク位置検出の精度としては、オシロスコープで得られた 0 pF における元のピーク波高 375 mV に対して VALID 判定のピークは図 4.48 右から 371 mV、15 pF における元のピーク波高 325 mV に対して VALID 判定のピークは図 4.49 右から 323 mV となっており、SLOW 信号のピーク位置における VALID 判定が十分な精度で行われていることを確認することができた。

4.8.5 時間特性評価

線形性評価

本回路にはガンマ線の飛行時間を測定するための時間電圧変換回路 (TAC) が 2 系統搭載されている。TAC 回路は既に述べたように START 信号が入力されてから STOP 信号が入力されるまでの間に一定電流をコンデンサに充電することで、入力信号の時間間隔に比例した電圧を出力する仕組みになっている。この時間と電圧の比例関係が TAC 回路の時間分解能に直結するため、それらの間の線形性の評価を行うために図 4.50 のようにセットアップを行った。本回路では TAC のスタート信号を生成する方法としてゼロクロス法を用いている。そこでゼロクロスコンパレータの出力信号である DSUMOUT 信号を NIM モジュールのゲートジェネレーターで遅延させる事により STOP 入力信号とし、様々な遅延時間に対する時間と電圧の対応関係を評価した。遅延時間の正確な測定には ORTEC 社製の高精度な TAC モジュールである MODEL 566 を用いた。

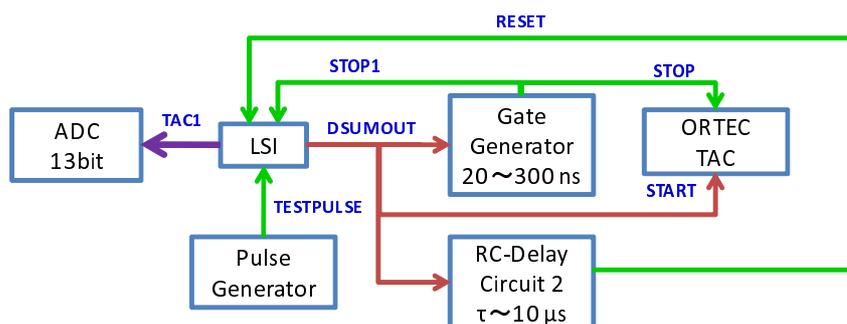


図 4.50: TAC 回路の線形性を評価するためのセットアップ図。ORTEC 社製の高精度な TAC モジュールで遅延時間の校正を行った。

2 系統存在する TAC 回路のうち 1 系統について測定を行った結果を図 4.51 に示す。ただし、横軸の STOP 時間は ORTEC 製 TAC モジュールに DSUMOUT 信号が入力されてから STOP1 信号が入力されるまでの遅延時間を表したものである。また最小のデータ点 (22.5 ns) と実用域のフルスケール (177.2 ns) を結んだ直線との間の残差を下部にプロットした。図 4.51 を見ると、0 ~ 180 ns までの範囲では極めて良い線形性が得られていることがわかる。直線からのずれは時間に換算して最大 ± 500 ps 以内、STOP 時間を 100 ns までに限れば ± 250 ps 以内であり、十分にサブナノ秒の精度を達成していることが分かった。一方で 180 ns 以上では出力電圧が飽和し、徐々に線形性が崩れてしまうため、TAC 回路を常にリニアリティの良い領域で用いるために TAC1 を止める STOP1 と TAC2 を止める STOP2 のそれぞれの信号入力時間の差は 100 ns 以内に設定することとした。

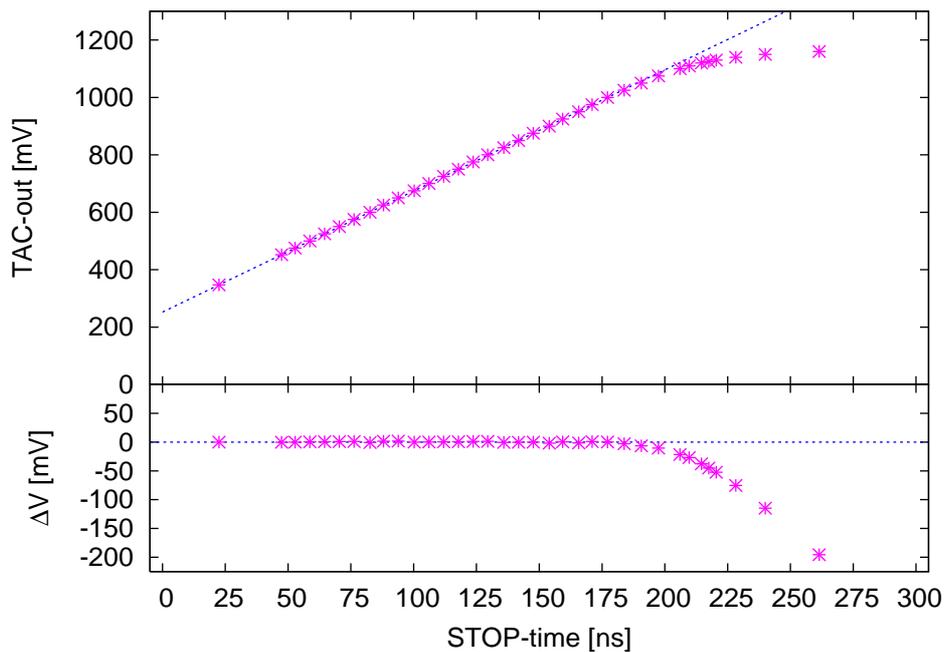


図 4.51: TAC 回路の線形性。横軸は外部の TAC モジュールで測定した START 信号と STOP 信号の時間間隔、縦軸は TAC 回路の出力電圧をそれぞれ表している。180 ns までの STOP 時間間隔について十分な線形性を有していることが分かる。

Time-jitter 評価

Time-jitter とは、信号ラインに重畳する雑音による影響で信号がしきい値電圧を跨ぐタイミングが変動してしまう現象である。仮に雑音による影響が全く無い状況であれば、テストパルスが入力されてからゼロクロスコンパレータの出力信号 (DSUMOUT) が出力されるまでの時間は一定になるはずである。しかし実際には図 4.52 に示すように同じ振幅のテストパルス入力であっても FAST 信号に重畳する雑音による影響で信号がゼロクロスコンパレータを叩くタイミングには差異が生じてしまう。

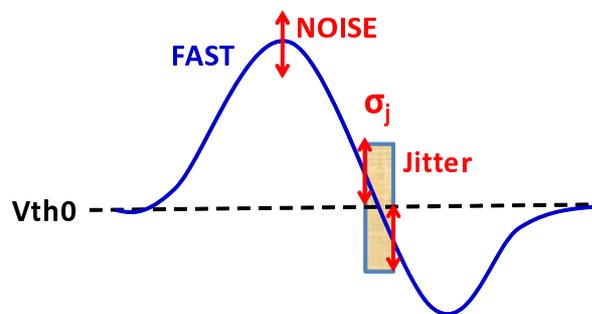


図 4.52: Time-jitter による時間測定のずれ

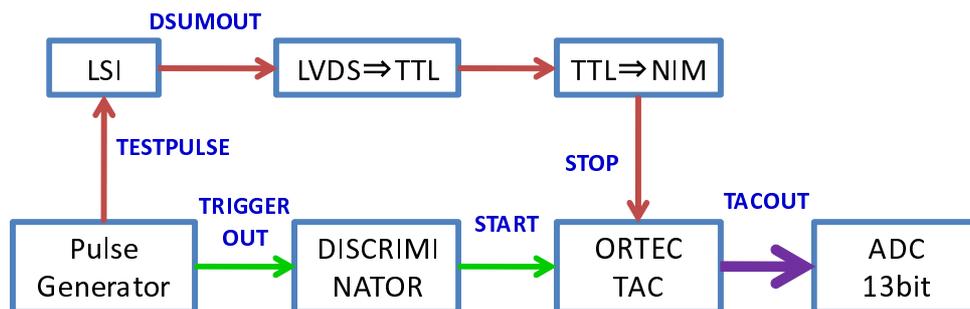


図 4.53: Time-jitter の測定方法。高精度な ORTEC 社製 TAC モジュールを用い、テストパルス
の入力信号を START 信号、ゼロクロスコンパレータの出力信号を STOP 信号としてゼロクロス
時間のばらつきの程度を測定した。

このような雑音による Time-jitter の影響を測定するために図 4.53 のようなセットアッ
プで試験を行った。テストパルスは 511 keV 相当の -160 mV に固定した状態でゼロク
ロスコンパレータのしきい値電圧 V_{th0} を -80 mV から 250 mV までの範囲で変化させ、
それに伴うゼロクロス時間の変化を高精度な TAC モジュールで検出した。ORTEC 製の
TAC モジュールは、START 信号が入力されてから STOP 信号が出力されるまでの時間
を $0 \sim 10$ V の範囲で電圧に変換する。今回は測定レンジを 500 ns に設定したため、 13 bit
の ADC では 1 ch あたりの時間が 61 ps に相当する。結果を図 4.54 に示す。

図 4.54 から、雑音による jitter の影響が最も小さくなるのは V_{th0} が 100 mV の場合で
あり、時間分解能は最高で 930 ps (σ) 程度となることがわかった。これは FAST 信号の傾
き (dV/dt) がこのしきい値電圧に相当する 100 mV の点で最大になっている事を意味して
いる。

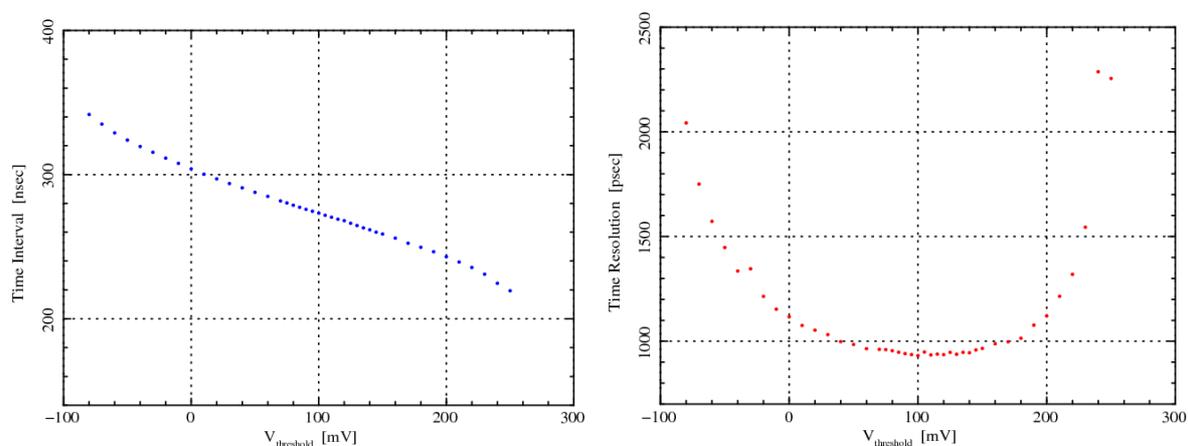


図 4.54: Time-jitter の測定結果 (左)START と STOP の時間間隔 (右) 時間分解能

Time-walk 評価

本回路と LYSO、APD を組み合わせて 511 keV のガンマ線を測定した場合、エネルギー分解能は 10 % 程度となる (後述)。つまり、図 4.55 に示す通り VALID な信号であっても常に $\pm 10\%$ 程度の振幅のばらつきが現れてしまうことになる。Time-walk とは、このように信号の大きさが変動することによって信号がしきい値電圧を跨ぐタイミングが変動してしまう現象である。ゼロクロス法はこのような walk による誤差を軽減させるための方法だが、波形整形過程において僅かでも非線形性があると大きな悪影響を受けてしまう場合がある。従ってその程度を評価するため、テストパルスを -140 mV から -180 mV まで ($511\text{ keV} \pm 12.5\%$ に相当) 変化させると同時に、しきい値電圧 V_{th0} を 50 mV 刻みで変化させ、それらの walk に対して最も影響の少ないしきい値電圧を吟味した。結果を図 4.56 に示す。

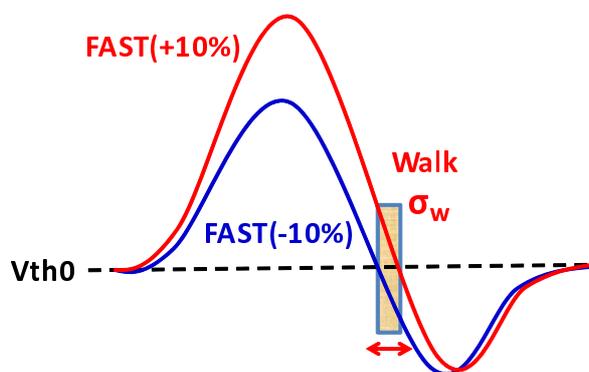


図 4.55: Time-walk による時間測定のずれ

図 4.56 を見ると、しきい値電圧が -80 mV 程度のところでゼロクロス時間のばらつきは最小になり、その大きさは 870 ps 程度になることがわかった。そこで Time-walk が最小となるしきい値電圧に対して、シミュレーションで得られたクロス時間 (START と STOP の間の時間間隔に相当) と今回の実験結果を比較した図を図 4.57 に示す。Time-walk の程度はシミュレーション値の 600 ps に比べて実測値では 870 ps とやや悪化していることが分かった。

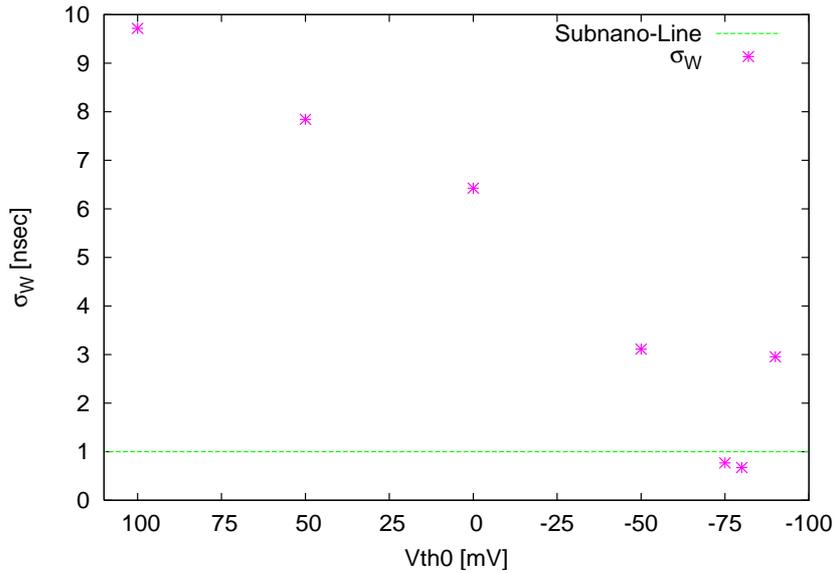


図 4.56: Time-walk の影響が最小となるしきい値電圧の評価。横軸はゼロクロスコンパレータのしきい値電圧、縦軸は時間分解能を表している。

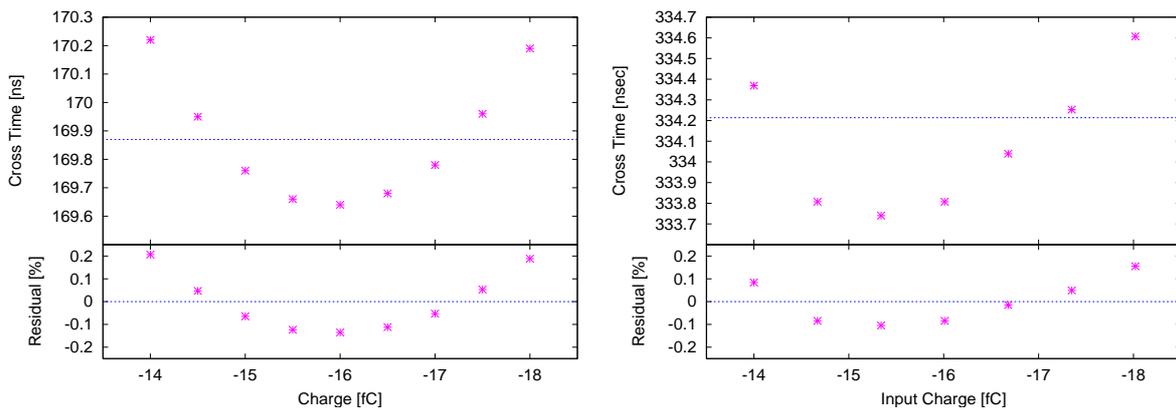


図 4.57: 511 keV $\pm 12.5\%$ のエネルギー分解能を仮定した Time-walk の測定結果。Time-walk は 870 ps 程度であった。(左) シミュレーション結果 (右) 実験結果

入力容量の影響

以上の測定は、全て入力容量の影響が無いという条件の下で行った。しかし実際には APD が持つ検出器容量によって雑音のレベルが変化し、時間分解能が悪化してしまう可能性がある。ここではゼロクロスコンパレータのしきい値電圧 V_{th0} を変化させると同時に入力容量を 0 ~ 50 pF 程度まで変化させ、検出器容量が Time-jitter に及ぼす影響を評価した。横軸に検出器容量、縦軸に時間分解能をプロットした図を図 4.58 に示す。

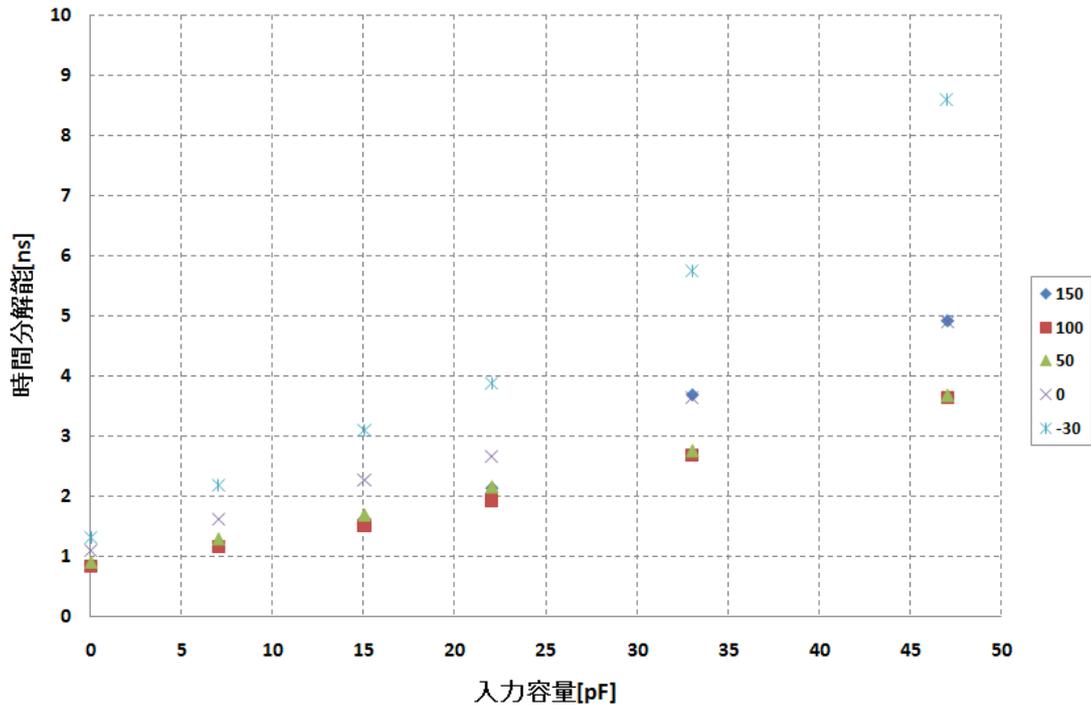


図 4.58: 様々なしきい値電圧 V_{th0} に対する検出器容量と時間分解能 (Time-jitter) の関係図。検出器容量が増えると雑音レベルが上がり、時間分解能が悪化する。今回使用する APD 素子の容量は 1 mm 角が 3~4 pF 程度、2 mm 角が 13~14 pF 程度である。

図 4.58 を見ると、入力容量が増加するに従って時間分解能も悪化してしまう事がわかる。今回開発した APD の単素子の容量は 1 mm 角 16×16 チャンネルで 3~4 pF、2 mm 角 8×8 チャンネルで 13~14 pF 程度である。従って 1 mm 角 APD であれば適切なしきい値電圧を設定することによりサブナノ秒の Time-jitter を得ることも可能であると考えられるが、2 mm 角 APD では雑音レベルの増大により不可能であることがわかった。

4.8.6 光学ユニットとの組合せ

実際の PET 検出器としての性能を評価するため、 ^{22}Na の β^+ 崩壊に伴い放出される最大エネルギー 0.466 MeV の陽電子の対消滅に伴う 511 keV のガンマ線を 2 mm 角単ピクセルの APD + LYSO シンチレータで検出し、アナログサム出力を ADC に入力してエネルギー分解能の評価を行った。単素子光学ユニットを評価基板にセッティングした際の外觀図を図 4.59 に、バックグラウンドと同時にプロットしたエネルギースペクトルを図 4.60 に示す。結果としてエネルギー分解能は 9.7 % (FWHM) という良好な値を得ることができ、PET 検出器として用いる場合に必要十分な性能を確保していることが分かった。

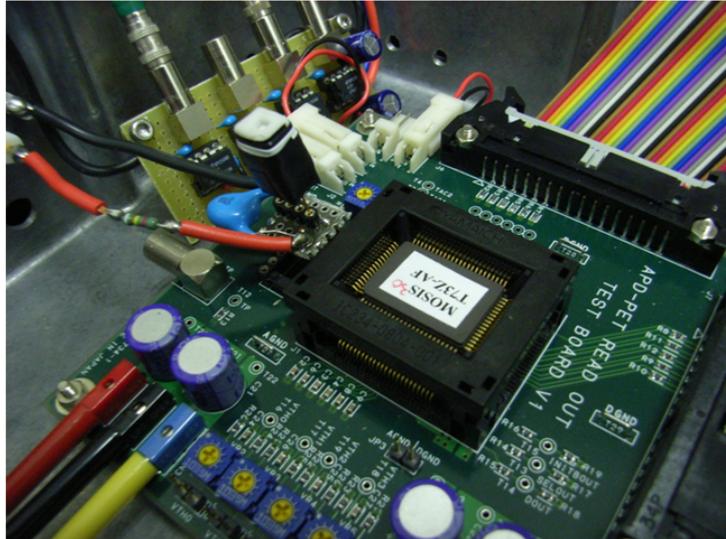


図 4.59: 単素子の LYSO ピクセルと APD を評価基板にセットし、 ^{22}Na から放射される 511 keV のガンマ線を照射した。

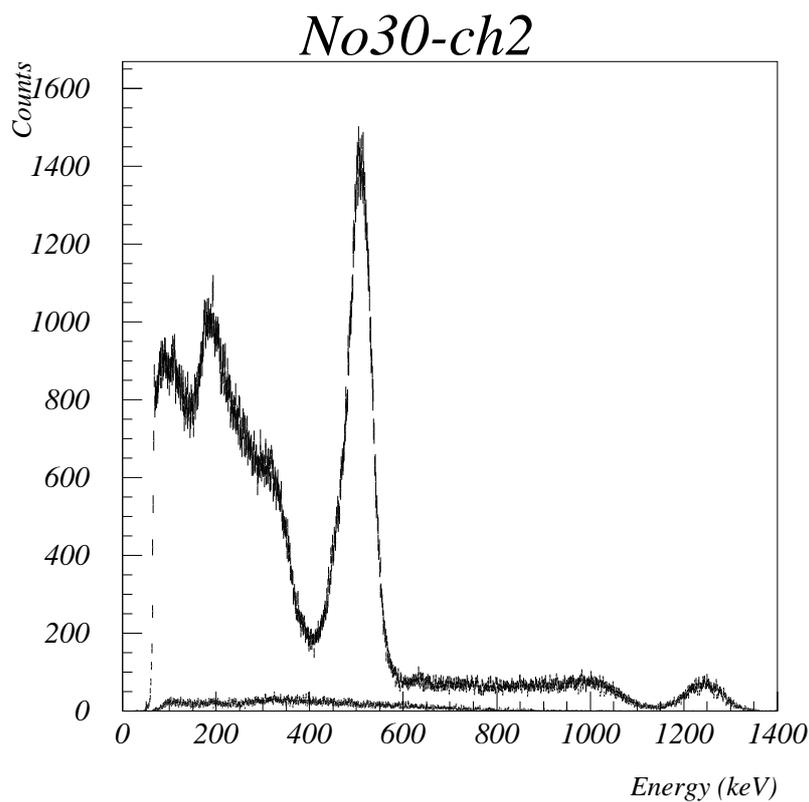


図 4.60: 単素子の LYSO ピクセル及び APD を組合せ、実際に TIPPET08 で信号の読み出しを行いアナログ加算回路出力からエネルギースペクトルを得た。エネルギー分解能は 511 keV で 9.7 % (FWHM) という結果が得られた。

4.8.7 まとめ

アバランシェ・フォトダイオードを用いた拡張型 PET 装置の実現に向けて 8 チャンネルのアナログ信号処理 LSI の開発を行った結果、以下に示すような結果が得られた。まずバイアス電圧のばらつきについては、シミュレーション値に対して $\pm 10\%$ 程度であり製造プロセスは概ね成功したと言える。消費電力はチップ全体で 54.5 mW、1 チャンネルあたりでは 6.8 mW となり、十分な低消費電力を実現している。テストパルス入力に対する信号処理波形は概ねシミュレーション通りの波形となった。波形整形回路出力は -3.8 fC から -20 fC まで $\pm 3\%$ 以内の線形性を確保しており、120 ~ 640 keV の範囲をカバーしている。TAC 回路の線形性は 0 ~ 100 ns までの入力範囲で ± 250 ps 以内を確保しており高い精度を有している。PET 検出器としての性能を評価するため LSI と単素子の LYSO 及び APD 光学ユニットを組合せて 511 keV のガンマ線のエネルギー分解能を評価したところ、9.7 % (FWHM) という良好な結果が得られた。

問題点としては、前置増幅器出力の帰還が不十分で信号ラインが電源に張り付いてしまうチャンネルが全 320 チャンネル中 3 チャンネル存在し、FAST 信号のオフセット電圧の分布もレジスタで補償可能な範囲を超えてしまっていた。前置増幅器のゲインの分布については、テストパルス入力端子の位置関係に問題がありチャンネルの位置によって大きな偏りが見られた。回路の雑音は等価雑音電子数に換算すると SLOW で $660 + 28 e^-/pF$ 、FAST で $1700 + 43 e^-/pF$ となり、どちらもシミュレーションよりかなり大きな値となった。時間分解能については Time-jitter が 930 ps 以内、Time-walk が 870 ps 以内であったが、それぞれ最小となるゼロクロスコンパレータのしきい値電圧が大幅に異なっており、このままでは目標とする 600 ps の時間分解能を達成できないことが判明した。さらに、LSI の設計にあたっては APD からの入力信号として負極性電荷を想定し最適化が行われていたが、実際の APD アレーではカソード側が共通となっており正極性電荷が入力されることがわかり、正極性入力への最適化が必要となった。

以上の結果から、TIPPET08 は通常の PET 検出器用の信号処理回路としては必要十分な性能を有しているが、将来的に TOF 型 PET に応用するためには雑音特性や時間特性について更なる改善の余地があることが分かった。そこで、TIPPET08 に対し性能向上を図り 32 チャンネルまで回路規模を増やした「TIPPET32」の開発に着手することとなった。

第5章 APD-PET用32チャンネルLSI の設計

5.1 開発目的

我々がAPD-PET用に開発を行った8チャンネルのTIPPET08は、前章で述べた詳細な性能試験によってさらなる改善の余地があることが判明した。特に、将来的にTOF型PETに応用するためには時間分解能についてTime-jitterとTime-walkを総合して600 ps程度以内に収まるよう高速化、低雑音化を図ることが必要となる。そこでTIPPET08をベースに様々な改良を加え、32チャンネルまで回路規模を増やしたTIPPET32の開発を行うこととなった。

5.2 要求及び設計仕様

時間特性を向上させるためには、Time-jitterとTime-walkを同時に抑えることが最重要課題となる。Time-jitterは信号に重畳する雑音成分によりコンパレータのしきい値電圧を跨ぐタイミングにばらつきが生じることに起因しているため、雑音レベルを低く抑え、さらにしきい値を跨ぐ瞬間の信号の傾きを大きくするという設計が必要である。TIPPET32ではまず波形整形回路の整形時定数を128 nsから64 nsに変更することで高速化を図った。また波形整形回路の後段にローパスフィルタを挿入し、整形次数を増やすことで雑音レベルを下げると同時に、信号の対称性を改善することでゼロ点をクロスする瞬間の信号の傾きを大きくするという対策を講じた。TIPPET08ではAPD入力端子のボンディングパッド直近に静電気保護回路(図5.1左)が搭載されていたが、寄生容量が増え雑音の増大を招く恐れがある他、漏れ電流が生じる原因にもなっていたため、これを取り払うこととした。さらにボンディングパッドに関しても通常4層使用されるアルミ配線層のうち下側1、2層を削減した上でサブストレート側にN-wellを形成し、寄生容量を1/5程度にまで減少させた低容量パッドを採用した(図5.1右)。

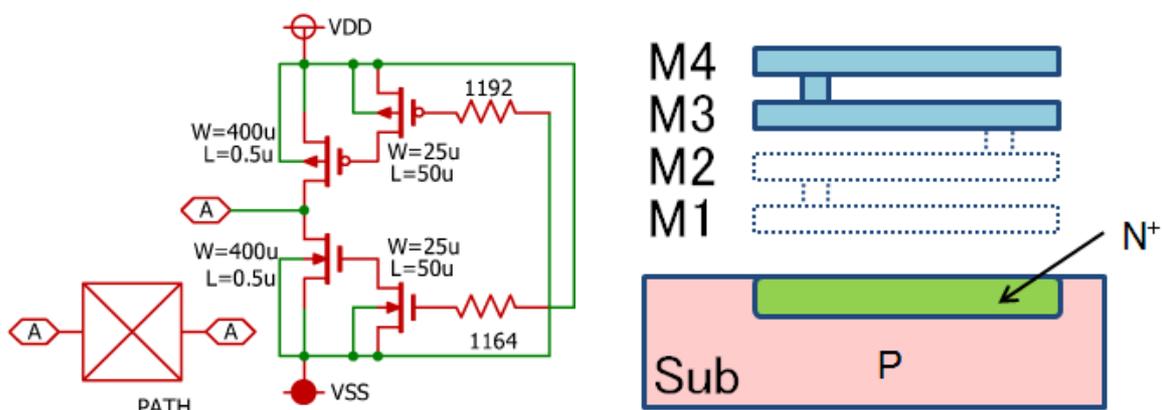


図 5.1: 入力パッドの低雑音化 (左)TIPPET08 の APD 入力端子に用いられていた静電気保護回路の回路図。ダイオード構造により電源電圧範囲を超える電氣的ストレスを電源ラインに逃がす仕組みになっているが、寄生容量が大きく雑音の原因となっていた。(右) ボンディングパッドとして使用されるアルミ配線層のうち下側 2 層を廃し、さらに基板にドナーをドーピングして N-Well を形成し直列に容量成分を挿入することで低容量化を図った。

一方 Time-walk は入力信号が検出器のエネルギー分解能で決定される程度のばらつきを持つことで信号処理波形のピーク波高が変化し、波形の線形性が悪い場合にはタイミングにばらつきが生じてしまう現象である。そこで TIPPET32 では微分回路の構成を見直し 1 段微分 1 段積分回路構成とすることで線形性を向上させ Time-walk の削減を図った。他、FAST 信号のオフセット調整機構を改良し、電流の注入と引き込みを同時に行うことで波形の線形性を崩さずに最適なゼロクロス電圧を設定できるようにした。

付加的な機能としては前置増幅器の後段にポールゼロ補償回路を導入し、オーバーシュートの影響を抑えてより高レート of 計数に耐えられるようにした。またコントロールレジスタへの書き込みを行うための信号として、前回は ± 1.65 V の信号が必要だったところを 0 - 1.65 V のロジックで動作可能とし入出力インターフェースの簡素化を図った。HIT アドレス情報は前回は 8 チャンネル分の情報を 8 bit で出力していたが、32 チャンネル分の情報を同じく 32 bit で出力するとデータ量が膨大となってしまう。そこで TIPPET32 ではプライオリティチェーンエンコーダを内蔵し、32 チャンネル分の位置情報を 8 bit に圧縮して出力する仕様とした。

表 5.1 に回路の仕様をまとめる。回路設計作業は TIPPET08 に引き続き宇宙航空研究開発機構の池田博一教授と共同で行い、Open-IP を活用した。

表 5.1: TIPPET32 チップ設計パラメータ

チップ名	TIPPET32
チャンネル数	APD32 チャンネル
標準入力電荷量	+16 fC @511 keV
前置増幅器ゲイン	10 mV/fC (@ $C_f = 0.1$ pF)
ゲイン可変範囲	0.02 pF ~ 0.16 pF (8 stages)
整形時定数	64 ns
製造会社	TSMC (Taiwan Semiconductor Manufacturing Company)
製造プロセス	0.35 μ m CMOS
チップサイズ	2.85 mm \times 7.35 mm
パッド数	120
試験パッケージ	160 pin CQFP (KYOCERA QC-160360-WZ)
電源電圧	3.3 V (VDD=1.65 V, VSS=-1.65 V, GND=0 V)

5.3 回路設計環境

LSIの開発には一般に多大な時間とコストがかかるため、試作 評価 設計変更 試作といった過程を繰り返して開発を進めることは効率的ではない。そのため、製作に入る前の設計段階においてシミュレーションによる性能評価を行い、結果を随時設計にフィードバックさせるという手法が一般的である。今回はアナログ回路についてはSPICEシミュレータ、デジタル回路についてはVerilog-HDLシミュレータを用いて回路設計及び動作検証を行った。

5.3.1 SPICEシミュレータ

SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレータとは、1972年にカリフォルニア大学バークレー校でICの設計検証用に開発された回路シミュレータである。回路シミュレータとは、回路図または回路素子を繋いだ情報(ネットリスト)から回路の電圧や電流の値を計算するツールであり、その中でもSPICEは最も一般的な回路シミュレータであると言える。解析の種類としては、大きく次の4つに分けることができる。

1. DC 動作ポイント解析

DC 動作ポイント解析とはバイアス・ポイント解析とも呼ばれ、定常状態における回路の各ノード(端子)の電圧及び電流の値を解析する。実際の実験では、回路に直流電源を接続した時に各端子の電圧及び電流の値をチェックする動作に相当する。DC 動作ポイント解析はどの解析を行う際にも前処理として自動的に行われる事になっている。

2. DC 解析

DC 解析は入力信号をゆっくり変化させて、同様の解析を行う。

3. AC 解析

AC 解析は入力信号の周波数を変化させて、同様の解析を行う。

4. 過渡解析

過渡解析は回路の時間応答を解析するものである。例えば、スイッチを ON にしてから定常状態に落ち着くまでの各ノードの電圧及び電流の値を解析する際に用いられる。最も多く用いられる解析であると言える。

回路は線形素子である抵抗、非線形素子であるダイオードやトランジスタ、電気エネルギーの充放電を行うコンデンサやコイルなどから構成されているため、回路情報は一般的に非線形微分方程式の形で表される。SPICE ソフトウェアは入力されたネットリスト情報から、節点解析法によりノードの電圧を未知数としてキルヒホッフの電流則に従い回路方程式を立て、得られた非線形微分方程式を非線形代数方程式、更に線形代数方程式に変形して解析を行う [69]。この際、LSI のベンダーから実際に近いトランジスタのパラメータの提供を受けることで、より精度の高い解析を行うことが可能となる。我々はファウンドリーである台湾の TSMC 社から $0.35 \mu\text{m}$ CMOS プロセス用の SPICE パラメータの提供を受け、設計に使用した。

本研究ではアナログ回路の設計作業には Tanner 社の回路図エディタである「S-Edit」及び SPICE シミュレーションソフトである「T-SPICE」を用い、回路図レイアウトの確認にはレイアウトエディタである「L-Edit」を用いた。これらは Tanner 社の EDA (Electronic Design Automation) ツールである「Tanner Tools Pro」に付属しているソフトであり、複雑なフルカスタム IC の設計用に特化している。

5.3.2 verilog-HDL シミュレータ

verilog-HDL シミュレータとは、ハードウェア記述言語 (HDL : Hardware Description Language) の一種である verilog を用いたデジタル回路設計用の論理シミュレータである。HDL とは主に論理回路を記述するためのプログラム言語であり、代表的なものとしては verilog の他に VHDL 等が挙げられる。VHDL と比較すると、verilog は記述が簡潔であり、シミュレーション向けの記述を細かくできること、ASIC の開発実績が多数あること等の優位性がある。HDL は回路の検証のみならず、デジタル回路の設計そのものを行う際にも有効な手段である。一般に HDL を用いたデジタル回路設計は従来の回路図による論理回路設計に比べると次のような利点がある [70]。

1. 「どのような動作をするか」という抽象的な回路動作を記述するだけで、自動的に具体的な論理回路が生成されるため、設計作業の大幅な効率化が可能である。
2. 数万個単位のトランジスタに個別に信号を伝えて「論理回路の動作」をシミュレートするよりも、HDL で記述された「抽象的な回路動作」をシミュレートする方が高速であり、また人為的なミスも少なく信頼性が高い。
3. 実装対象に依存しない抽象的な記述なので、ある設計で作成した HDL ファイルを別の設計に容易に流用可能である。

本回路にはゲインやオフセット電圧を調整するために各チャンネル毎に設けられたシフトレジスタ群や、プライオリティチェインエンコーダ、パラレル/シリアル変換回路など大規模なデジタル回路が搭載されている。これらの動作検証は SPICE シミュレータを用いて行うこともできるが、回路規模が大きいためシミュレーションに時間がかかってしまい現実的ではない。そこで今回は SPICE 記述によるネットリストを verilog 形式に変換した上で、論理シミュレータを用いた動作検証を行うことにした。

本研究では verilog シミュレータとして菅原システムズ社製の「Veritak-Lite」を用いた。Veritak-Lite は菅原孝幸氏によって開発された国産の verilog シミュレータであり、日本語のインターフェースを用いていること、またシミュレーション速度が高速であるという特徴がある。

5.4 全体構成

図 5.2 に本チップの全体図を示す。TIPPET08 と同様に、回路は大きく CHAIN1 と CHAIN2 に分けられる。CHAIN1 は 8 系統から 32 系統に増強され、APD32 チャンネル分の信号処理を行う事が出来る。処理内容は基本的に TIPPET08 と同じだが、大きく異なるのは波形整形回路の後段にローパスフィルタが挿入されており、より積極的に雑音を抑える仕組みになっていること、また HIT アドレス情報を 32 bit から 8 bit まで圧縮するためのプライオリティチェインエンコーダが搭載されている点である。その他にも様々な改良が加えられているため、以下回路シミュレーションを用いて TIPPET08 との比較を行っていく。

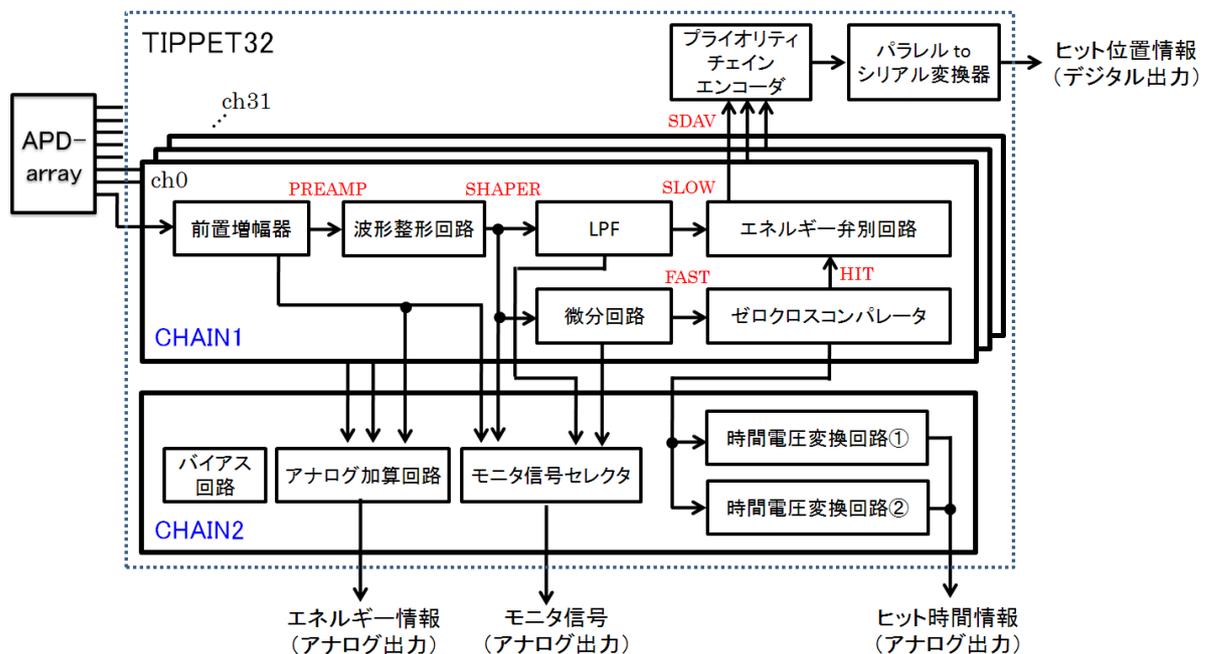


図 5.2: TIPPET32 のシステム全体図。TIPPET08 と比べると波形整形後にローパスフィルタが挿入された点、HIT 位置情報をプライオリティチェインエンコーダで圧縮している点が異なる。

5.5 部品設計

5.5.1 CHAIN1 の回路構成

CHAIN1 のおおまかな回路構成を図 5.3 に示す。LEAK は漏れ電流補償回路、IDAC は電流出力型の DAC(Digital Analog Converter) をそれぞれ表している。TIPPET08 と大きく異なる点としては、前置増幅器の帰還抵抗にトランスファークロウ型 FET を採用した

こと、フィルタの次数が増えたこと、ポールゼロ補償回路が実装されたこと、オフセット調整機構が改良されたこと等が挙げられる。回路構成要素が増えたことにより当初は消費電力の増加が懸念されたが、信号をモニタしていない時にはバッファ回路の電源をオフにする等の対策を行うことで1チャンネルあたりでは前回と同レベルの低消費電力化に成功した。以下に各要素の詳細について述べる。

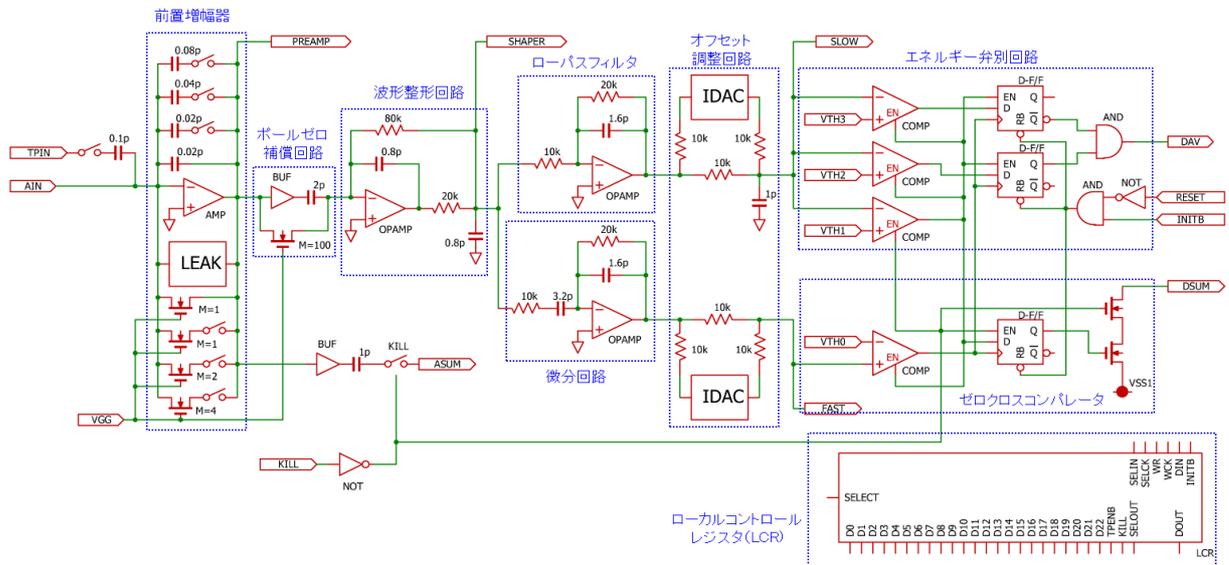


図 5.3: CHAIN1 の回路構成

5.5.2 前置増幅器

図 5.4 に前置増幅器及びポールゼロ補償回路の回路図を示す。前置増幅器は APD から入力された電荷を帰還容量で積分し、電圧に変換して出力するための回路であり、増幅要素である PRC2、漏れ電流補償回路の RF4N、スイッチと共に接続された複数の帰還容量、同じくスイッチと接続された複数のトランスファークゲート型 FET から構成される。AIN は APD と接続するための入力端子、TPIN はテストパルスを入力端子である。増幅器の後段には高周波のゲインを抑制するため 0.08 pF の容量が挿入されている。前置増幅器の出力電圧は、

$$V_{out} = -\frac{AQ_{in}}{C_f(A+1) + C_{in}} \quad (5.1)$$

と表される。ここで A は増幅要素のオープンループゲイン、 Q_{in} は APD からの入力電荷量、 C_f は前置増幅器の帰還容量、 C_{in} は検出器容量と浮遊容量を総合したものをそれぞれ表している。増幅要素の利得は 1000 以上と非常に大きいため、前置増幅器の出力電圧は $V_{out} \simeq -Q_{in}/C_f$ となり検出器容量や浮遊容量による影響をある程度抑えることができる。

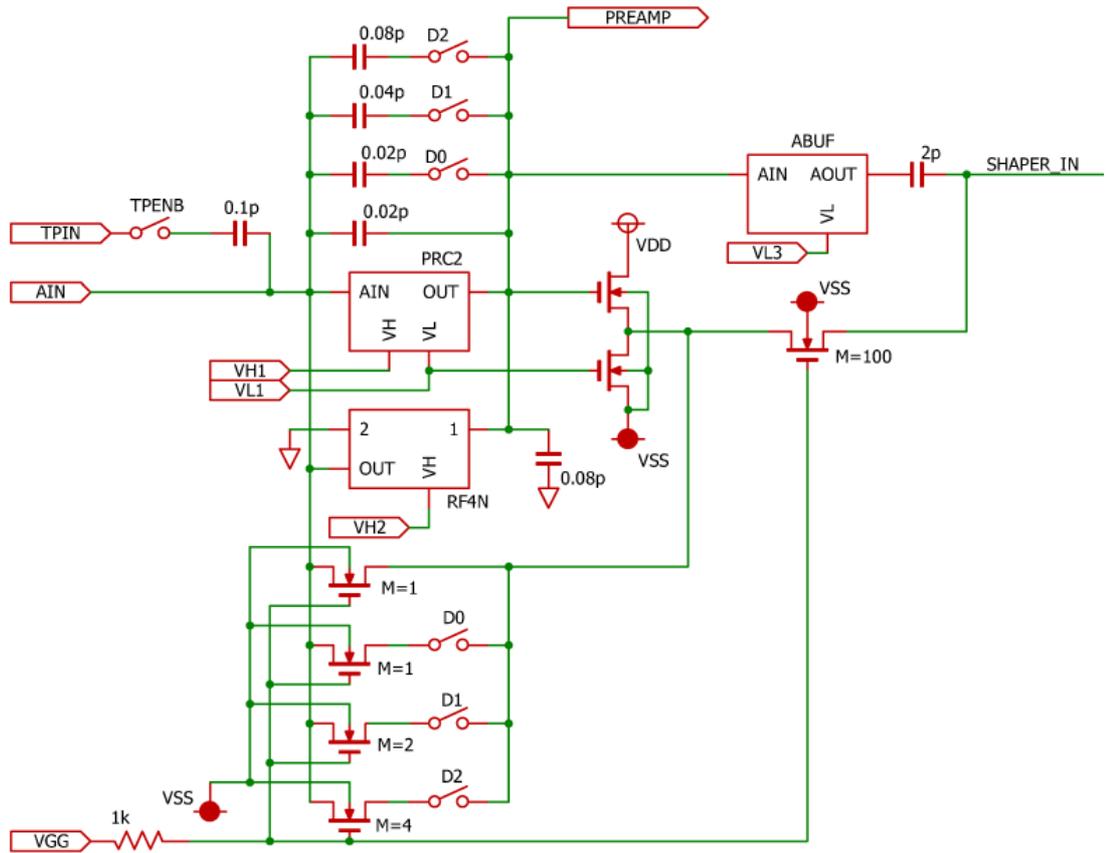


図 5.4: 前置増幅器の回路構成

前置増幅器の出力電圧は、式 5.1 で表されるように帰還容量 C_f により決定される。本チップではスイッチを用いて C_f の値を 0.02 pF から 0.16 pF まで 8 段階に可変とすることで、APD のピクセル毎のゲインのばらつきを補償可能な構成とした。帰還容量に蓄えられた電荷はトランスファークラップ型 FET を介して放電され、その減衰時定数は FET のソース-ドレイン間抵抗 R_f を用いて $\tau_f = C_f R_f$ と表される。従って通常は C_f を変えて前置増幅器のゲインを変更すると減衰時定数が変化してしまうが、本回路では FET 側にも C_f 側と連動するスイッチを設け、 C_f が大きくなると M 値¹ の大きい FET を接続することで常に時定数を一定に保つ仕組みとなっている。スイッチの制御は各チャンネル毎に設けられたローカルコントロールレジスタ (LCR) の値を外部から制御することで行う。RF4N は検出器漏れ電流を補償する回路であり、検出器から定常的に流れ込んでくる低周波数 (≤ 50 Hz) の漏れ電流を検出すると、その効果を打ち消すように電流を流して出力電圧の直流電位をグランドレベルに保つ役割を担っている。TIPPET08 では前置増幅器の出力側から入力側への帰還が不十分な場合があり出力電圧が飽和してしまうという現象が問

¹ M 値は並列に接続されるトランジスタの個数を表す値である。同じサイズのトランジスタであれば、M=1 と M=100 で比較した場合後者には 100 倍の電流が流れる。

題となったが、TIPPET32 では nMOSFET を並列接続したトランスファークロウ FET の線形動作領域におけるソース-ドレイン間抵抗を帰還抵抗として用いること、また FET のゲート電圧を漏れ電流の大きさに合わせて調整可能とすることで問題の解決に成功した。

前置増幅器の減衰時定数はオーバーシュートによる影響を抑えるため通常 $50 \mu\text{s}$ 程度に設定されているため、イベントレートの高い環境で使用する際には信号が積み重なるパイルアップ現象により正しいエネルギー情報が得られなくなる可能性がある。従って今回は前置増幅器の出力信号の減衰時定数を短縮する方法として、ポールゼロ補償回路が導入された。ポールゼロ補償回路は、図 5.5 右に表されるように微分回路として動作する。ここで抵抗 R_3 は後段の波形整形回路の入力インピーダンスである。

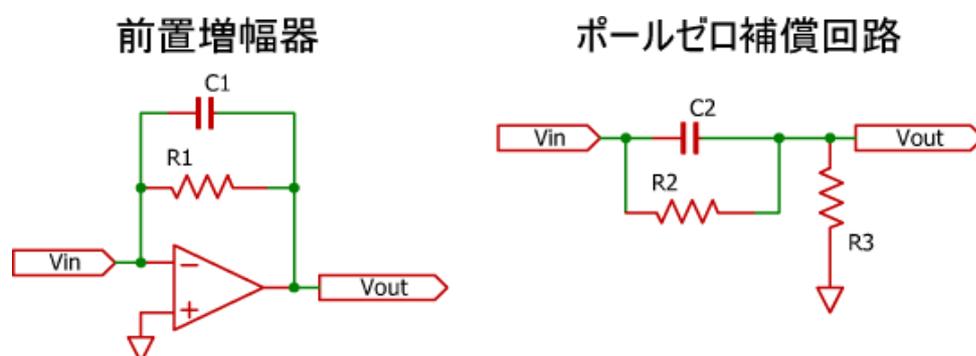


図 5.5: 記述を簡略化した前置増幅器 (左) とポールゼロ補償回路 (右)

図 5.5 における前置増幅器の伝達関数は、

$$T_1(s) = -\frac{R_1}{1 + sR_1C_1} \quad (5.2)$$

と書ける。一方ポールゼロ補償回路の伝達関数は、

$$T_2(s) = \frac{R_3}{R_2 + R_3} \times \frac{1 + sR_2C_2}{1 + sC_2\left(\frac{R_2R_3}{R_2+R_3}\right)} \quad (5.3)$$

と表される。ここで $R_1C_1 = R_2C_2$ となるように適切に R_2 と C_2 の値を設定すると、 T_1 のポール² と T_2 のゼロ点³ が相殺されることにより、減衰時定数は $C_2\left(\frac{R_2R_3}{R_2+R_3}\right)$ に変化する。 $C_2R_2 > C_2\left(\frac{R_2R_3}{R_2+R_3}\right)$ であることから、減衰時定数は短縮されることになる。今回は R_2 として帰還要素と同様にトランスファークロウのソース-ドレイン間抵抗を用い、M 値を 100 倍とすることでスイッチにより前置増幅器の増幅率が変化しても常に $C_2 = 100 C_1$ 、 $R_2 = R_1/100$ の関係を保つよう設計を行った。

² 伝達関数が無限大となるような複素数

³ 伝達関数がゼロとなるような複素数

前置増幅器用の増幅要素

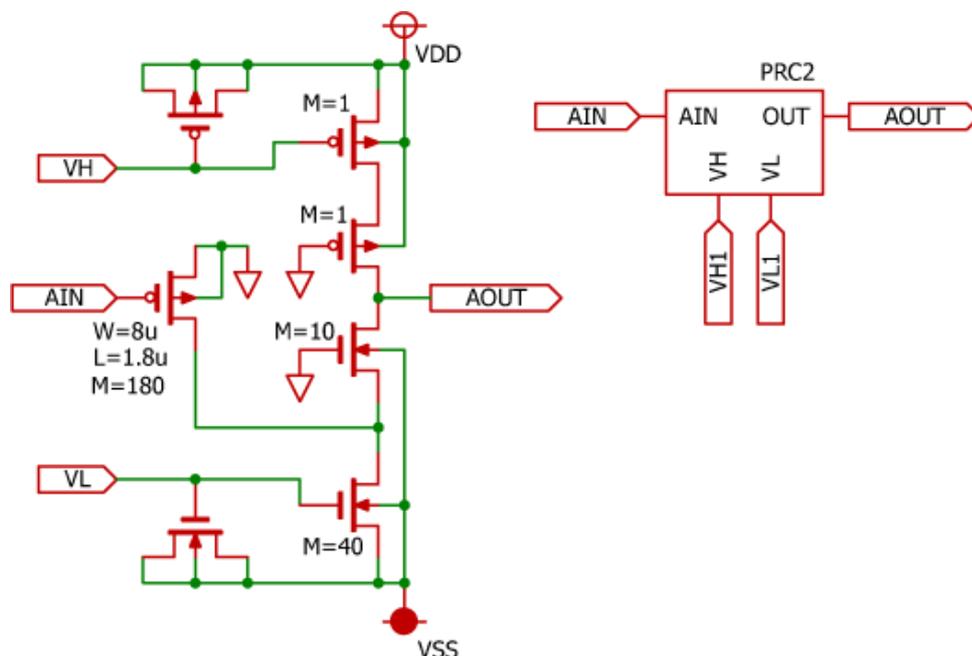


図 5.6: 前置増幅器用の増幅要素の回路図

前置増幅器における増幅要素である PRC2 の回路図を図 5.6 に示す。AIN はシングルエンドの入力端子、AOUT は出力端子となっている。VH は pMOS、VL は nMOS の定電流源用バイアス電圧導入端子であり、増幅器を最適な動作点で動作させるために設置され、電圧は CHAIN2 のバイアス電圧生成回路から供給される。電源とバイアス電圧導入端子の間には電源-バイアス電圧間の電圧を安定化させると共に電源ノイズ等を除去するためのバイパスコンデンサを挿入する必要があるが、CMOS プロセスでは容量の大きなコンデンサを使用しにくい。従って本回路ではコンデンサの代わりに MOS のゲート容量を利用することで集積効率を高めている。一般に p MOSFET は nMOSFET に比べてフリッカ雑音 ($1/f$ 雑音) による影響を受けにくいことから [72]、増幅器の入力トランジスタには大面積の pMOSFET を用いている。増幅段は大きな電圧利得を得るためにカスコード負荷⁴ を有するフォールデッドカスコード構造⁵ を採用した。

⁴ ソース接地増幅段とゲート接地増幅段の継続接続を負荷とすることで出力インピーダンスが高まり、増幅特性が改善される。出力端子に対して電源側に pMOS、接地側に nMOS がカスコード接続されている。

⁵ トランジスタを折り返し接続することで入出力電圧範囲を広く確保することが可能となる。

漏れ電流補償回路

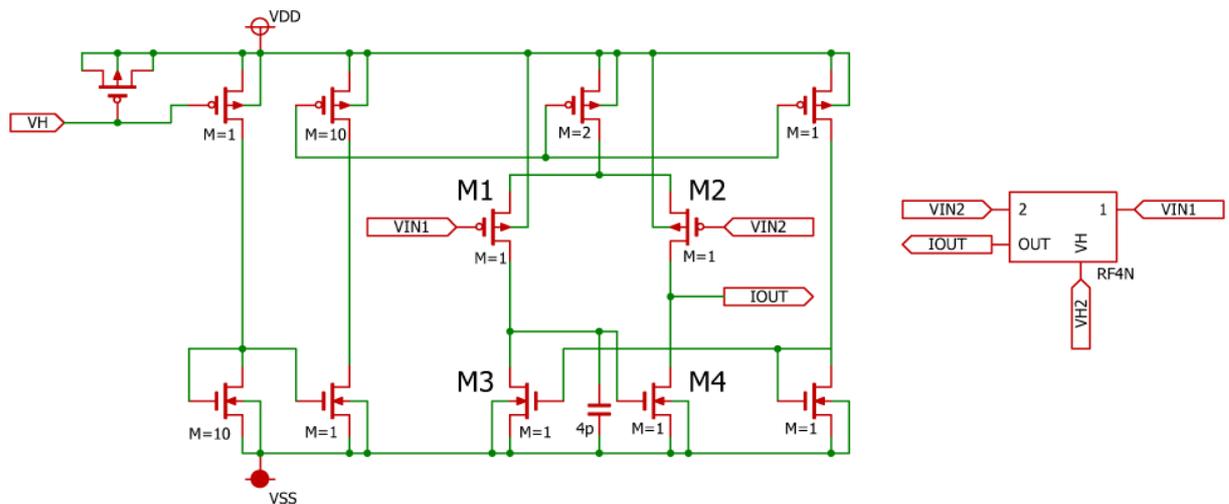


図 5.7: 漏れ電流補償回路の回路図

漏れ電流補償回路の回路図を図 5.7 に示す。VIN1、VIN2 は差動対のそれぞれのゲート電圧入力であり、VIN1 は増幅要素の後段に接続され、VIN2 は常に接地されている。また IOUT が直流電流出力、VH が pMOS のバイアス電圧導入端子である。仮に前置増幅器後段の信号 (PREAMP) に検出器漏れ電流に起因するオフセット電圧が存在して VIN2 のグランド電位を下回ると、VIN1 の入力トランジスタ (M1) のゲート-ソース間電圧の上昇によりドレイン電流が増加し、差動対になっている VIN2 側 (M2) のドレイン電流は減少する。増加した VIN1 側のドレイン電流によりコンデンサに電荷が注入され、M3 のソース-ドレイン間電圧が上昇すると、IOUT 端子の下側の M4 のゲート-ソース間電圧が上昇し、IOUT 端子から電流を引き込む。この動作は VIN1 と VIN2 の電位が等しくなるまで行われるため、結果として漏れ電流の影響をある程度まで補償することができる。漏れ電流補償回路のバイアス電圧は、TIPPET08 で問題となった出力電圧の飽和に対する教訓から IBIASFB 端子を通して外部から直接調整可能な構成となっている。また M4 のゲートに接続された 4 pF のコンデンサはローパスフィルタとしても働いており、高周波信号への感度を下げることで正規の信号に対する影響を抑える工夫がなされている。

アナログバッファ回路

アナログバッファ回路の回路図を図 5.8 に示す。アナログバッファ回路は nMOS を入力トランジスタに用いた差動増幅器であり、AIN 入力の対となる端子が AOUT 出力端子と直結しているため 1 倍の電圧利得を持つボルテージフォロワとして動作する。従って AIN

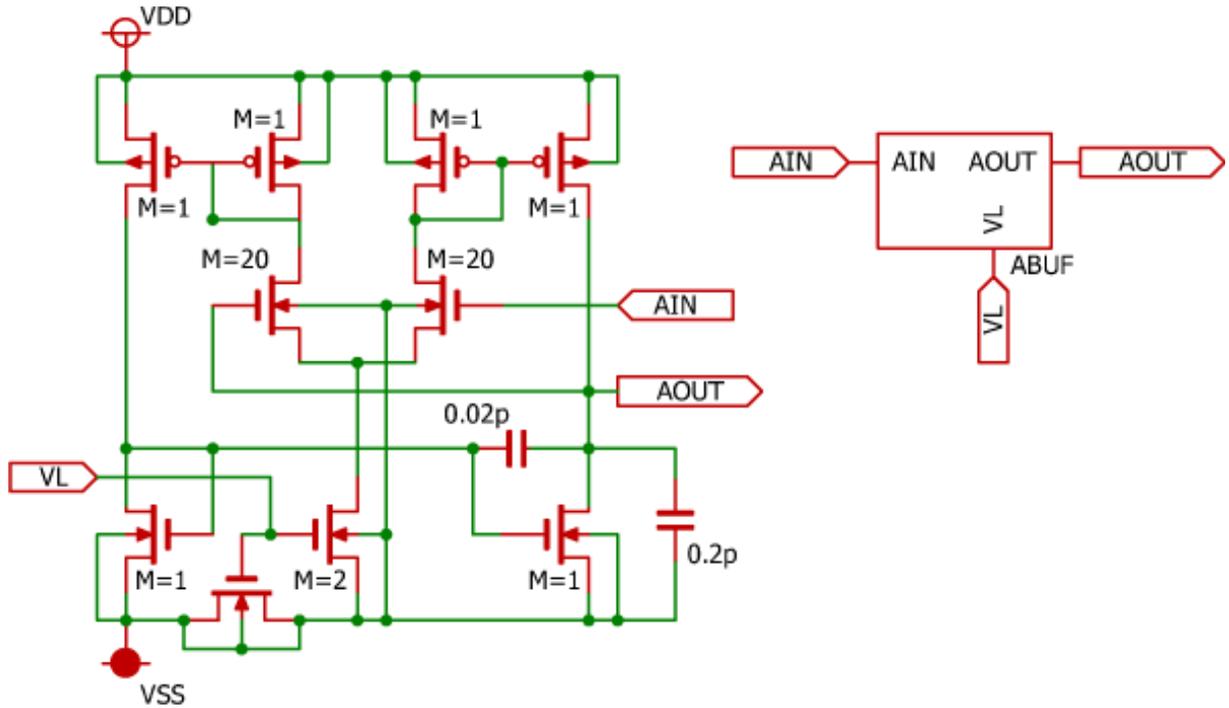


図 5.8: アナログバッファ回路の回路図

から入力された電圧値は保持され、そのまま AOUT から出力される。大きな入力インピーダンスと小さな出力インピーダンスにより、前段の回路に負荷をかけずに後段の処理を行うことができる。VL は nMOS のバイアス電圧導入端子である。入力用のトランジスタには相互コンダクタンスの大きい nMOSFET を用いることで、オープンループゲインを稼いでいる。また発振を抑えるためミラー効果⁶ を利用したミラー補償法を用いており、位相補償用の 0.02 pF と低速化用の 0.2 pF のコンデンサがそれぞれ挿入されている。

5.5.3 波形整形回路

波形整形回路の回路図を図 5.9 左に示す。波形整形回路は増幅要素、抵抗回路、コンデンサから構成されており、1 段微分・1 段積分フィルタとして動作し、前置増幅器から出力された信号を雑音に強いガウシアン型に整形して S/N 比を向上させる役割がある。フィルタの構造は図 5.9 右のように簡略化して表すことができる。このフィルタの伝達関数は、

$$T(s) = -\frac{C_0}{C_1} \frac{1}{1 + s(R_2C_2 + \frac{1}{s^2R_1C_1})} \quad (5.4)$$

⁶ トランジスタの入出力端子間に接続された容量は入力端子側から見ると電圧増幅利得倍大きく見える現象。高周波遮断周波数が下がり高周波利得が減少する。

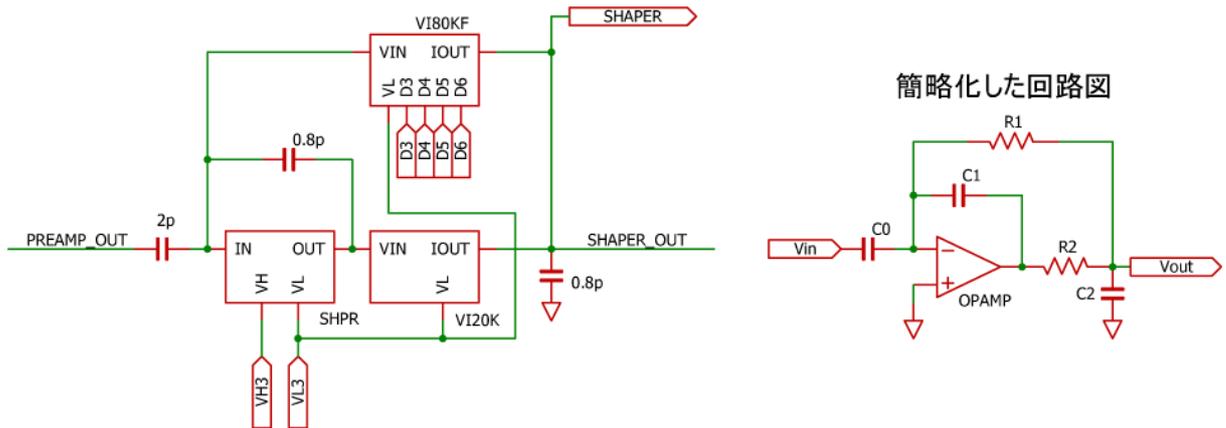


図 5.9: 波形整形回路の回路図 (左) 回路ブロック図 (右) フィルタの構造

と表される。抵抗およびコンデンサの容量は、オーバーシュートによる影響を抑えるため臨界減衰条件である $R_1 C_1 = 4 R_2 C_2$ を満たすように設定されており、 $R_1 = 4 R_2$ 、 $C_1 = C_2$ となる。従ってこの回路は、

$$f = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} = \frac{1}{\pi R_1 C_1} \quad (5.5)$$

を中心とした通過周波数帯域を持つバンドパスフィルタとして動作していることがわかる。実際に数値を代入すると、整形時定数は 64 ns となる。

抵抗回路である VI80KF には 4 bit の電流 DAC 回路が内蔵されており、レジスタの値を設定することで SHAPER 信号のオフセット電圧を調整することができる。

整形増幅器用の増幅要素

整形増幅器用の増幅要素の回路図を図 5.10 に示す。VH は pMOS、VL は nMOS の定電流源用バイアス電圧導入端子である。基本的には前置増幅器用と同じく pMOS を入力トランジスタに用いたフォールデッドカスコード構成となっているが、差動型となったことで負荷がカスコード電流ミラー回路に変更されている点が異なる。演算増幅器として機能しており、プラス入力側は常に接地されている。

抵抗回路

抵抗回路の例として VI20K の回路図を図 5.11 に示す。抵抗回路は 20 kΩ の抵抗を差動対で挟み込んだ構造となっており、VIN と IOUT の端子間の電位差に比例した電流が IOUT 端子から流れ出す仕組みになっている。通常の抵抗素子と異なり、VIN 側からみた

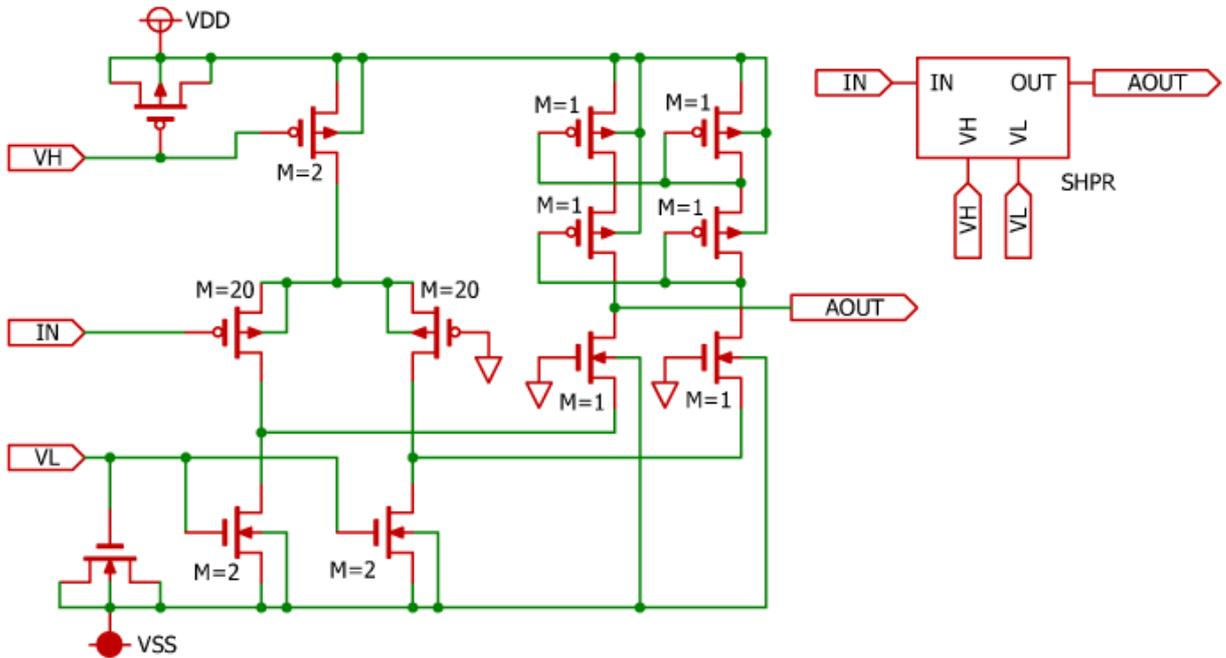


図 5.10: 整形増幅器用の増幅要素の回路図

抵抗値は非常に大きいので抵抗回路に電流は流れ込まない。従って前段の回路に負担をかけず、波形の歪み等が発生しにくいという特徴がある。VI20K の場合には全ての定電流源の M 値が等しく 5 に設定されているが、M 値の比を変えて電流を絞ることで 100 MΩ クラスの高抵抗を実現することも可能となる。

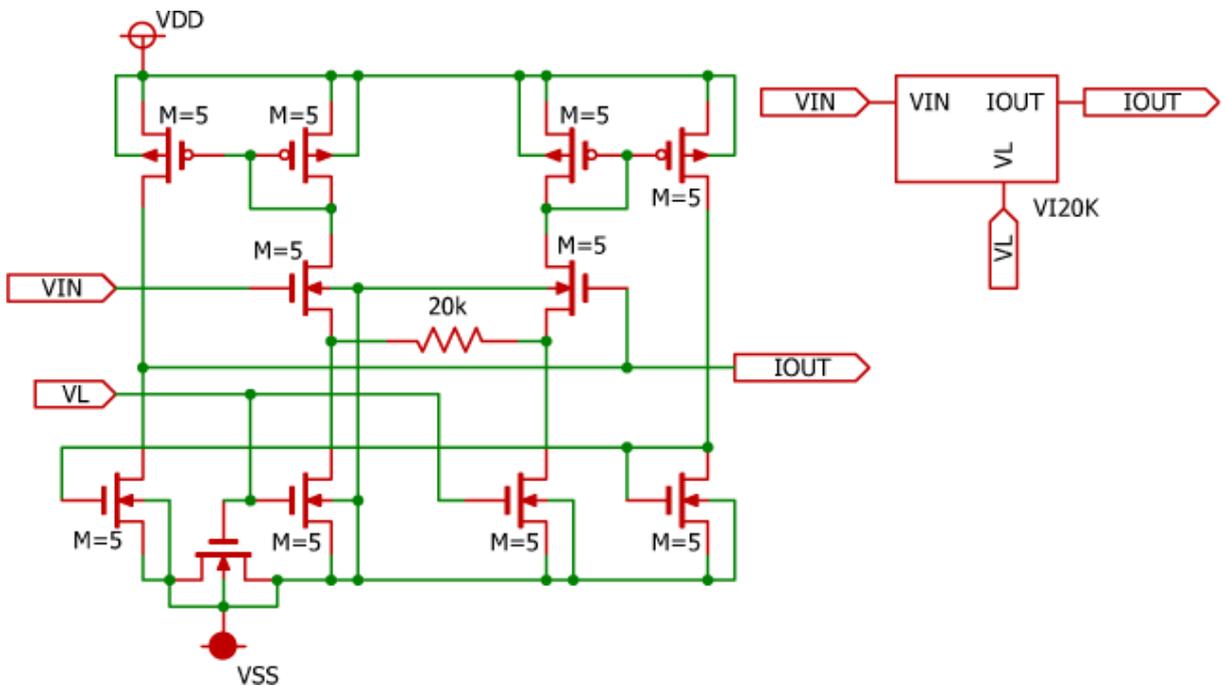


図 5.11: 抵抗回路の回路図

ローパスフィルタ

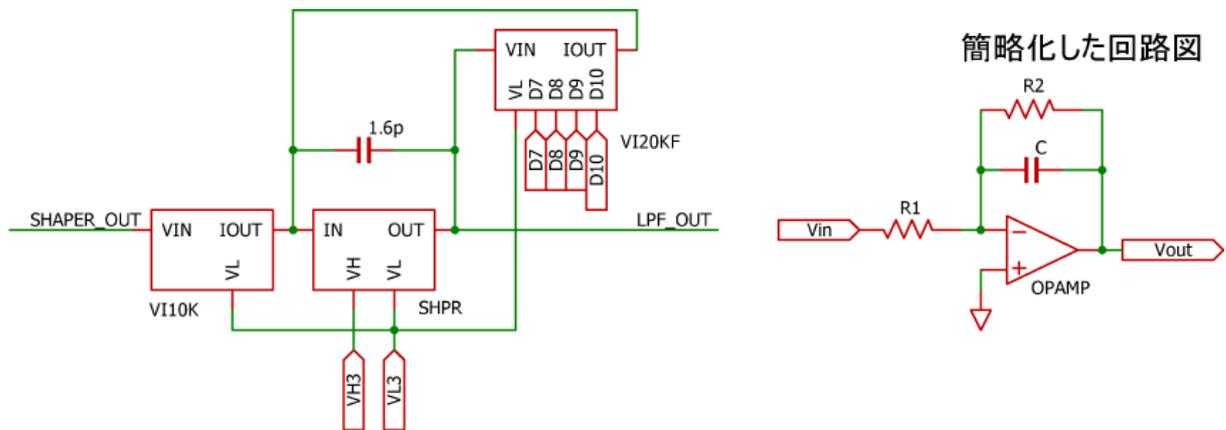


図 5.12: ローパスフィルタの回路図 (左) 回路図 (右) 概略図

ローパスフィルタの回路図を図 5.12 左に、概略図を図 5.12 右にそれぞれ示す。ローパスフィルタは増幅要素である SHPR と、10 kΩ 相当の入力抵抗、20 kΩ 相当の帰還抵抗、1.6 pF の帰還容量から構成され、伝達関数は

$$T(s) = -\frac{R_2}{R_1} \frac{1}{1 + sR_2C} \quad (5.6)$$

と表される。従って時定数は $R_2C = 32 \text{ ns}$ となる。

TIPPET08 では波形整形回路の出力信号のゼロクロス点で時間情報を得る方式になっていたが、波高のピークに達した後に波形が鈍り、クロス時の傾き (dV/dt) が小さくなってしまふことにより、想定していた時間分解能が得られないという問題が明らかになった。そこで TIPPET32 では、波形整形後にもう一段時定数の短いローパスフィルタを挿入することにより整形次数を増やし、波形をよりガウシアンに近付けるという対策がなされている。

帰還抵抗に相当する VI20KF には 4 bit の電流 DAC 回路が内蔵されており、レジスタの値を設定することで SLOW 信号のオフセット電圧を調整することができる。

微分回路

微分回路の回路図を図 5.13 左に、概略図を図 5.13 右にそれぞれ示す。微分回路は増幅要素である SHPR と、10 kΩ 相当の入力抵抗、3.2 pF の入力容量、20 kΩ 相当の帰還抵抗、1.6 pF の帰還容量から構成され、SHAPER 信号を微分し波高のピークを検出する。

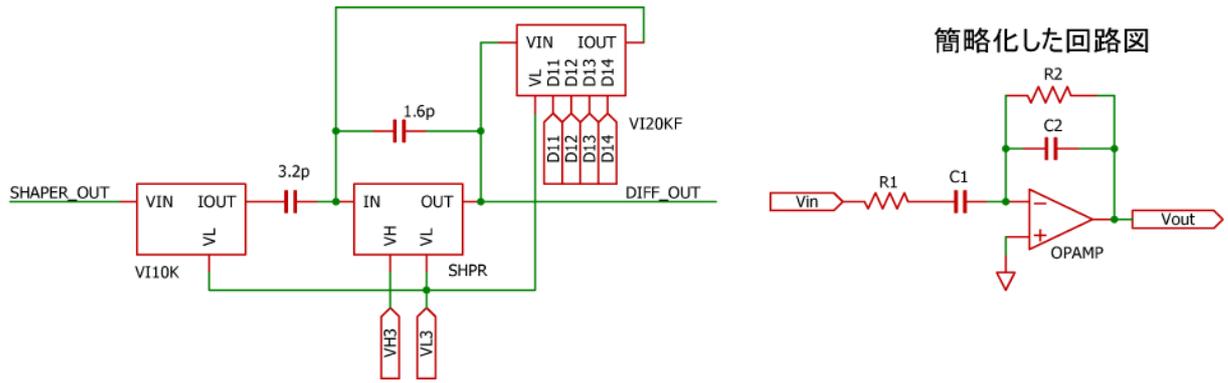


図 5.13: 微分回路の回路図 (左) 回路図 (右) 概略図

伝達関数は

$$T(s) = -\frac{sR_2C_1}{(sR_1C_1 + 1)(sR_2C_2 + 1)} \quad (5.7)$$

となり、実際には 1 段微分 1 段積分のバンドパスフィルタとしても動作する。微分回路としての時定数は $R_2C_1 = 64 \text{ ns}$ である。帰還抵抗に相当する VI20KF にはローパスフィルタと同様に 4 bit の電流 DAC 回路が内蔵されており、レジスタの値を設定することで FAST 信号のオフセット電圧を調整することができる。

SPICE シミュレーションで得られたここまでのアナログ信号処理波形を図 5.14 に示す。

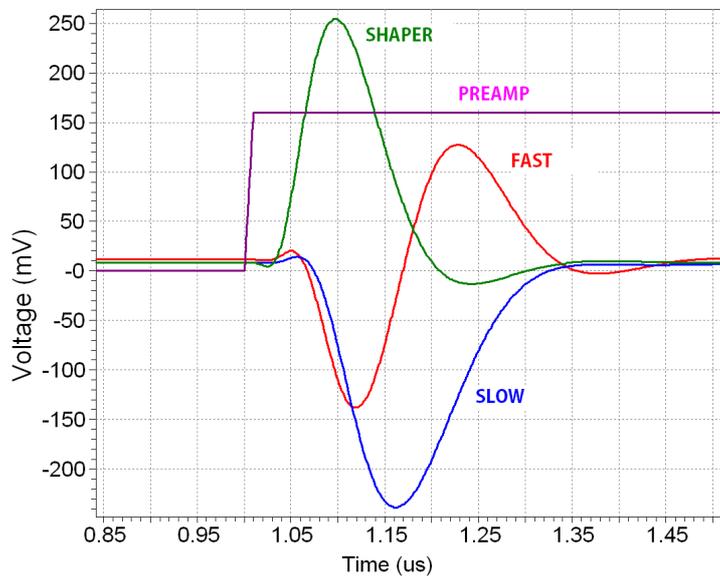


図 5.14: 511 keV 相当のテストパルスを入力した時の信号波形のシミュレーション。PREAMP は前置増幅器出力、SHAPER は波形整形回路出力、SLOW はローパスフィルタ出力、FAST は微分回路出力をそれぞれ表している。整形次数が大きくなったことで SLOW 信号の形がガウシアンに近付き、それを微分した FAST 信号もグランドに対する対称性が大幅に改善された。

オフセット電圧調整回路

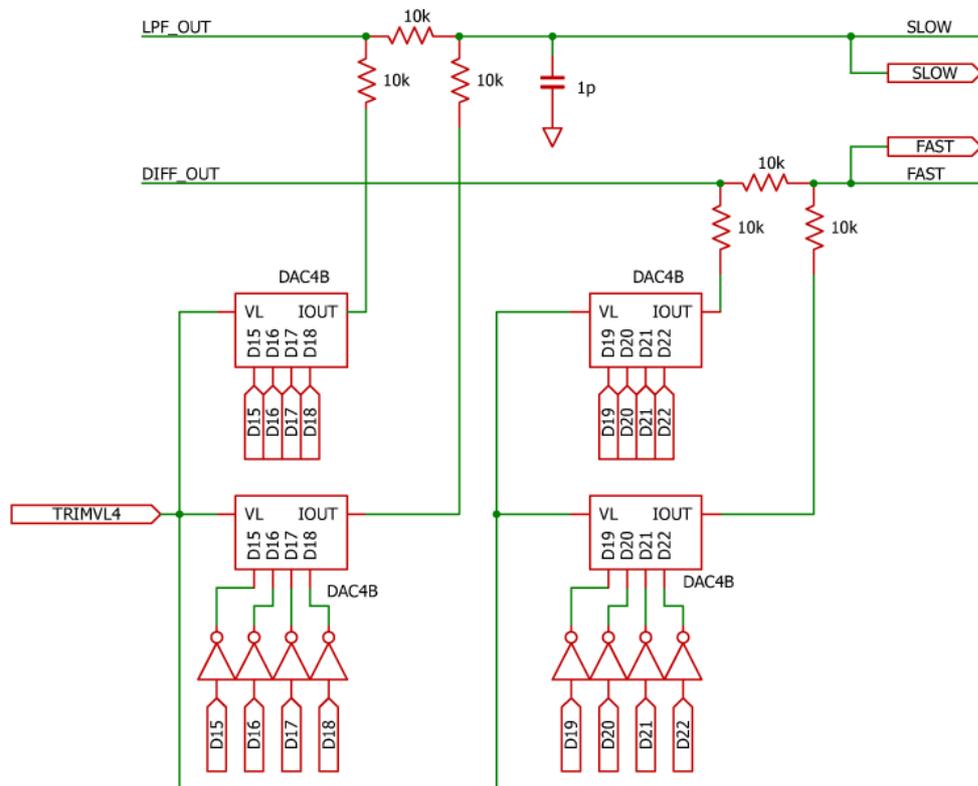


図 5.15: オフセット電圧調整回路

オフセット電圧調整回路の回路図を図 5.15 に示す。オフセット電圧調整回路は、信号線に対して直列及び並列に接続された抵抗と、4 bit の電流 DAC から構成される。SLOW 信号側に接続されている 1 pF のコンデンサはゼロクロス点と SLOW のピーク位置を合わせるための遅延要素である。オフセット電圧を調整する最も単純な方法は、信号線に単体の電流 DAC を接続して電流を直接注入もしくは引き抜く方法であり、TIPPET08 では実際にそのような構成になっていた。しかしながら直接信号線に対して電流の操作を行うと、前段の整形回路の出力部に負荷がかかり図 5.16 左に示すように波形が大きく歪んでしまうことが明らかになった。そこで TIPPET32 では図 5.15 のように電流 DAC を 2 つ用い、信号線に直列に挿入された抵抗に対して電流の供給と引き抜きを同時に行うことで、信号線への干渉を最小限に抑えつつオフセット電圧を可変とすることに成功した (図 5.16 右)。

電流 DAC の電流量の制御は、各チャンネル毎に用意されたコントロールレジスタの値を設定することで行う。調整可能な量は 1 bit につき 3 mV 程度で、全部で 16 通りの設定があるため ± 20 mV 程度まで対応できる。またそれより大きなオフセット電圧に対しては前段の波形整形回路の帰還抵抗にて対応可能である。

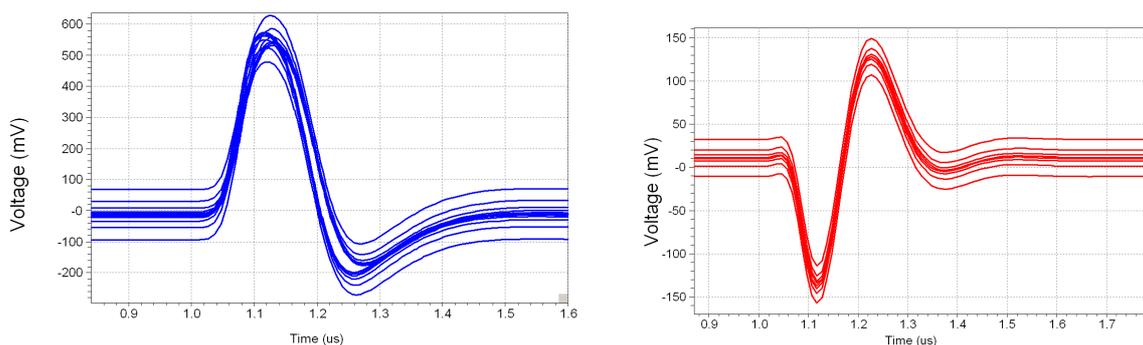


図 5.16: オフセット電圧調整回路の改良結果 (左)TIPPET08 の FAST 信号に対してオフセット調整回路により直流レベルを変化させた結果。オフセットの変化に伴い波形自身が歪んでしまっている。(右)TIPPET32 の FAST 信号に対して同様にオフセット電圧を変化させた結果。波形の形を綺麗に保ったまま直流電圧レベルをシフトさせることができる。

電流 DAC 回路

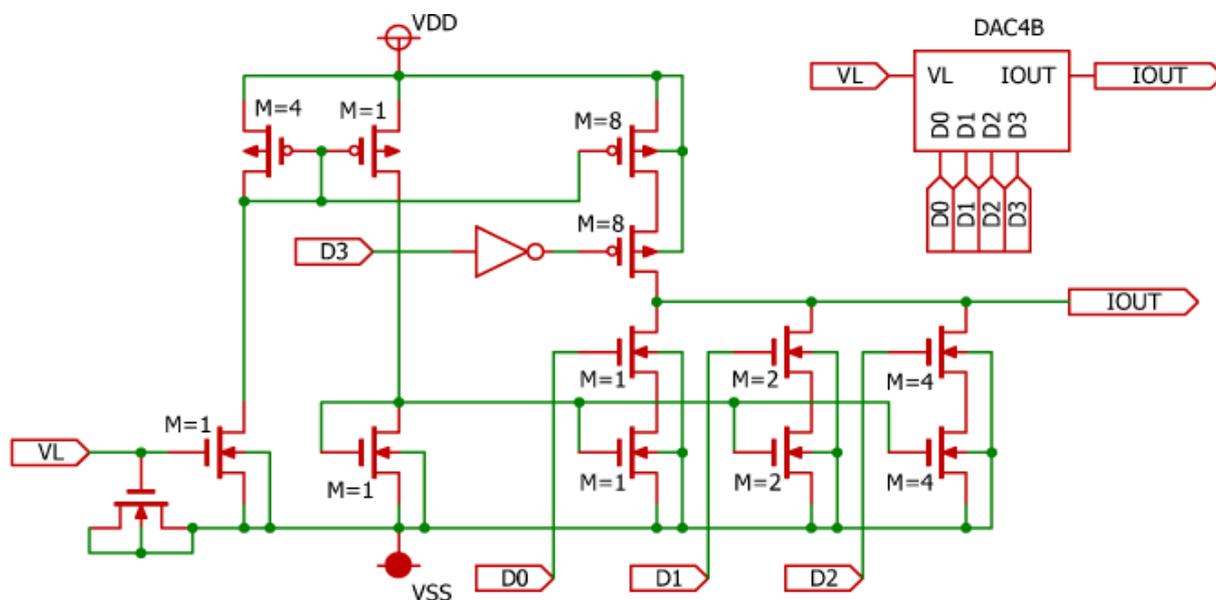


図 5.17: 4bit 電流 DAC 回路

図 5.17 にオフセット調整回路に用いられている 4 bit の電流 DAC 回路の回路図を示す。動作としては、まず nMOS 定電流源用のバイアス電圧 VL によって供給されるバイアス電流を、M 値の異なるカレントミラーで分割し 1/4 の大きさにする。分割された電流は M 値が 1、2、4 に設定された nMOS にコピーされる。D0 が M=1、D1 が M=2、D2 が M=4

にそれぞれ対応しているため、D0 をオンにすると $M=1$ に相当する電流が、D2 をオンにするとその4倍の電流が IOUT 端子から引き抜かれることになる。D0 から D2 までを全てオンにしたとき、引き抜かれる電流の量は最大となる。

一方 D3 は pMOS のアナログスイッチの制御を行い、出力電流の極性を選択する。D3 がオフの時、pMOS のソース-ドレイン間はオフとなり電流は流れないが、D3 がオンの時にはドレイン側から $M=8$ に相当する電流が流れ込む。D0 から D2 までがオフの場合、この電流は全て IOUT 端子から流れ出すことになるため、流出する電流の量は最大となる。従ってオフセット電圧をマイナス側に最大にシフトさせる場合には D3 をオフ、D0 から D2 をオンとすることで電流を引き抜き、プラス側に最大にシフトさせる場合には D3 をオン、D0 から D2 をオフとすることで電流を供給すれば良い。

5.5.4 エネルギー弁別回路

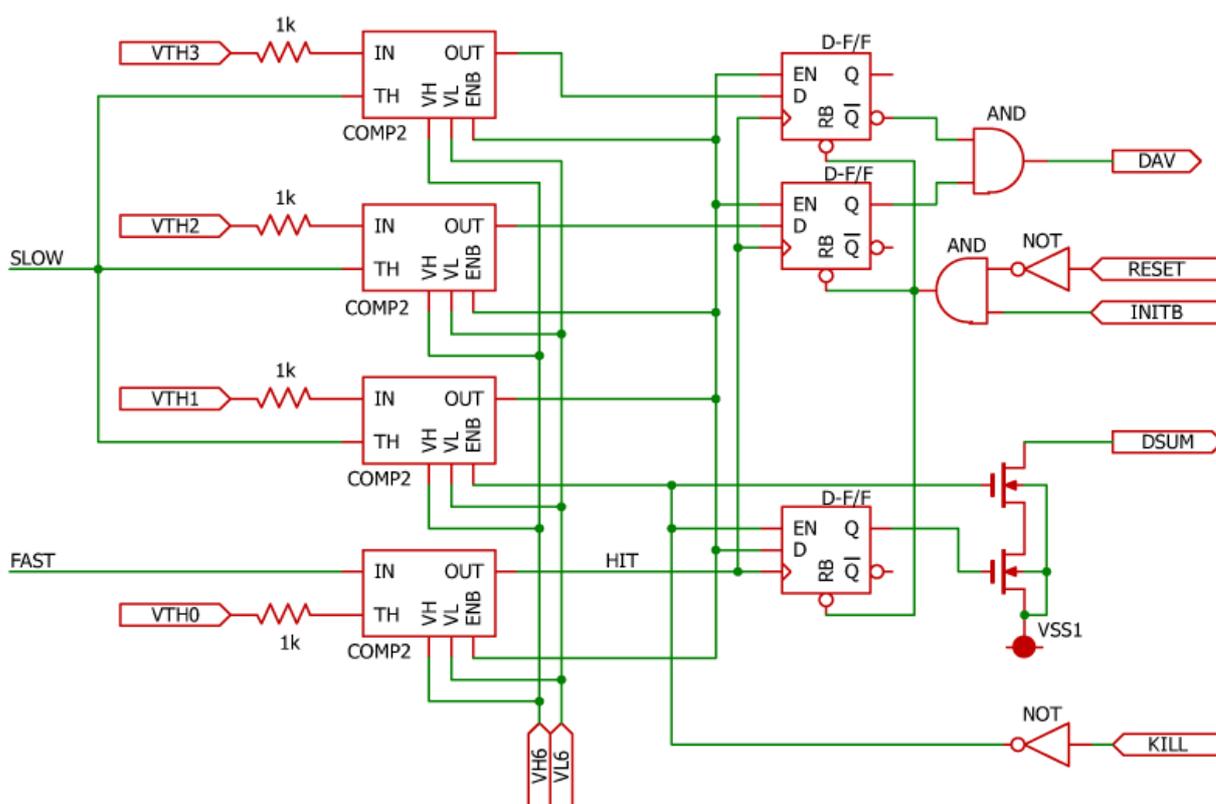


図 5.18: エネルギー弁別回路及びゼロクロスコンパレータの回路図

エネルギーの弁別を行うエネルギー弁別回路及び時間情報を得るためのゼロクロスコンパレータの回路図を図 5.18 に示す。COMP2 はイネーブル付きコンパレータであり、イネーブル信号 (ENB) が HI かつ入力電圧 $V_{IN} > \text{スレッシュホールド電圧 } V_{TH}$ の場合に出力

が HI となる。SLOW 信号については信号が負極性であるため、通常の入力端子ではなくスレッシュールド端子側に信号を入力する構成となっている。各コンパレータのスレッシュールド電圧はゲート保護用の $1\text{ k}\Omega$ の抵抗を介し LSI の外部から供給している。

VTH1 はトリガ信号を生成するためのスレッシュールド電圧であり、雑音レベル以上で最低限のエネルギー (例えば 10 keV 相当) を超えるイベントが起こった場合にのみゲートを解放することで雑音による影響を抑えている。VTH1 のコンパレータがオンになると他のコンパレータのイネーブルが HI になり、エネルギー及び時間の判定の準備が整う。VTH2 及び VTH3 はそれぞれエネルギーの下限と上限を設定する電圧であり、例えば VTH2 は 400 keV 、VTH3 は 600 keV のイベントに相当するような電圧値に設定されている。 511 keV の光電効果のイベントであれば VTH2 側はオン、VTH3 側はオフになるため、エネルギーによる弁別が可能となる。

しかしながら、エネルギーによる弁別を正しく行うためには信号のピークを精度良く検出し、ピークに達した瞬間の波高値で弁別を行う必要がある。本チップでは信号のピークを検出するために、微分回路とゼロクロスコンパレータを用いたゼロクロス法を採用している。

5.5.5 ゼロクロスコンパレータ

図 5.18 における VTH0 はゼロクロスコンパレータのスレッシュールド電圧であり、波形整形後の SHAPER 信号を微分した FAST 信号のゼロクロス電圧を設定している。ゼロクロス電圧は理想的には 0 V に設定されるべきだが、信号のオフセット電圧や個々のチャンネルのばらつきを補正するため外部から柔軟に設定可能とした。

SLOW 信号が VTH1 を上回るとゼロクロスコンパレータのイネーブルが HI になり、その状態で FAST 信号が VTH0 を上回るとコンパレータがオンになり HIT 信号が生成される。HIT 信号は後段の 3 つの D 型フリップフロップ回路 (D-F/F) のクロック入力に接続されている。そのうち上の 2 つはエネルギーの弁別を行う回路であり、VTH3 により設定される高エネルギー側と VTH2 により設定される低エネルギー側のコンパレータの出力がデータ入力端子に接続され、HIT 信号がオンになった瞬間、すなわち波高のピークに達した瞬間に入力端子の状態が出力端子にラッチされ、 $VTH2 < SLOW < VTH3$ であれば 511 keV のイベントであると判断しデータバリッド信号 (DAV) が出力される。

一方下側のコンパレータは CHAIN2 の時間電圧変換回路のスタート信号を生成する回路であり、2 つの nMOS トランジスタと組み合わされた構成になっている。上側の nMOS はオ

ペレーション時には常にオン状態であるが、ソースに負極電源の接続された下側の nMOS は HIT 信号が出力された瞬間に初めてオンになる。従って信号が来るまでの間 DSUM 端子はハイ・インピーダンス状態に保たれているが、信号が来た瞬間に負極電源電圧 (-1.65 V) が出力される。これは本回路において 32 チャンネルある CHAIN1 の全ての DSUM 信号が 1 チャンネルの時間電圧変換回路のスタート信号入力端子に直接接続されており、信号が来ない時にはハイ・インピーダンス状態をとることで出力端子同士の短絡を防ぐ必要があるためである。以上に述べたエネルギー弁別回路及びゼロクロスコンパレータの動作について概略を図 5.19 に示す。

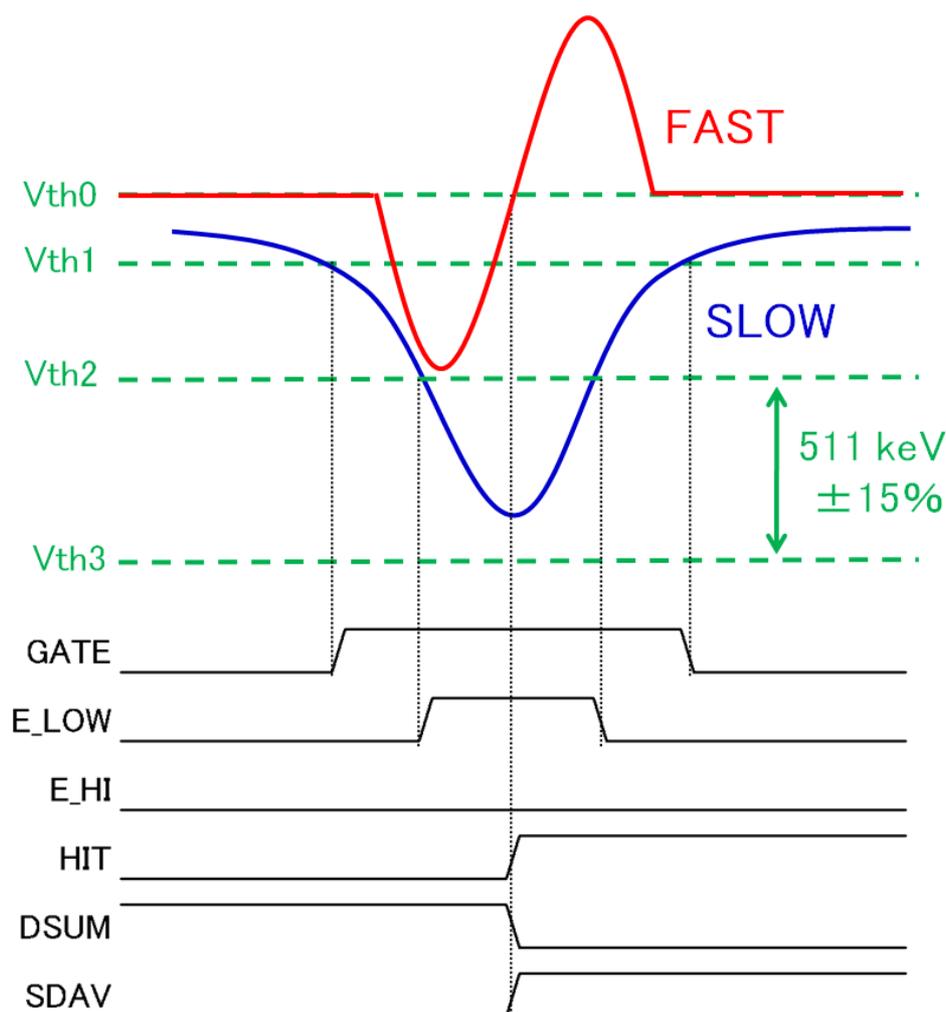


図 5.19: エネルギー弁別回路及びゼロクロスコンパレータの動作の概略図。GATE は VTH1、E_LOW は VTH2、E_HI は VTH3、HIT は VTH4 をそれぞれしきい値とするコンパレータの出力信号を表している。SLOW 信号が VTH1 を下回ると GATE が HI になり他のコンパレータが動作可能となる。FAST 信号が VTH0 を上回った瞬間に VALID 判定を行い、SLOW の波高が $VTH2 > SLOW > VTH3$ であれば VALID なイベントであると判断され SDAV 信号が出力される。VTH2 と VTH3 はエネルギー分解能を考慮し、例えば $511 \text{ keV} \pm 15\%$ 程度の幅に設定される。

5.5.6 ローカルコントロールレジスタ

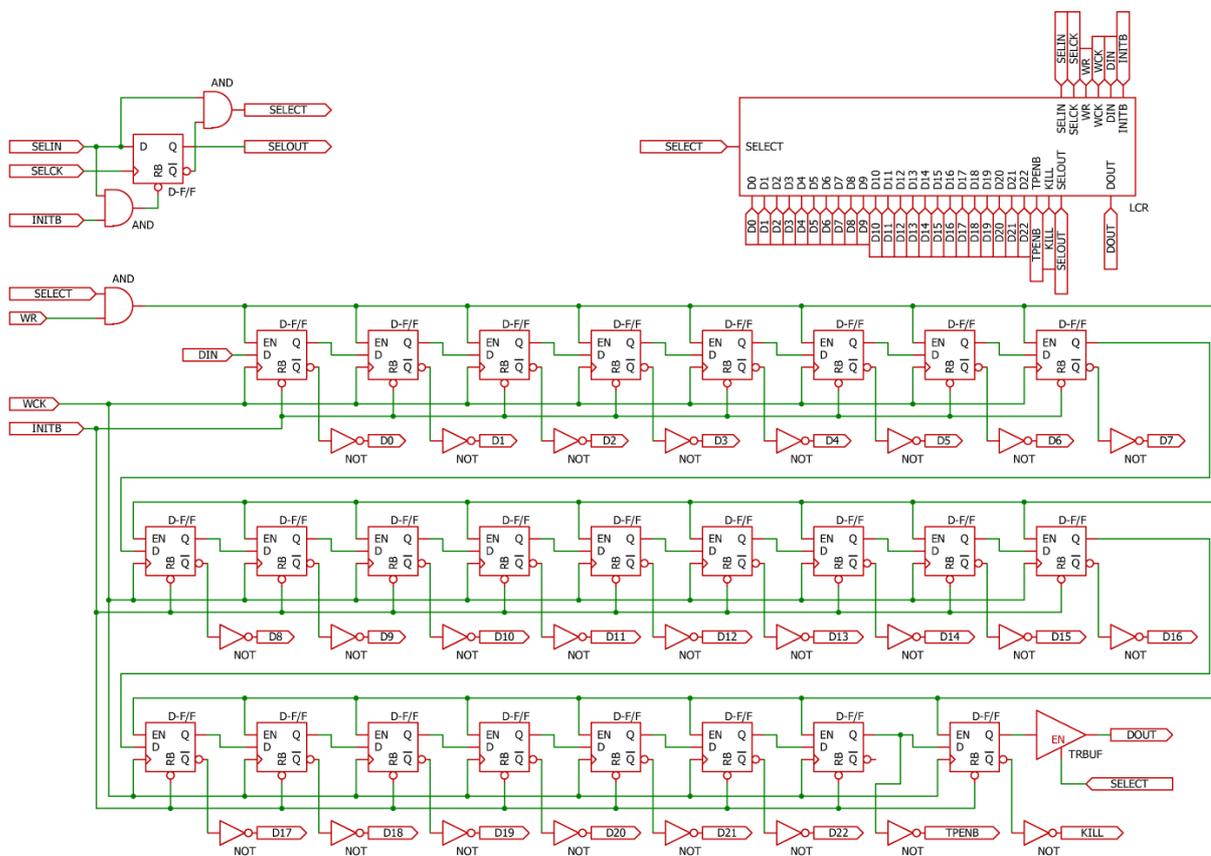


図 5.20: ローカルコントロールレジスタ (LCR) の回路図

ローカルコントロールレジスタは図 5.20 に示すように 25 個のシフトレジスタから構成されており、各チャンネル毎に設置されている。これらのレジスタに対して外部から値を書き込むことで、そのチャンネルにおける前置増幅器のゲインの変更や信号のオフセット電圧の調整など様々な設定を行うことが可能である。TIPPET08 の LCR では 18 bit であったが TIPPET32 では 25 bit まで拡張されており、時間分解能を悪化させる要因となる信号ラインのオフセット電圧を 3 mV 刻みで細かく調整できるようになっている。またチャンネル毎のオン/オフが可能のため、特定のチャンネルにのみテストパルスを注入したり、固有の雑音や時間分解能を測定するといった使い方ができる。最終段にはトリステートバッファ回路が設置されており、チャンネルが選択されていない時にはハイ・インピーダンス状態となることで他のチャンネルへの干渉を防ぐ構造となっている。ローカルコントロールレジスタの各ビットへの機能の割り当てを表 5.2 に、レジスタの値を書き込む先のチャンネルの選択方法を図 5.21 に、データ書き込みのタイミングチャートを図 5.22 に、verilog シミュレータを用いて動作検証を行った結果を図 5.23 にそれぞれ示す。

ビット	役割	変化量/1bit
D0–D2	前置増幅器の帰還容量の設定	0.02 pF
D3–D6	SHAPER のオフセット電圧の調整	50 mV
D7–D9	SLOW のオフセット電圧の粗調整	30 mV
D10	SLOW のオフセット粗調の極性反転	1=+, 0=-
D11–D13	FAST のオフセット電圧の粗調整	30 mV
D14	FAST のオフセット粗調の極性反転	1=+, 0=-
D15–D17	SLOW のオフセット電圧の微調整	3 mV
D18	SLOW のオフセット微調の極性反転	1=-, 0=+
D19–D21	FAST のオフセット電圧の微調整	3 mV
D22	FAST のオフセット微調の極性反転	1=-, 0=+
D23 (TPENB)	HI でテストパルスを入力不可にする	N/A
D24 (KILL)	HI でそのチャンネルを使用不可にする	N/A

表 5.2: ローカルコントロールレジスタの各ビットの役割

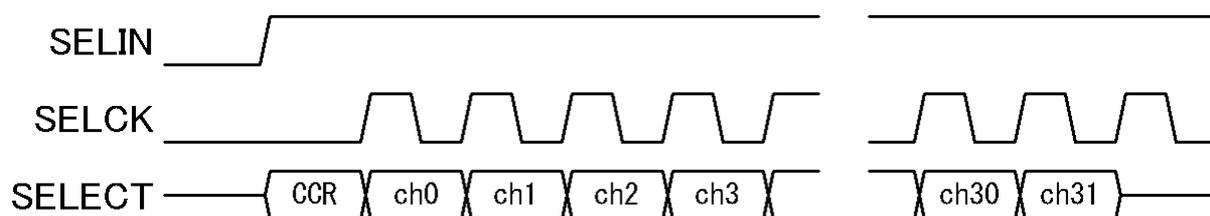


図 5.21: データ書き込み先レジスタの選択方法。SELIN を HI にするとまず CHAIN2 に搭載されたセントラルコントロールレジスタ (CCR) が選択される。その後は SELCK が立ち上がる毎に ch0、ch1、ch2 … ch31 までのローカルコントロールレジスタが選択され、値の書き込みと読み込みが可能になる。

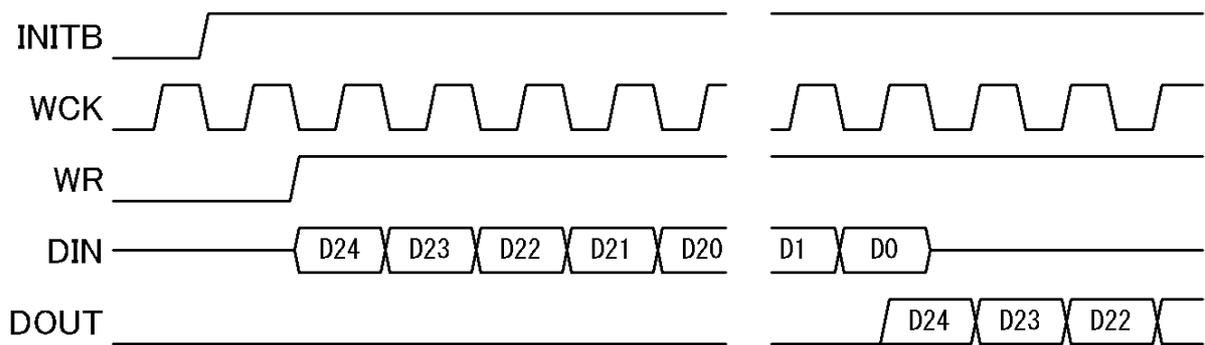


図 5.22: ローカルコントロールレジスタへのデータ書き込み方法のタイミングチャート。INITB が LO の時に全てのレジスタの値はリセットされる。WR は書き込みのイネーブル信号であり、WR が HI の間だけ書き込みが可能になる。WR が HI の時、書き込みクロック WCK が立ち上がった瞬間に DIN の値が最初のレジスタに書き込まれる。24 個全てのレジスタに値が書き込まれた後は、WCK が立ち上がる毎に DOUT 端子から信号が出力される。従ってローカルコントロールレジスタへの書き込みを 2 回連続で行えば、DOUT 端子をモニタすることで全てのレジスタに正しく書き込んでいるかどうかを確認することができる。

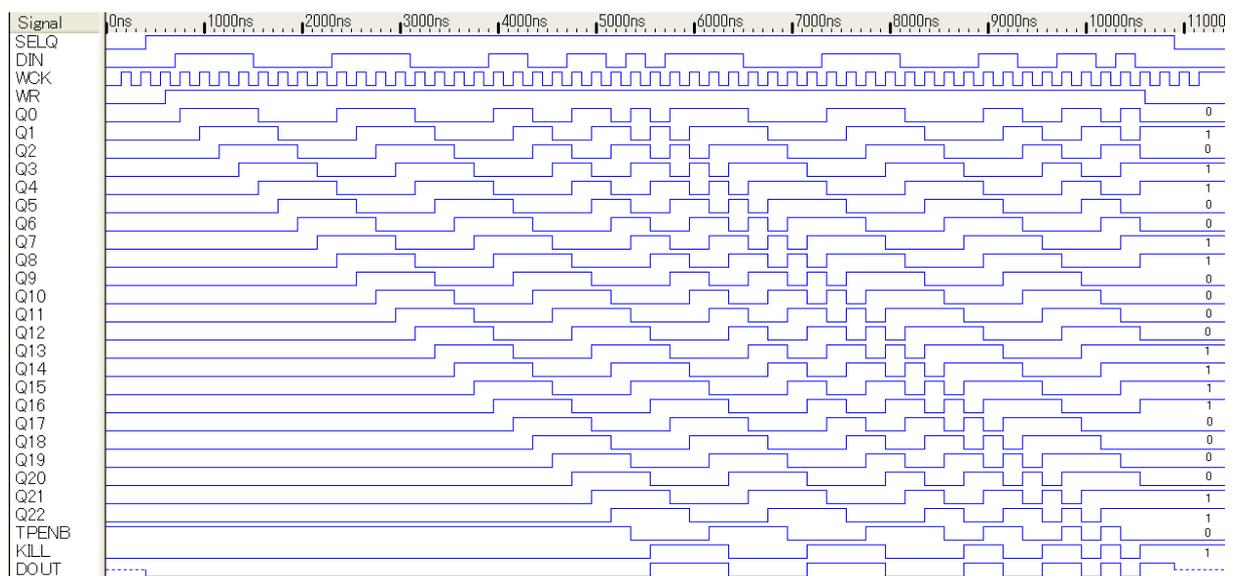


図 5.23: ローカルコントロールレジスタの動作検証のために行った verilog シミュレーション結果。DIN 端子からテストデータ「1111000011110000110011010」を 2 回書き込んだ場合の各 bit の値の変化を表している。TPENB 端子のみ信号の引き出し方が異なるため bit が反転しているように見えるが、全て正常に書き込まれている様子が分かる。チャンネルが選択されていない場合にはハイ・インピーダンス状態となり、他のチャンネルに影響を与えないようになっている。

5.5.7 CHAIN2の回路構成

CHAIN2の回路構成を図5.24に示す。TIPPET08と大きく異なる点としては、漏れ電流補償回路専用のバイアス電圧生成回路が設けられたこと、時間電圧変換回路の構成が変わったこと等が挙げられる。以下に各要素の詳細について述べる。

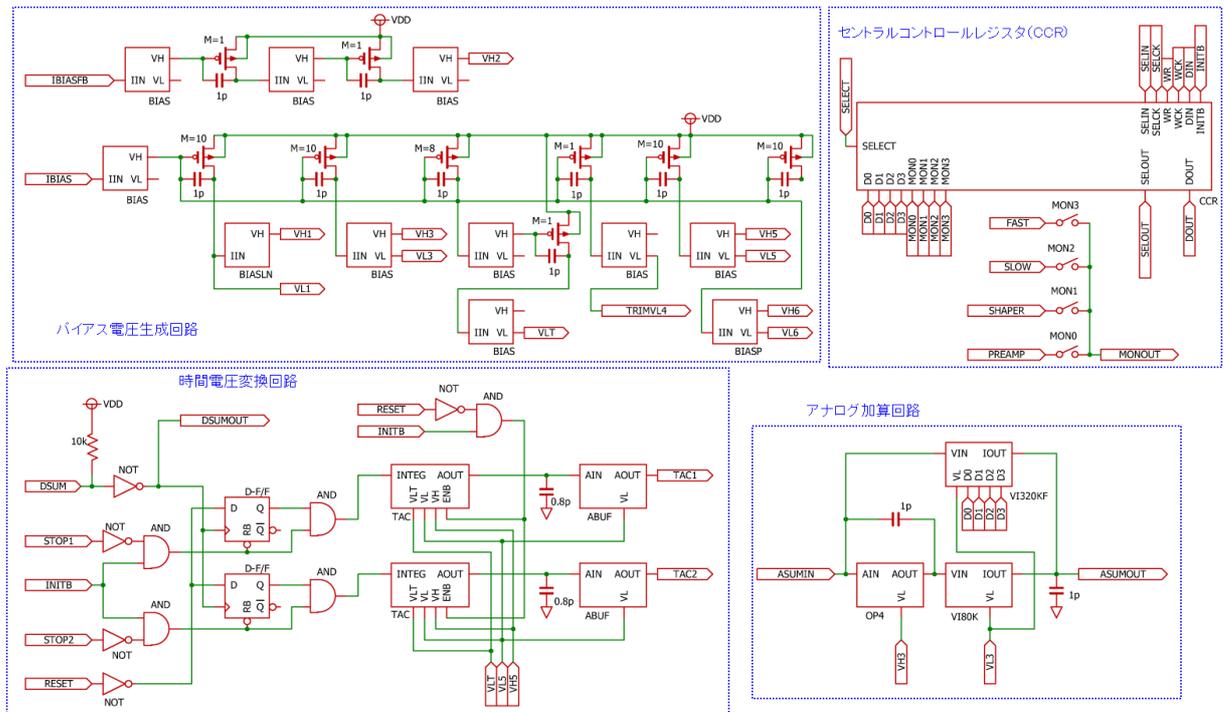


図 5.24: CHAIN2の回路構成

5.5.8 バイアス電圧生成回路

バイアス電圧生成回路の回路図を図5.25に示す。バイアス電圧生成回路はLSI外部から入力される $100 \mu\text{A}$ (IBIAS) 及び $10 \mu\text{A}$ (IBIASFB) の参照電流をコピーし、他の回路の必要な箇所に定電流源を作り込むためのバイアス電圧を生成するための回路である。図5.26に具体的な回路の中身を示す。VHはpMOS側の電流供給回路用、VLはnMOS側の電流シンク回路用のバイアス電圧をそれぞれ供給している。基本的な構造としては I_{IN} から入力される電流を右側の素子にコピーするカレントミラー回路となっており、カスコード負荷を用いることで出力抵抗を大きくし出力電流の安定性を高めている。1 pFのコンデンサはミラー効果を利用することで高周波利得を制限し、高周波雑音に対する感度を下げる役割がある。ただし、前置増幅器用のバイアス電圧生成回路に関してはカスコード負

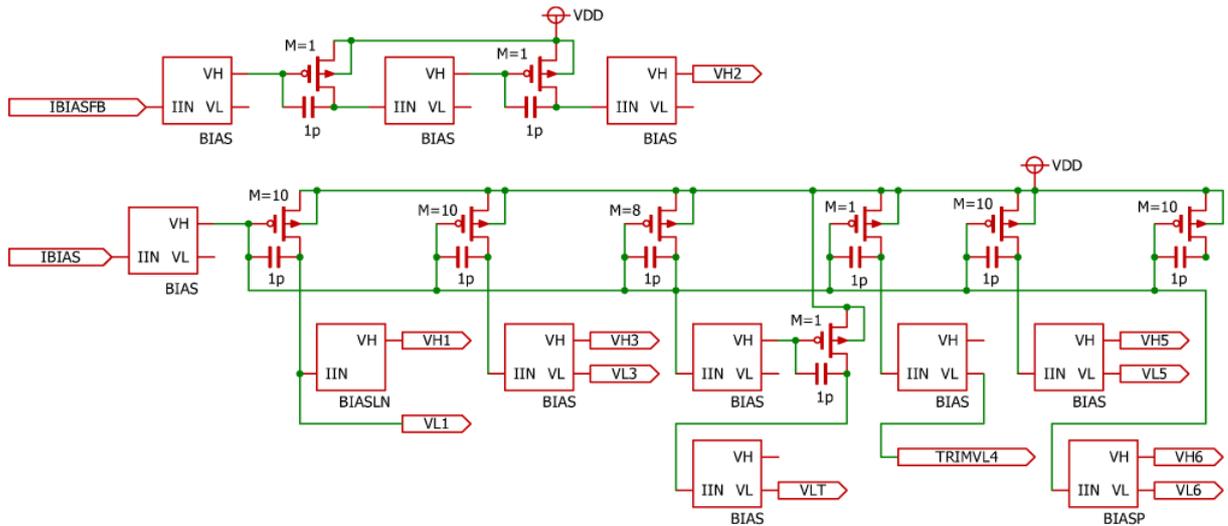


図 5.25: 各種バイアス電圧生成回路の回路構成

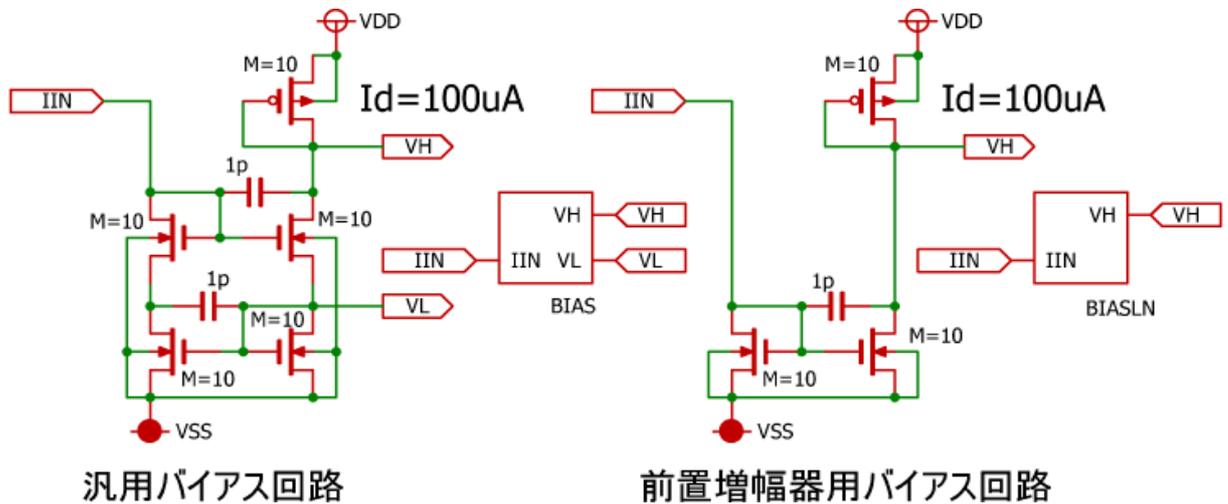


図 5.26: バイアス回路の回路構成 (左) 汎用回路 (右) 前置増幅器専用回路

荷を廃し、大面積のトランジスタを用いることで特に低雑音化を図った BIASLN(図 5.26 右) を用いている。

主要なバイアス電圧は LSI の外部でモニタできるようになっており、不具合が生じた際には外から強制的にバイアス電圧を設定することも可能である。また TIPPET08 では前置増幅器において帰還が不十分なチャンネルが存在したため、TIPPET32 では漏れ電流補償回路への供給電流を IBIASFB 端子を通して外部からコントロールできるような構成とした。外部から供給する電流 IBIASFB は $10 \mu\text{A}$ を基本とし、前置増幅器出力信号が電源に張り付いているような場合には電流量を増やすことで確実にフィードバックをかける仕組みになっている。

5.5.9 アナログ加算回路

アナログ加算回路の回路図を図 5.27 に示す。入力 ASUMIN には全てのチャンネルの前置増幅器出力 (PREAMP) が 1 pF の容量とスイッチを介して接続されており、アナログ加算回路はそれらの波形の加算及び整形処理を低速で行う回路である。基本的な構造は CHAIN1 の波形整形回路と同様だが、抵抗と容量の値が大きくなっている点、及び演算増幅器として入力トランジスタに OP4 を使用している点が異なる。整形時定数は $320 \text{ k}\Omega \times 1 \text{ pF} = 320 \text{ ns}$ となり、波形整形回路に比べて 5 倍の時定数を持ち低速化されていることがわかる。

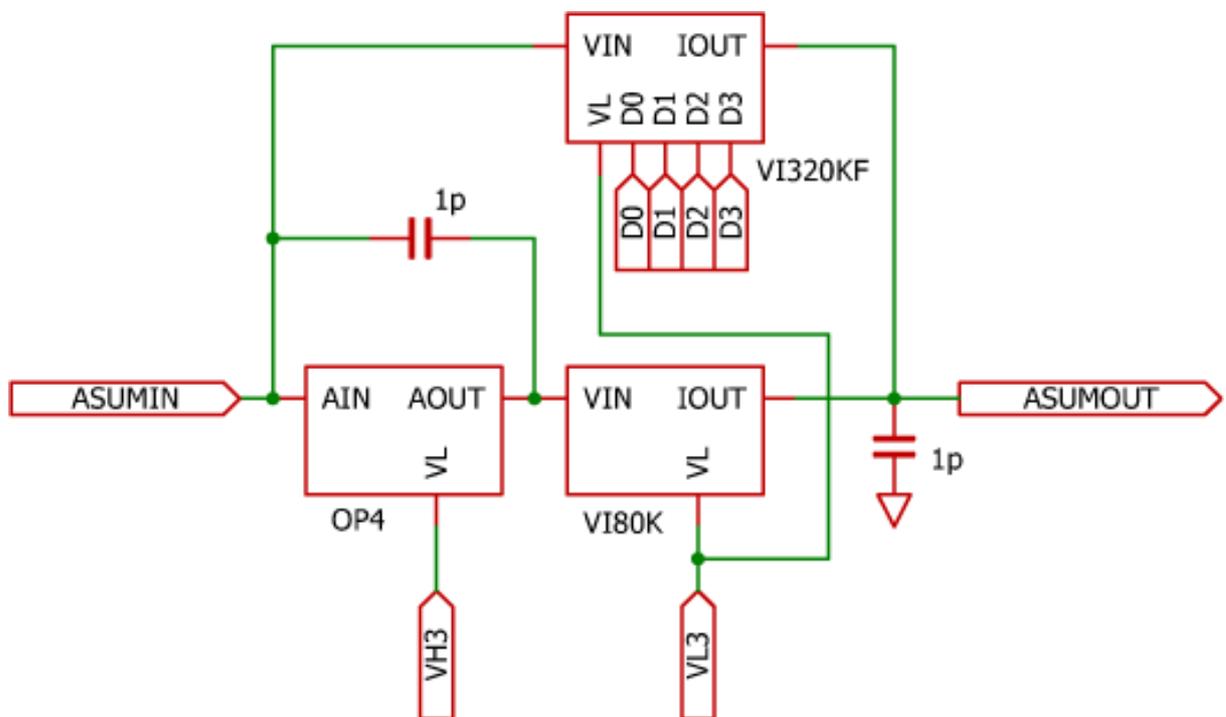


図 5.27: アナログ加算回路の回路図

アナログ加算回路用の増幅要素

アナログ加算回路用の増幅要素の回路図を図 5.28 に示す。VL は nMOS の定電流源用バイアス電圧導入端子であり、入力トランジスタには nMOS の差動対を用いている。出力段にはバッファ回路を備えており、SHPR に比べて大電流を出力できる他、後段の負荷容量が大きい場合でも位相補償により発振を防ぐことが可能となっている。

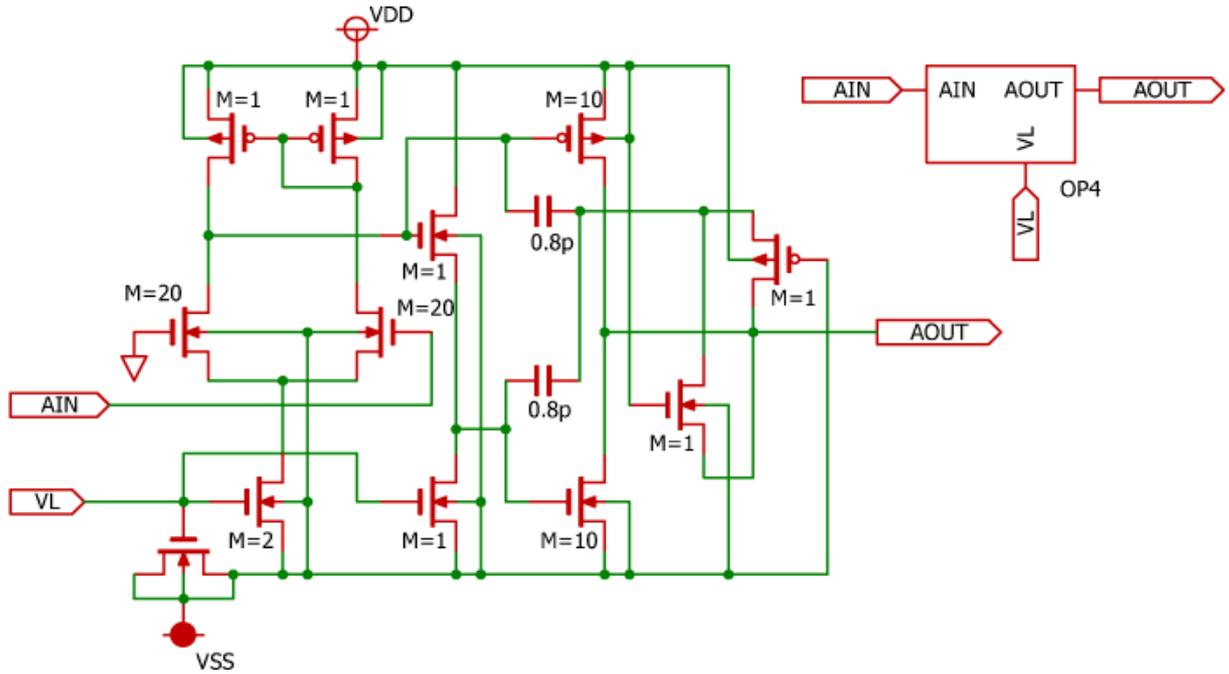


図 5.28: アナログ加算回路用増幅要素の回路図

5.5.10 時間電圧変換回路

時間電圧変換回路の回路図を図 5.29 に示す。基本的な構造としてはどこかのチャンネルで HIT 信号が生成されると DSUM が LO になり、高精度電流源を内蔵した積分要素 (TAC) が 0.8 pF のコンデンサに充電を始める。さらに STOP 信号が入力されると充電をストップし時間に比例した電圧を保持する仕組みとなっている。これらの構造が TAC1 と TAC2 の 2 系統存在し、ダブルストップ方式に対応している。TIPPET08 と異なるのは、TAC 回路の後段のスイッチを取り外し、リセット信号の入力と同時にコンデンサの放電を行う点である (図 5.30)。前回は TAC1 と TAC2 の構造が微妙に異なっていたため STOP 信号が入力されてから電圧が保持されるまでの時間にタイムラグが生じ、線形性が悪化していたことがシミュレーションにより判明した (図 5.31)。

そこで TIPPET32 では回路構成の変更を行い、TAC 回路のリセット方式を変更したところ、図 5.32 に示すように回路の線形性が大幅に改善された。

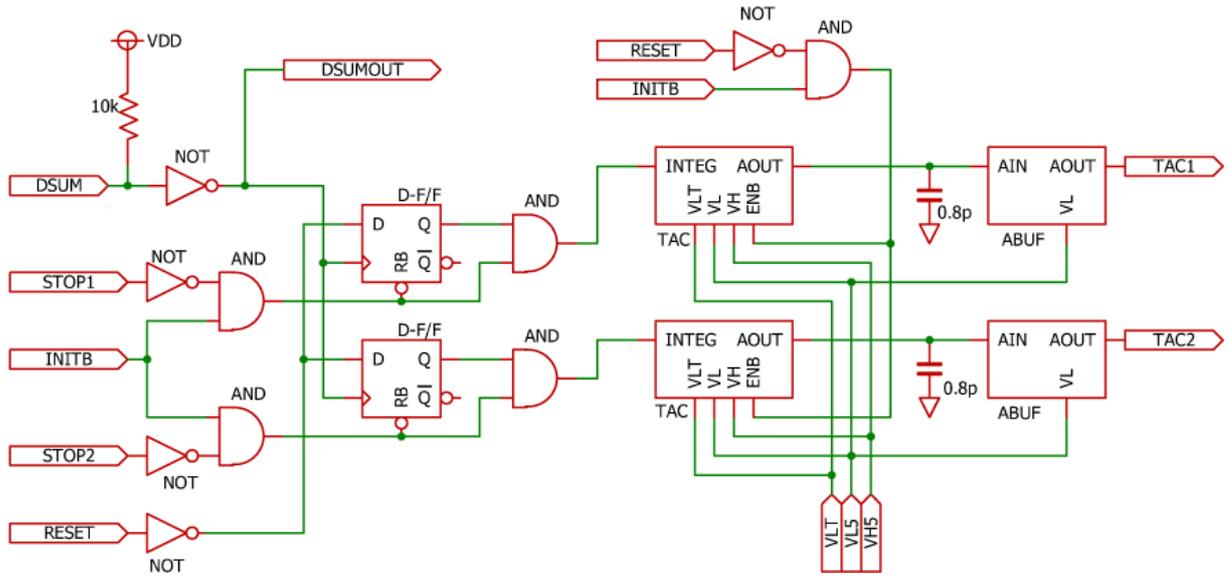


図 5.29: 時間電圧変換回路の回路図

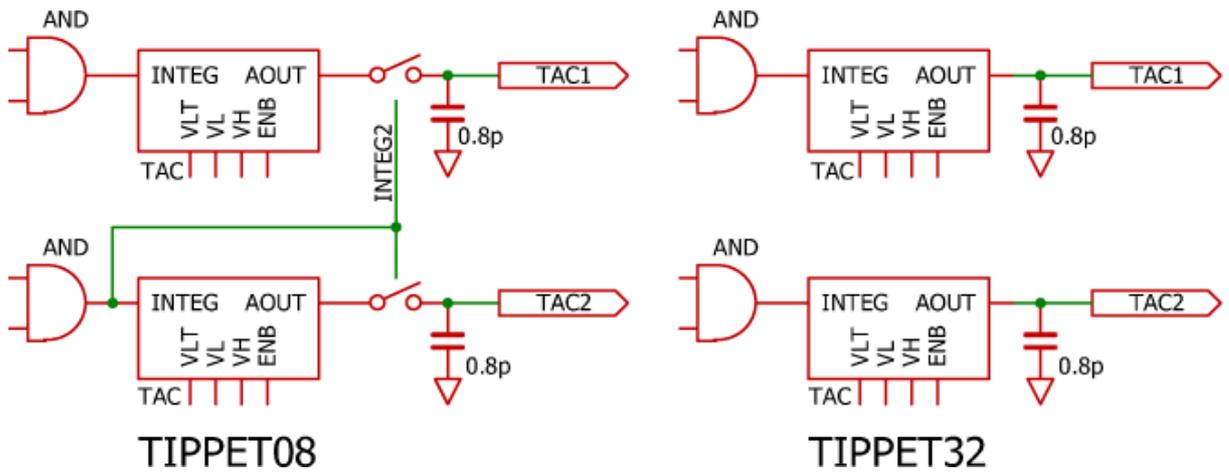


図 5.30: 時間電圧変換回路の改良。TIPPET08では電流源とコンデンサの間にスイッチが挿入され、リセット信号が入力された後も次の信号が来るまで電圧を保持する構成となっていた(左図)。しかし線形性悪化の要因となることが判明したため TIPPET32ではスイッチを取り払いシンプルな構成に変更した(右図)。

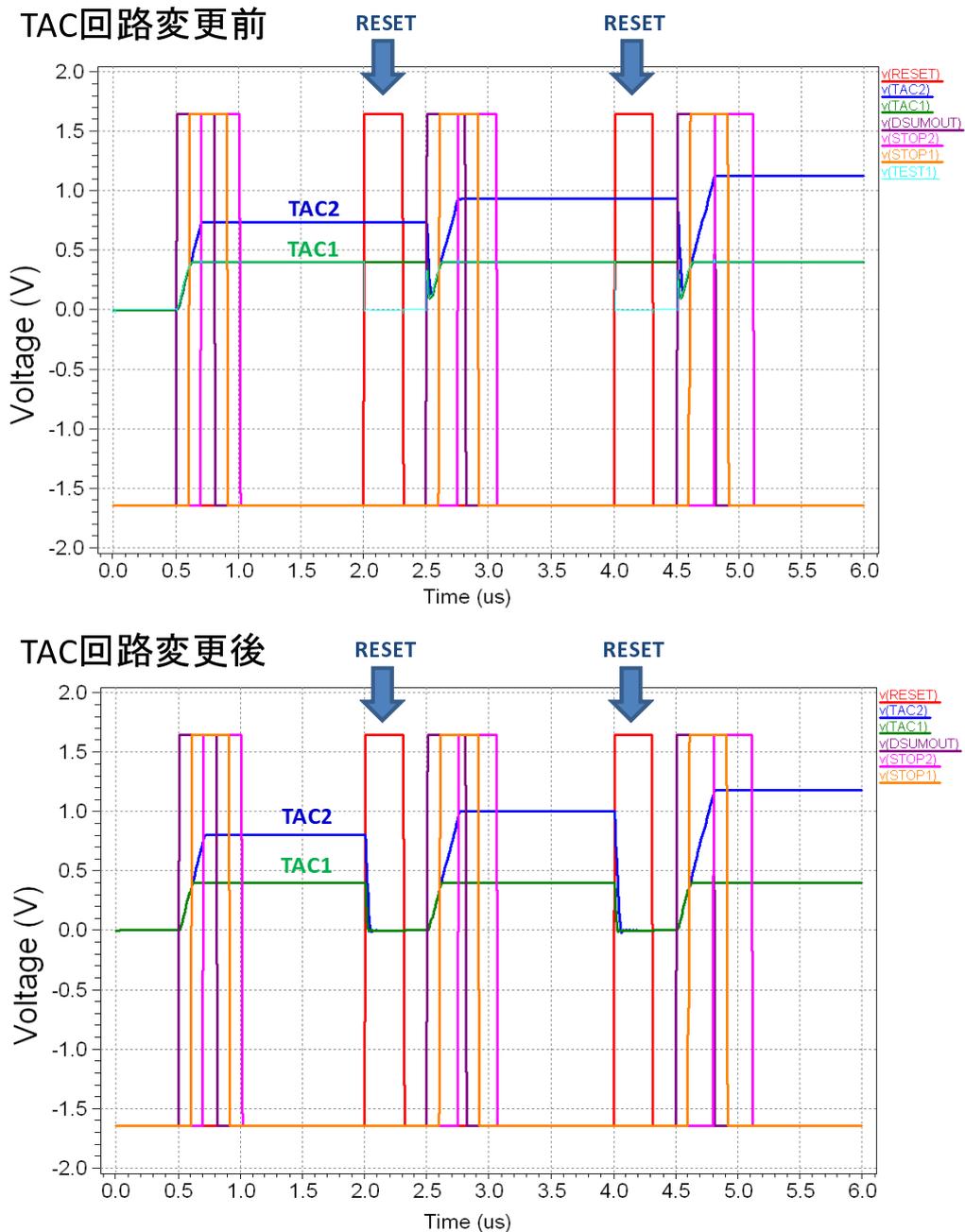


図 5.31: 改良前後の時間電圧変換回路の波形の比較。(上)TIPPET08 では RESET 信号が入力された後も TAC 電圧が保持され、次にイベントが来た時点で放電される。この方法は TAC 電圧を A/D 変換する際の時間的な余裕を大きく取れるという長所があるが、コンデンサの放電に 20 ~ 30 ns 程度の時間が必要となり不感時間が生じ、TAC1 と TAC2 で STOP 時間に差が現れるという欠点がある。(下) 改良を行った TIPPET32 の時間電圧変換回路の波形。RESET 信号が入力されると同時にコンデンサの放電が行われ TAC 電圧がリセットされる。放電が完全に終了した後に充電が始まるため不感時間が存在せず、TAC1 と TAC2 の STOP 時間の差が無くなる。

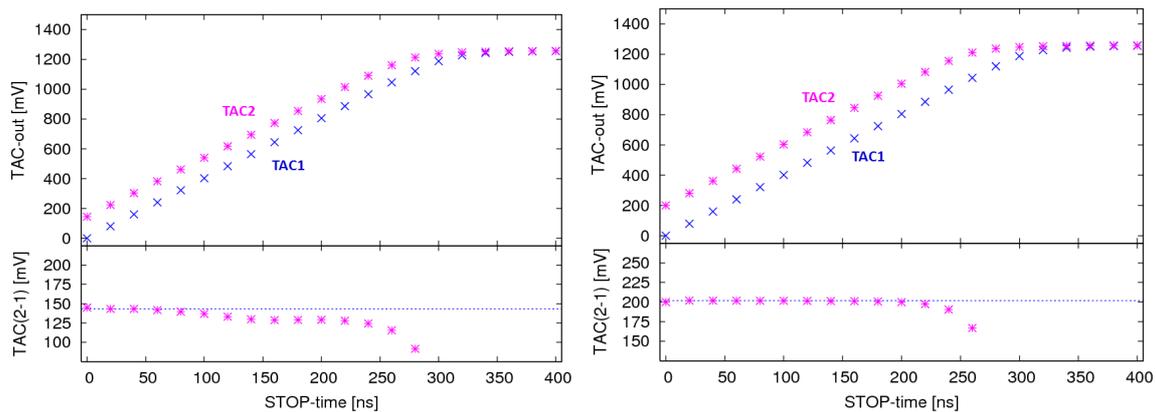


図 5.32: 改良前後の時間電圧変換回路の線形性の比較。STOP1 と STOP2 の入力時間間隔は常に 50 ns を保ちつつ、HIT してから最初のストップ信号を入力するまでの時間を変化させて TAC 電圧の線形性を評価した。(左)TIPPET08 では僅かな不感時間により線形性が悪化し、本来一定であるはずの TAC2 と TAC1 の電位差が STOP 時間によってバラついている。(右)TIPPET32 では TAC の充電前にコンデンサに溜まっている電荷を完全に放電させる方式としたため 0 ~ 200 ns までの広い範囲に渡って TAC2 と TAC1 の電位差は一定に保たれている。

時間電圧変換回路の積分要素

時間電圧変換回路用の積分要素 (TAC) の回路図を図 5.33 に示す。INTEG は START 及び STOP 信号入力端子、VLT は定電流源用バイアス電圧導入端子、ENB はコンデンサの放電を行うためのリセット端子である。基本的には高精度な定電流源と 0.2 pF の帰還容量を持つ積分要素から構成されており、INTEG が HI になってから LO になるまでの時間だけコンデンサを充電し、入力時間間隔に比例した電圧を出力する仕組みになっている。

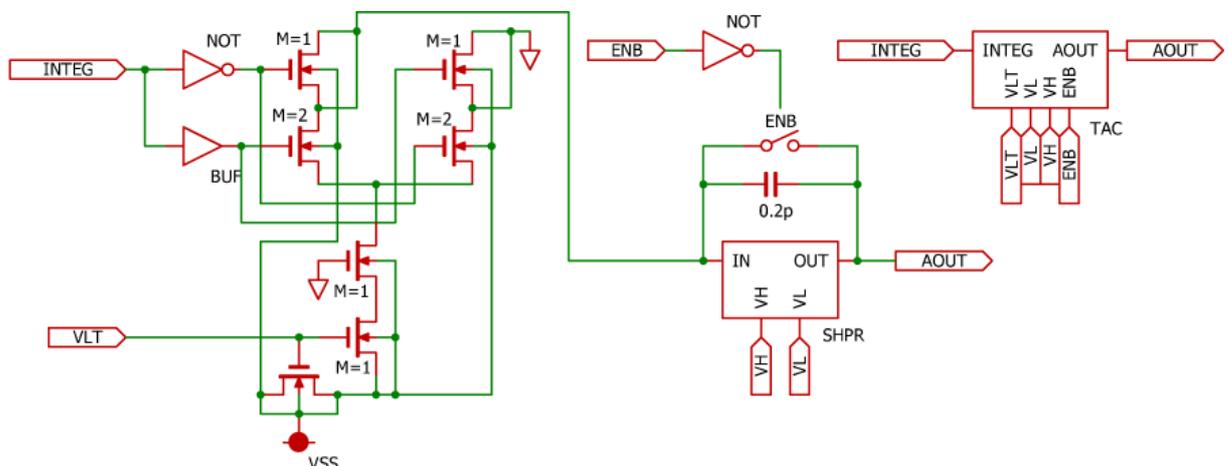


図 5.33: 時間電圧変換回路用の積分要素の回路図

5.5.11 セントラルコントロールレジスタ

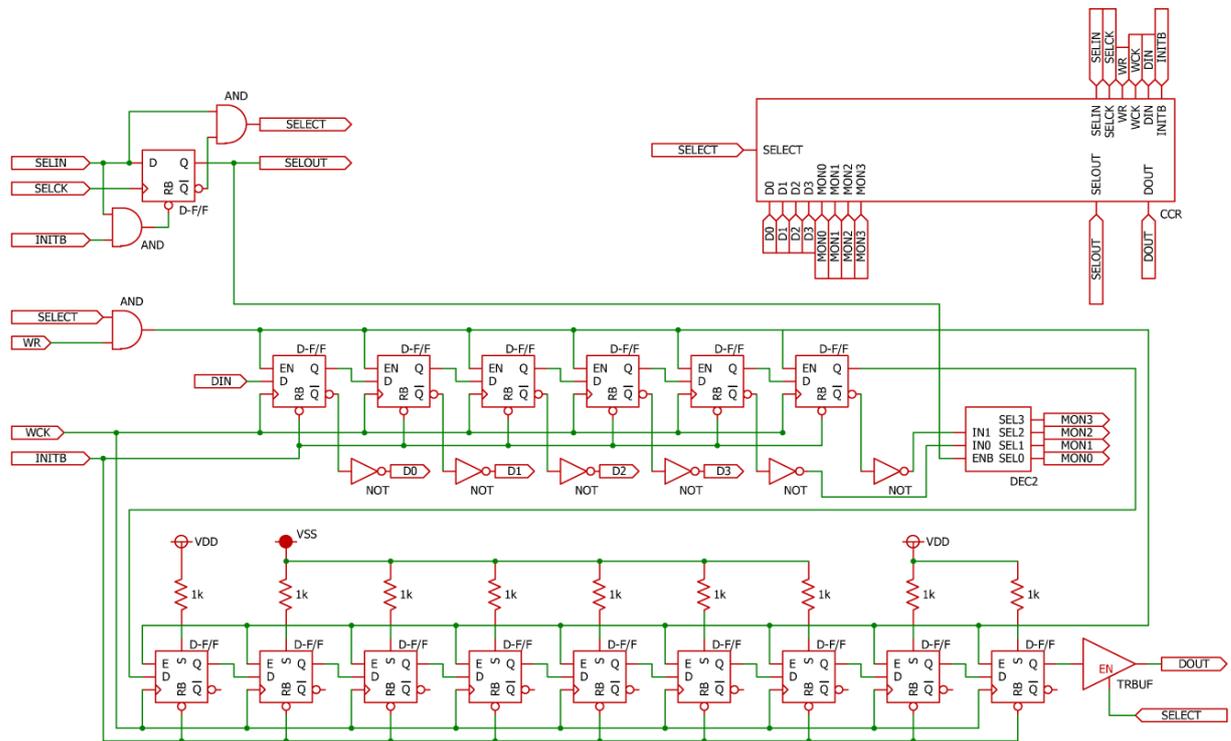


図 5.34: セントラルコントロールレジスタ (CCR) の回路図

セントラルコントロールレジスタ (CCR) の回路図を図 5.34 に示す。セントラルコントロールレジスタは 15 個のシフトレジスタから構成されており、チップ全体に関わる設定を行う。TIPPET08 の LCR では 14 bit であったが TIPPET32 では 1 bit 増えて全部で 15 bit となり、アナログ加算回路のオフセット電圧調整可能範囲が拡張された。DEC2 は 2 bit のデコーダであり、2 つの入力信号の組み合わせで PREAMP、SHAPER、SLOW、FAST の 4 つの信号のうちどの信号ラインをモニタ出力するか選択することができる (表 5.3)。後段の 9 bit のレジスタは「100000011」という本チップ固有の ID 番号を出力する仕様になっている。最終段はローカルコントロールレジスタと同様にトリステートバッファ回路が設置されており、チャンネルが選択されていない時にはハイ・インピーダンス状態となることで他のチャンネルへの干渉を防ぐ構造となっている。セントラルコントロールレジスタの各ビットへの機能の割り当てを表 5.4 に、verilog シミュレータを用いて動作検証を行った結果を図 5.35 にそれぞれ示す。

D4	D5	MONITOR
0	0	PREAMP
0	1	SHAPER
1	0	SLOW
1	1	FAST

表 5.3: モニタ出力信号の選択

ビット	役割	変化量/1bit
D0–D2	ASUM のオフセット電圧の調整	30 mV
D3	ASUM のオフセット電圧の極性反転	1=+, 0=-
D4, D5	モニタ出力信号の指定	N/A
D6–D14	9 bit の ID 番号	100000011

表 5.4: セントラルコントロールレジスタの各ビットの役割

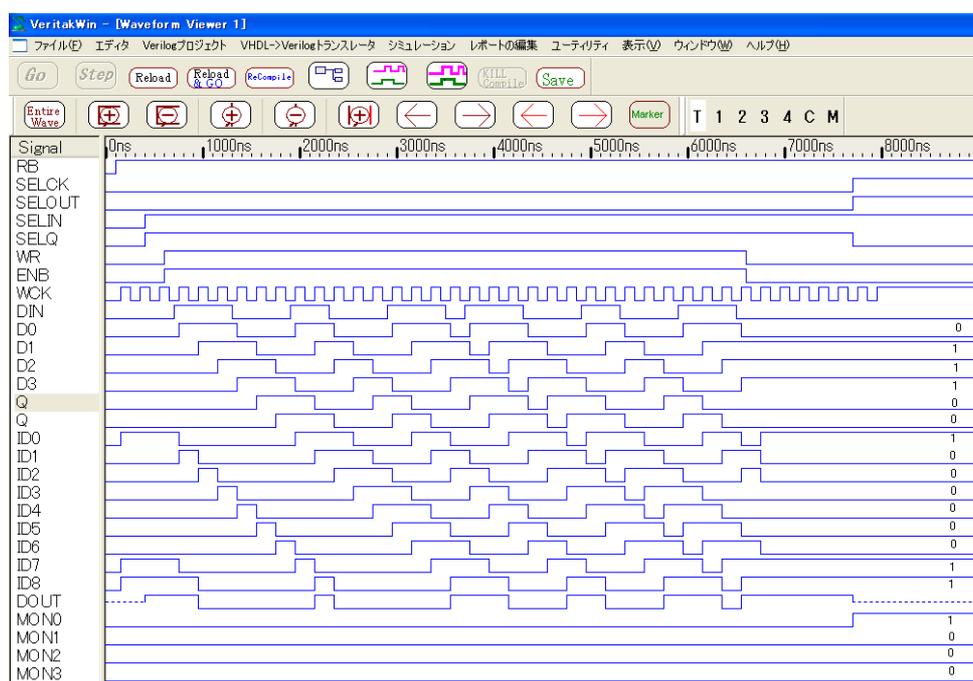


図 5.35: セントラルコントロールレジスタの動作検証のために行った verilog シミュレーション結果。DIN 端子からテストデータ「111000110001110」を 2 回書き込んだ場合の各 bit の値の変化を表している。ID0 ~ ID8 は WR が LO になった瞬間にプリセットの値である ID 番号がセットされるが、その他の部分は正常に書き込まれている様子が分かる。

5.5.12 デジタル信号処理回路

プライオリティチェーンエンコーダ

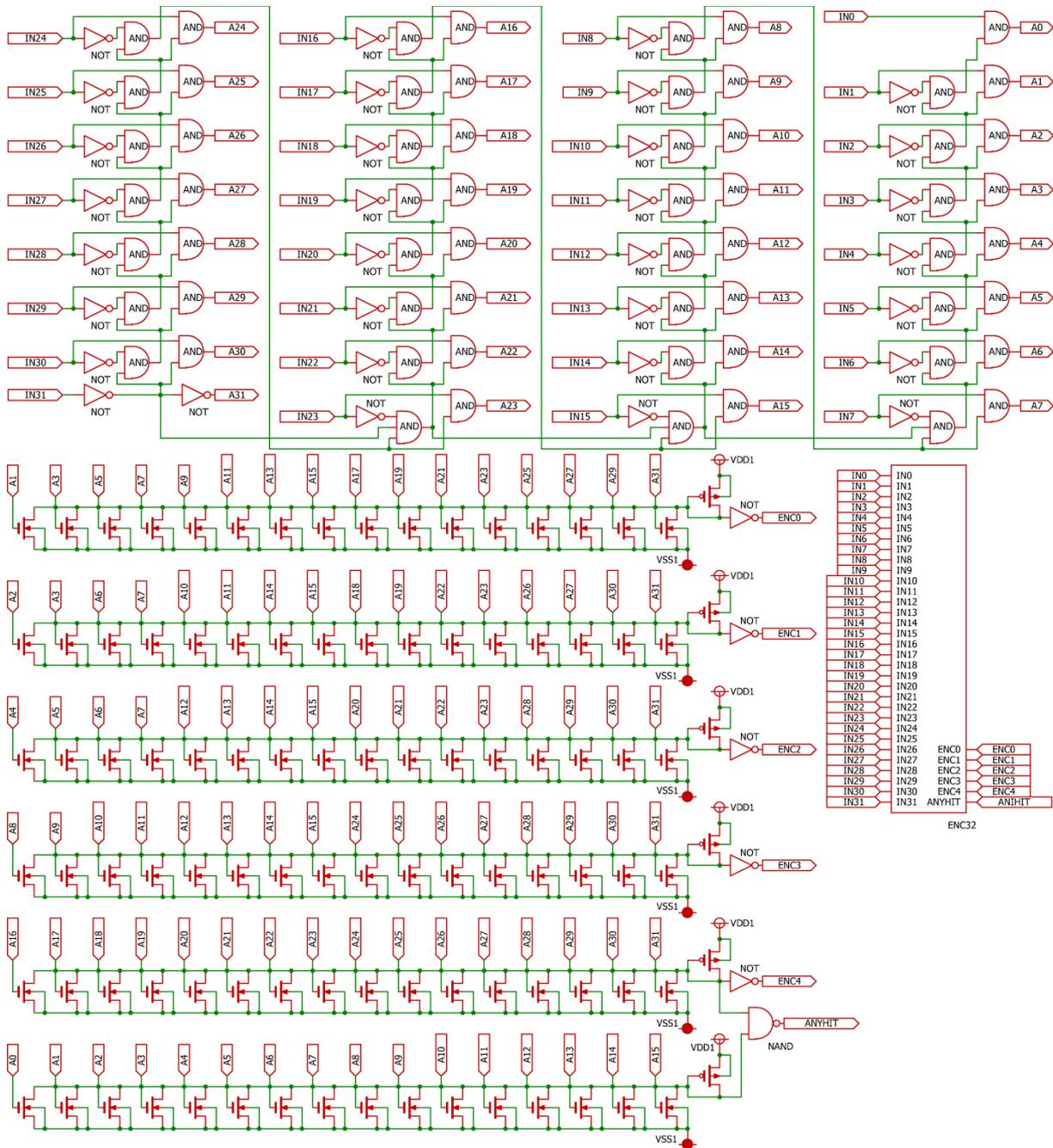


図 5.36: プライオリティチェーンエンコーダの回路図

プライオリティチェーンエンコーダの回路図を図 5.36 に示す。TIPPET32 には 32 チャンネルのアナログ処理系統が並列に搭載されており、それぞれ独立にデータバリッド信号

を出力する。しかしこれらの32チャンネルについてそれぞれイベントの有無を1 bit 情報で表すと、全部で32 bit となりアドレス情報の読み出しに8 bit の4倍の時間がかかってしまうため現実的ではない。そこでまずイベントの起こったチャンネルのアドレス情報を5 bit に圧縮することを行う ($32 = 2^5$)。ただしそのままではHITアドレスの読み出しの時間スケールの中で複数のチャンネルにイベントがあった場合、どのチャンネルのアドレスを採用するのか選択しなければならないため、今回はプライオリティチェインを構築し、 $ch31 > ch30 > \dots > ch1 > ch0$ という優先順位付けを行った。図 5.37 にプライオリティチェインエンコーダの動作を示す。

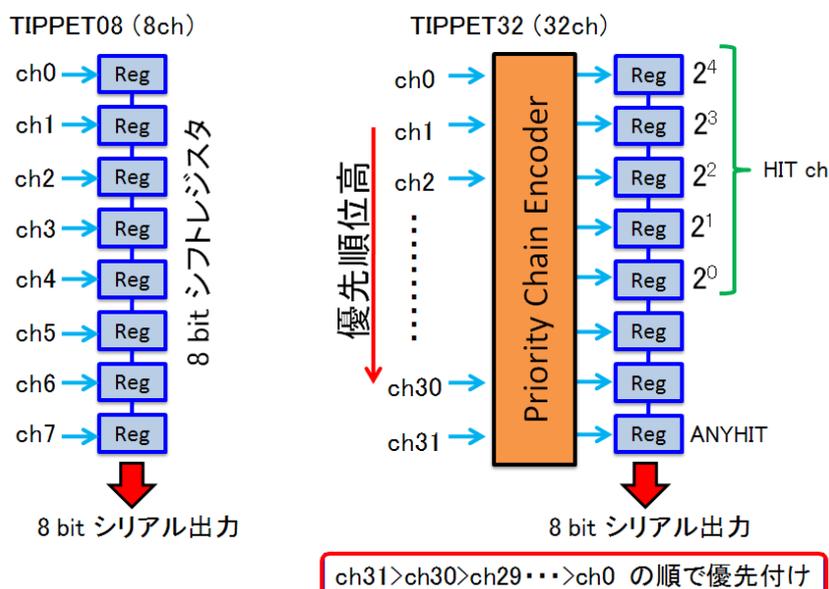


図 5.37: プライオリティチェインエンコーダの動作概念。あらかじめチャンネル毎に優先順位が決められており、複数のチャンネルで同時に HIT した場合にはチャンネルの番号が大きい方のアドレスを優先して採用する構造となっている。これにより TIPPET08 と同じ 8 bit の情報量で HIT アドレス情報を得ることができる。ANYHIT はチャンネル 0 に HIT があったという情報を得るために必要となる。

プライオリティチェインエンコーダの優先順位付けは、図 5.36 に示すように全て組合せ論理回路で実現されており、上位のアドレスでイベントがあった場合にそれより下位の全てのチャンネルの信号に対して強制的にリセットをかける仕組みとなっている。しかし実際にはトランジスタのゲート伝播遅延時間による遅れを伴うため、その程度によっては正しい優先順位付けが行われない可能性もある。そこで図 5.38 に verilog シミュレータを用いて動作検証を行った結果を示す。結果としては時間の遅れは最大で 3.4 ns 程度であり、256 ns という時間スケールで読み出す事を仮定すると問題の無いレベルに収まっていることが分かった。

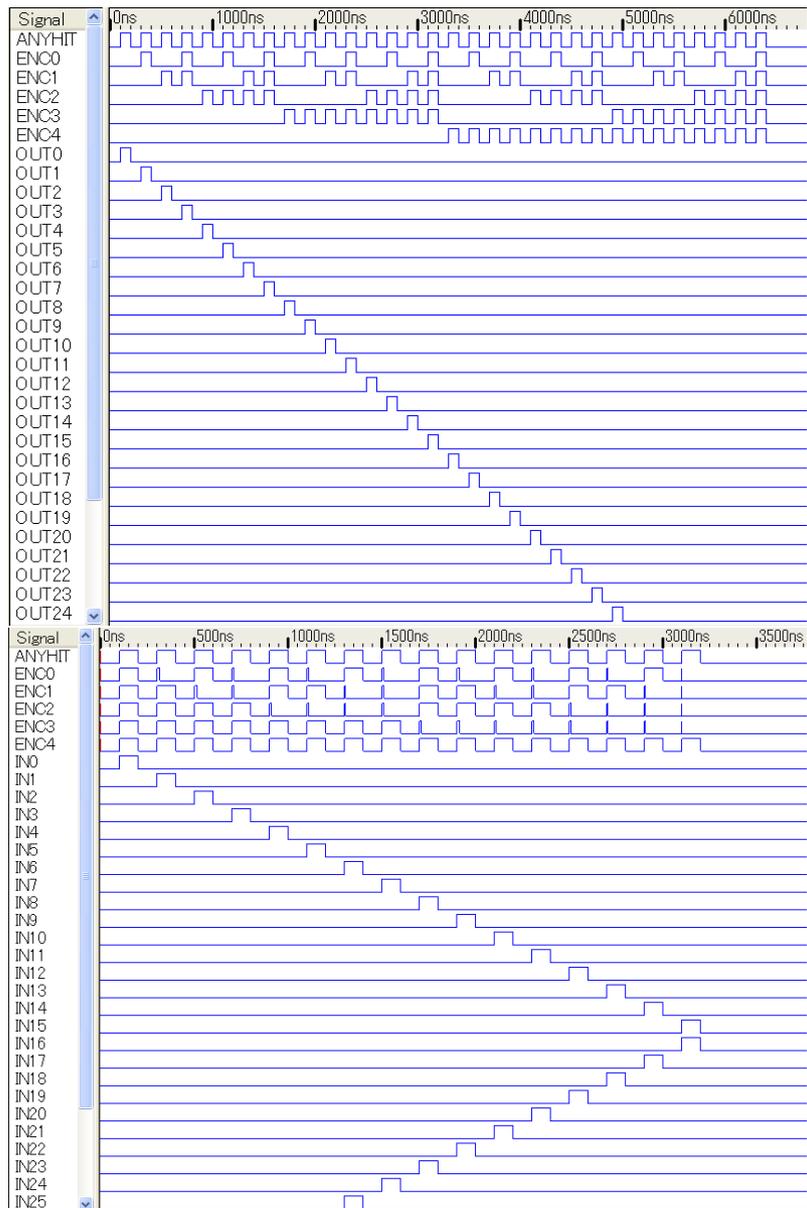


図 5.38: プライオリティチェーンエンコーダの動作検証のために行った verilog シミュレーション結果。(上) 全てのチャンネルで単独にイベントが起こった場合のそれぞれのエンコーダ出力を検証した。OUT0 ~ OUT31 は 32 チャンネルのそれぞれの SDAV 出力を模擬している。ENC0 が最下位 bit、ENC4 が最上位 bit となり、イベントのあったチャンネルの番号を正しく 5 bit に変換できていることが分かる。(下) 優先度の高い上位のチャンネルと下位のチャンネルで同時にイベントを発生させた場合のシミュレーション結果。ゲートの遅延時間による影響でリセットがかかるまでの僅かな間にスパイク状のグリッジが現れている。リセットに必要な時間が最も長くなるのは 30 チャンネルから 0 チャンネルまでリセットをかける場合であり、平均で 100 ps 程度の遅延時間を仮定すると 34 段のゲート遅延により最大 3.4 ns 程度の遅れとなることが分かった。

パラレル-シリアル変換回路

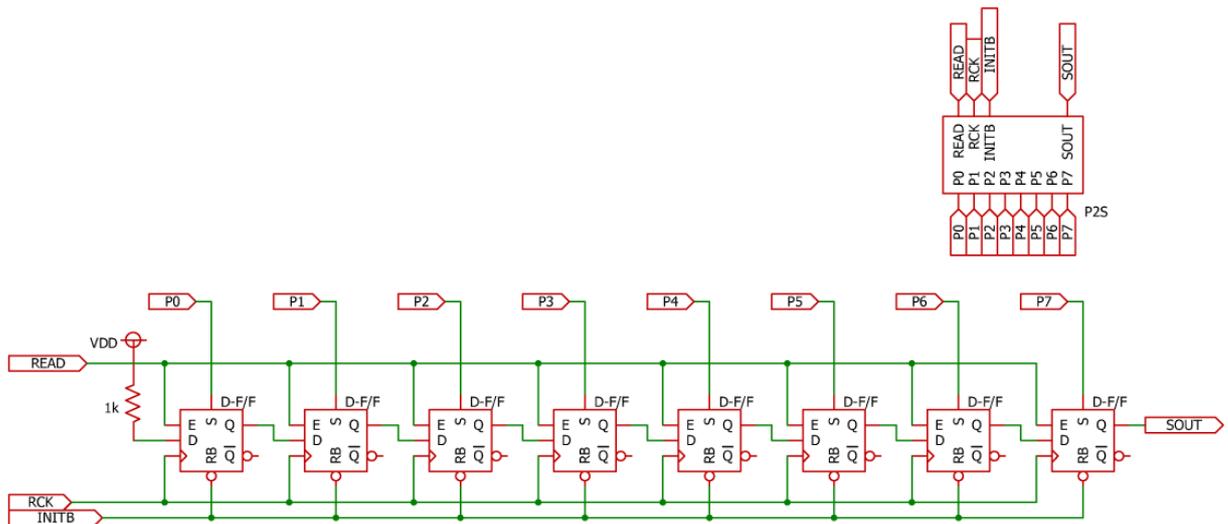


図 5.39: パラレル-シリアル変換回路の回路図

パラレル-シリアル変換回路の回路図を図 5.39 に示す。パラレル-シリアル変換回路は 8 bit のシフトレジスタで構成されており、プライオリティチェーンエンコーダで 8 bit に圧縮されたアドレス情報をシリアル形式に変換して出力する。TIPPET08 ではパラレル入力端子は各チャンネルの DAV 出力に直接繋がっていたが、TIPPET32 では 32 チャンネル分のアドレス情報を 5 bit に圧縮したデータが P0~P4 に、どこかのチャンネルにイベントがあったことを示す ANYHIT 信号が P7 に入力されており、P5、P6 の端子は使用していない。従って P5、P6 のレジスタを省略して 6 bit 出力とすることも可能であるが、これら 2 つの bit は常に LO を出力するよう固定されているため高計数時のデータの乱れに対して補正が可能なこと、また常に 8 bit (1 byte) ずつ出力される方がデータ量の区切りが良く扱いやすい事などの理由により、8 bit のままの回路構成となっている。初段のレジスタの入力は HI に固定されており、全てのレジスタの初期データを引き出した後は常に HI が出力される。読み出し方法のタイミングチャートを図 5.40 に、verilog シミュレーションによる動作検証の結果を図 5.41 にそれぞれ示す。

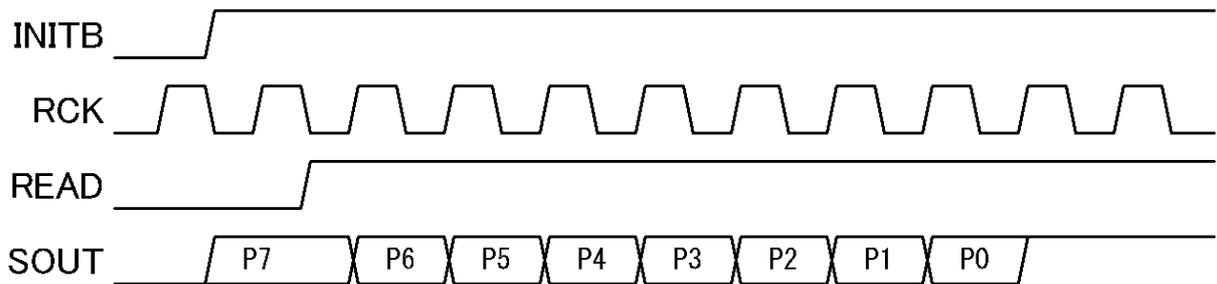


図 5.40: HIT アドレス情報の読み出し方法を表したタイミングチャート。INITB が LO の時に全てのレジスタの値はリセットされる。READ は読み出しのイネーブル信号であり、READ が HI の間だけ読み出しが可能になる。ただし SOUT 端子は常に P7 の値をモニタしている。READ が HI の時、読み出しクロック RCK が立ち上がった瞬間に前段のレジスタの値がラッチされ、SOUT からは P6、P5、P4 … の順に値が読み出される。8 個全てのレジスタの値を読み出した後は、常に HI が出力されるため読み出しが終わった事を確認することができる。

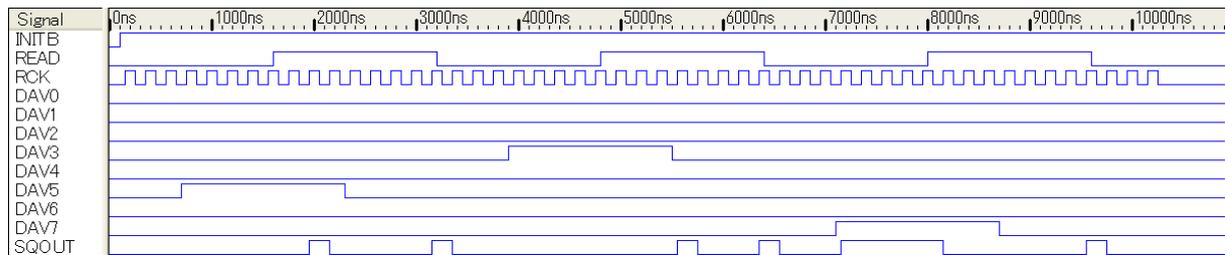


図 5.41: パラレル-シリアル変換回路の動作検証のために行った verilog シミュレーション結果。READ 信号が HI になると読み出しが可能となり、以後 RCK の立ち上がりに合わせてレジスタの値がシフトして行き、全てのレジスタの値を読み終わった後は常に HI が出力される様子が分かる。

5.6 シミュレーションによる総合性能評価

5.6.1 線形性評価

線形性とは様々な入力電荷量に対して出力電圧が比例関係を維持できるかどうかを表す指標であり、線形性が悪い場合には出力波高から入射線のエネルギーを求める精度が悪くなってしまいます。そこで TIPPET32 の線形性を評価するため、テストパルスにより段階的に電荷を注入した場合のローパスフィルタ出力 (SLOW) 及び微分回路出力 (FAST) のピーク波高の変化を調べた。結果を図 5.42 に示す。なお直線で示されているのは入力電荷量 18 fC (511 keV+12.5 %に相当) のピーク波高と 0 V の原点を結んだ線であり、残差は直線とのずれの大きさを 18 fC におけるピーク波高値で割った割合である。

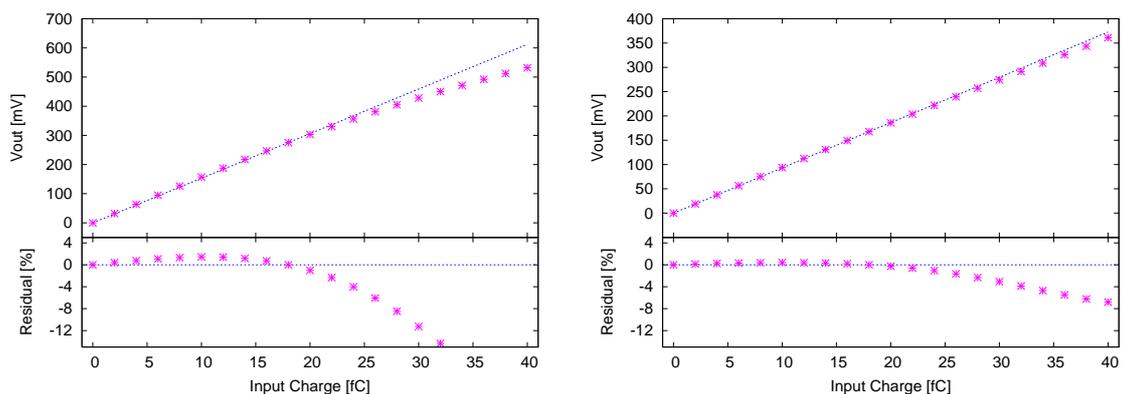


図 5.42: シミュレーションによる線形性評価。直線は 0 V と 18 fC における波高を結んだ直線を表している。(左) ローパスフィルタ出力 (SLOW) (右) 微分回路出力 (FAST)

図 5.42 を見ると、SLOW に関しては 0 ~ 22 fC (0 ~ 700 keV に相当) までの間で $\pm 3\%$ 以内、FAST に関しては 0 ~ 30 fC (0 ~ 960 keV に相当) までの間で $\pm 3\%$ 以内のリニアリティが保たれており、TIPPET08 の結果 (図 4.42) に比べると微分回路の改良によって線形性が向上していることが分かる。

5.6.2 雑音評価

一般に雑音は表 3.2 に示されるとおり回路の入力容量に対して依存性を持つため、シミュレーションにより回路の入力容量を 0 から 50 pF まで変化させて周波数帯域ごとに雑音の評価を行った。ある周波数領域における雑音のスペクトル密度を表した図を図 5.43 に、全周波数領域で積分した雑音の総量をプロットした図を図 5.44 にそれぞれ示す。

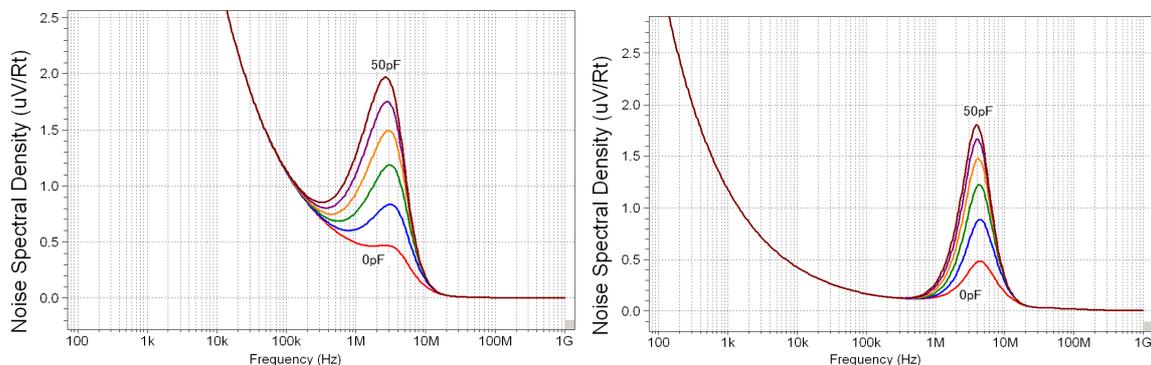


図 5.43: 雑音スペクトル密度の評価。SLOW(左図)、FAST(右図) とともに 3 MHz 付近に雑音への感度のピークを持つ。

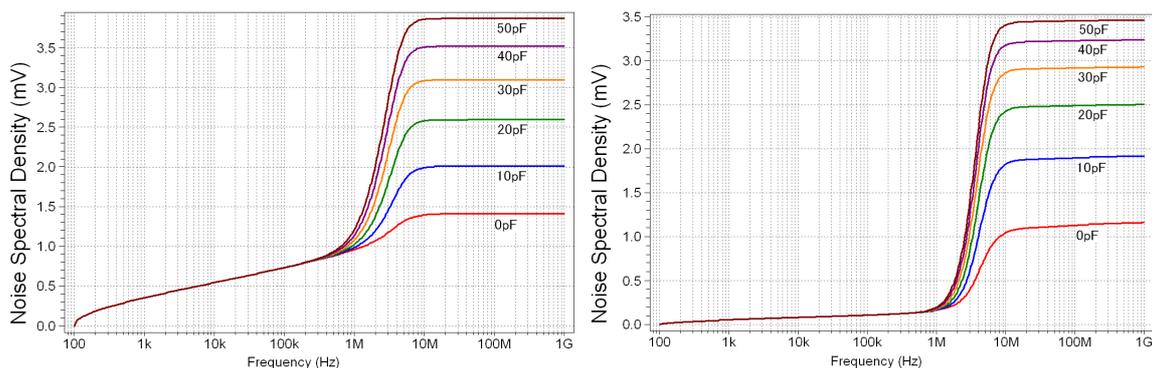


図 5.44: 雑音総量の評価 (左) ローパスフィルタ出力 (SLOW) (右) 微分回路出力 (FAST)

図 5.43 を見ると、SLOW、FAST ともに 3 MHz 付近に雑音への感度のピークがある。これは波形整形回路が 3 MHz 程度を通過周波数帯域とするバンドパスフィルタとして機能しているためである。当然この帯域の雑音は増幅されてしまうことになるが、APD からの信号も同様に増幅されるため信号対雑音比の低下には繋がらない。また雑音感度は検出器容量が大きくなるほど感度も高くなること分かる。

図 5.44 は図 5.43 で表される雑音スペクトル密度を全周波数領域で積分し、電圧値に換算したものである。従って高周波端における電圧値が回路の出力信号に重畳する雑音の電圧値そのものを示している。しかし一般に検出器における雑音は電圧値ではなく入力等価雑音電子数 (ENC) で評価するため、図 5.45 のように入力容量を変化させたシミュレーション波形から信号のピーク波高を求め、波高電圧値と図 5.44 の雑音電圧値の比から ENC へと換算を行った。511 keV 相当の電子数を $10^5 e^-$ として、入力容量に対する電子数相当の雑音と信号対雑音比をそれぞれプロットした図を図 5.46 に示す。

最終的に図 5.46 から得られた容量勾配は SLOW で $550 + 27 e^-/pF$ 、FAST で $690 + 53 e^-/pF$ という値になった。TIPPET08 の設計段階における雑音の容量勾配は SLOW で $410 + 20 e^-/pF$ 、FAST で $950 + 50 e^-/pF$ という値であったが、TIPPET32 では整形回路の高速化により SLOW の雑音レベルがやや上昇し、フィルタを追加したことで FAST に関しては雑音レベルはやや低下した。また 10 pF の入力容量に対して S/N 比は SLOW で 125 倍、FAST で 82 倍という結果になった。

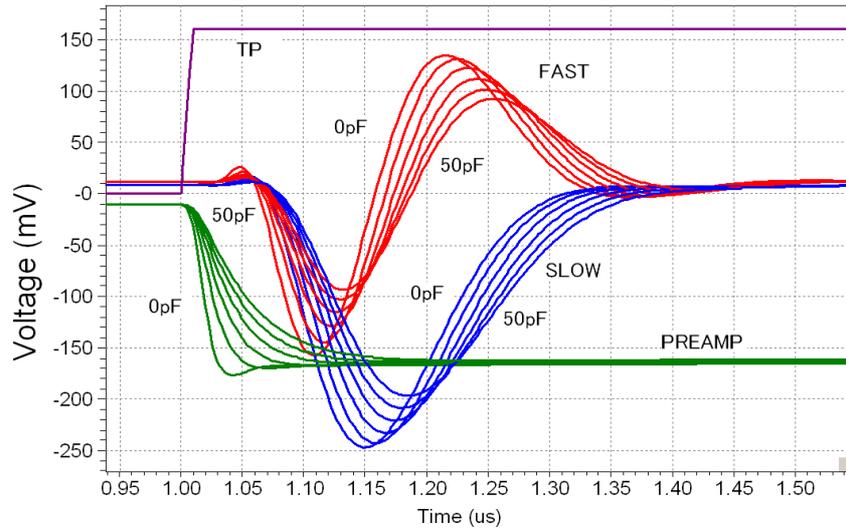


図 5.45: 検出器容量を 0 から 50 pF まで変化させた時の波形の変化。入力容量が増えると PREAMP の立ち上がりが鈍り、SLOW 及び FAST の波高が低下する結果、雑音の寄与が相対的に大きくなる。

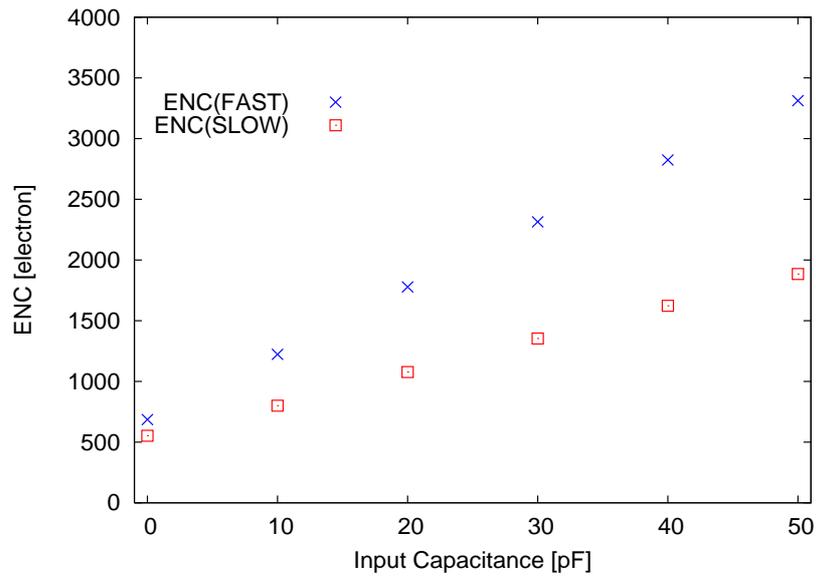


図 5.46: 検出器容量を 0 から 50 pF まで変化させた時の SLOW と FAST に対する等価雑音電子数の変化。ENC の値は入力容量に対してほぼ線形に増大する。

5.6.3 時間特性評価

ゼロクロス法の時間分解能の精度を評価するため、14 ~ 18 fC (511 keV \pm 12.5%) の電荷入力に対して FAST 信号がある一定のしきい値電圧 V_{th0} を跨ぐ時間のばらつきをシミュレーションにより評価した。その際検出器容量としては究極的な性能と実用上の性能を見

積もるため、0 pF の無負荷状態と 2 mm 角 APD の 1 ピクセルに相当する 13.6 pF の有負荷状態の 2 通りで評価を行った。まず電荷入力に対する応答波形を図 5.47 に示す。

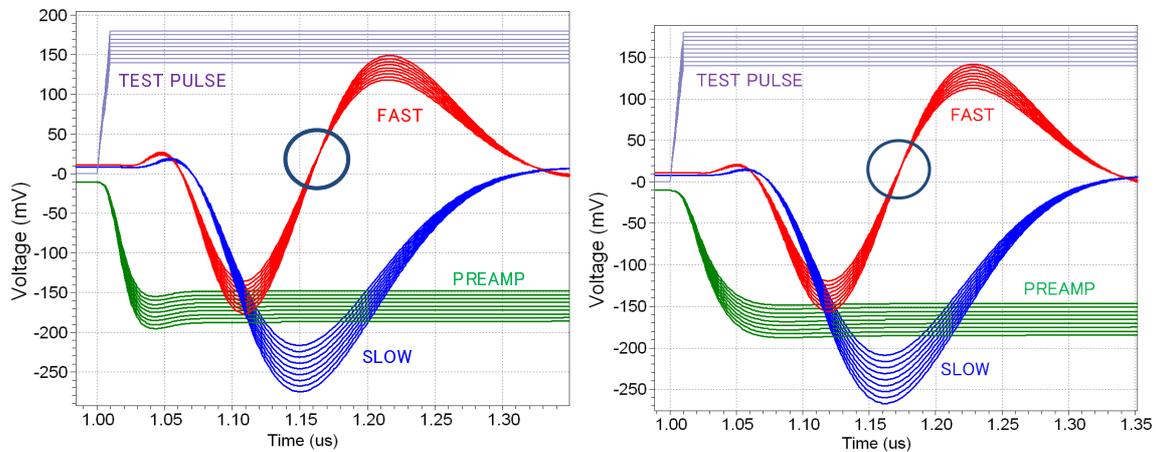


図 5.47: ゼロクロス法の時間特性評価。図中の円で示す領域で FAST の Time-walk は最小となる。(左) 無負荷状態 (0 pF) (右) 2 mm 角 APD に相当する 13.6 pF の入力容量を挿入した状態

次に Time-walk のばらつきを図 5.48 に示す。無負荷状態では 26.0 mV のしきい値電圧に対してクロス時間のばらつきは 92 ps 以内、13.6 pF の負荷を挿入した状態では 21.0 mV のしきい値電圧に対して 62 ps 以内という結果が得られた。無負荷状態の方が大きなばらつきを持っているのは、図 5.47 左に示されるように PREAMP 信号がややオーバーシュート気味に立ち上がっており信号の線形性が損なわれているためであると考えられる。

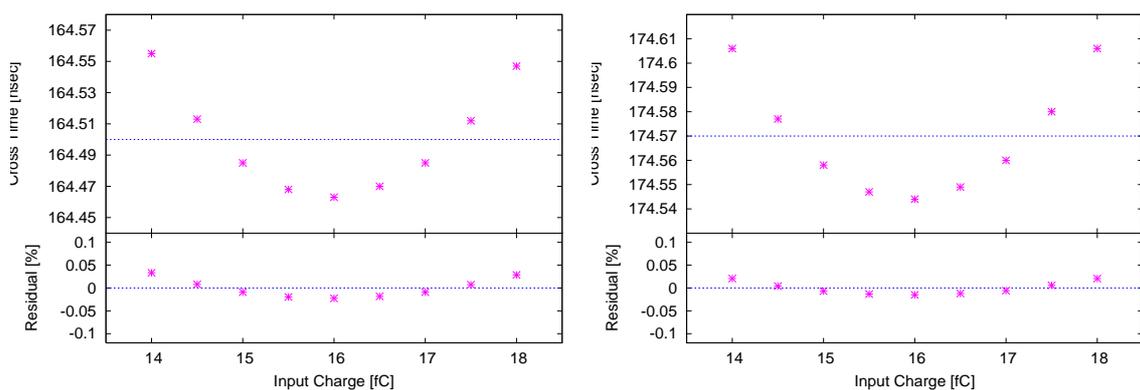


図 5.48: シミュレーションによる Time-walk 評価 (左) 無負荷状態。Time-walk は 26.0 mV のしきい値電圧に対して 92 ps となった。(右) 13.6 pF の入力容量を挿入した状態。Time-walk は 21.0 mV のしきい値電圧に対して 62 ps となった。

続いて、以上の結果を元に Time-jitter の見積もりを行った。Time-jitter の大きさは、FAST 信号に重畳する雑音電圧 σ_{noise} 及びしきい値をクロスする瞬間の信号の傾き $\Delta V/\Delta t$ を用いて

$$\sigma_{jitter} = \frac{\sigma_{noise}}{\Delta V/\Delta t} \quad (5.8)$$

という形で表すことができる。

シミュレーションにより以上の値を求めたところ、無負荷状態では $\sigma_{noise} = 1.4$ mV、 $\Delta V/\Delta t = 2$ mV/490 ps、13.6 pF の有負荷状態では $\sigma_{noise} = 2.15$ mV、 $\Delta V/\Delta t = 2$ mV/530 ps、という結果が得られた。従ってそれぞれの Time-jitter の大きさは、無負荷状態で 340 ps、有負荷状態で 570 ps 以内という結果になり、目標となる 600 ps を切る性能が見込めることが分かった。

5.7 まとめ

TIPPET32 では TIPPET08 の性能評価により明らかになった回路上の様々な欠点を克服すべく設計を行った。まずチャンネル数を 32 チャンネルに拡張し、HIT アドレス情報を圧縮するプライオリティチェインエンコーダを実装した。また個々のチャンネルのばらつきを補償できるよう、線形性を保ったまま広い範囲に渡ってオフセット電圧を調整可能なオフセット調整回路を設けた。前置増幅器については確実に帰還が行えるようトランスファークロム型帰還回路の採用と漏れ電流補償回路の強化を行った。その後段にはポールゼロ補償回路を導入し高レートな環境への耐性を向上させた。TOF 型 PET として用いるには不十分であった時間分解能については、回路の高速化と低雑音化により Time-jitter と Time-walk を合わせて 600 ps 以内の精度を確保できる見通しがついた。またここでは特に触れなかったが温度や電源電圧の変動、製造プロセスの誤差を仮定した様々な条件でシミュレーションを行い、動作上致命的な問題が起こらないことを確認することができた。

第6章 APD-PET用32チャンネルLSI の性能評価

6.1 チップレイアウト

TIPPET32の回路のレイアウトはTIPPET08に引き続きデジアン・テクノロジー社に依頼した。完成した回路レイアウト図を図6.1に示す。チップサイズは2.85 mm × 7.35 mmである。

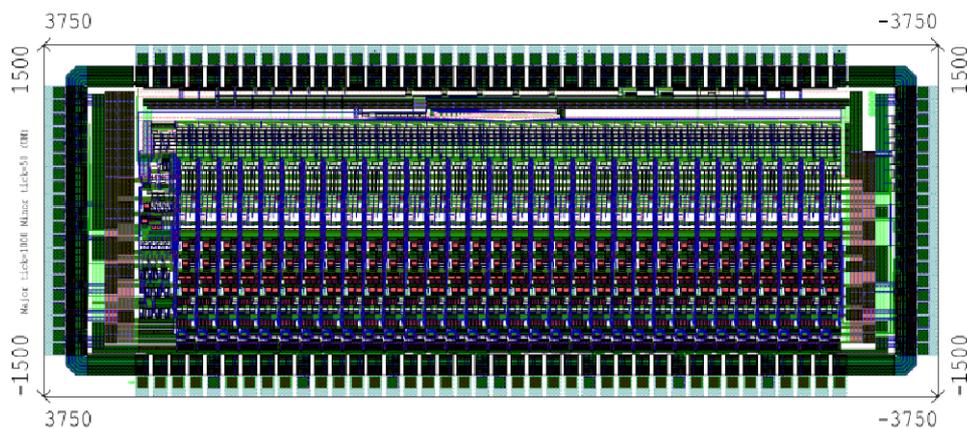


図 6.1: TIPPET32の回路レイアウト図。製作はデジアン・テクノロジー社に依頼した。

TIPPET32チップの設計データは2008年3月17日にTSMCサイバーシャトル試作サービスにサブミットされ、5月7日に完成後の80チップが納入された。

6.2 セットアップ

6.2.1 セラミックパッケージ

TIPPET32チップは全部で80個製造されたが、うち20個については評価試験用としてシリコンソーシアム株式会社により160 pinの京セラ製CQFP(Ceramic Quad Flat Package)パッケージ(QC-160360-WZ)に封入された。ベアチップのパッド数は120なので本来なら

ば 120 pin の製品を用いるべきだが、ベアチップが横長の構造をしているため 160 pin 品が適用された。図 6.2 に封入後のチップの写真を、図 6.3 にボンディングダイアグラムをそれぞれ示す。

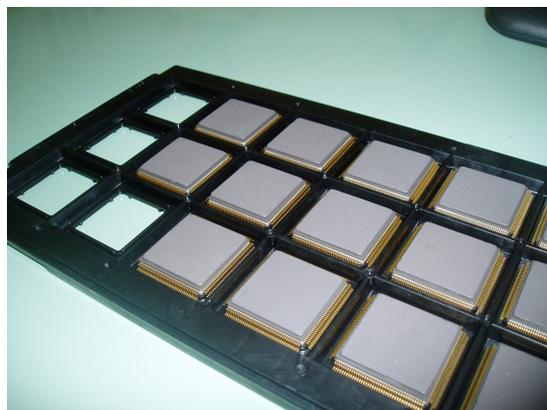


図 6.2: TIPPET32 の評価用パッケージ。京セラ製 160 pin の CQFP パッケージを使用した。パッケージサイズは 37 mm×37 mm でありベアチップに比べてかなり大きい。

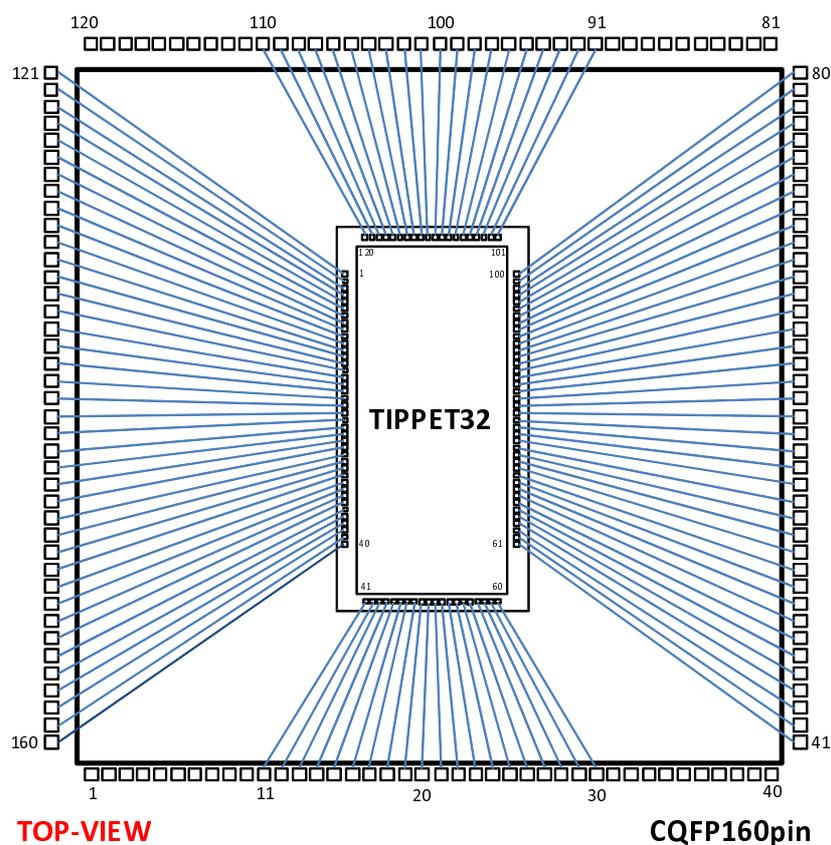


図 6.3: TIPPET32 のボンディングダイアグラム。ベアチップ側のパッド数は 120 だがパッケージ側は 160 pin あるため、図のような配線でワイヤボンディングを行った。

6.2.2 評価用基板の製作

LSI の性能評価にあたり、まず専用評価基板の製作を行った。基板のアートワーク及び LSI ソケット等の実装作業は前回に引き続き有限会社ジー・エヌ・ディーに依頼した。図 6.4 に試験基板の外観図を示す。32 チャンネル分の APD 入力端子を備えるため、やや縦に長い構造になっている。また TIPPET08 で問題となったテストパルス入力端子から APD 入力端子への信号の干渉を防ぐため、TPIN 端子の位置が入力端子から離れた場所に移動された。

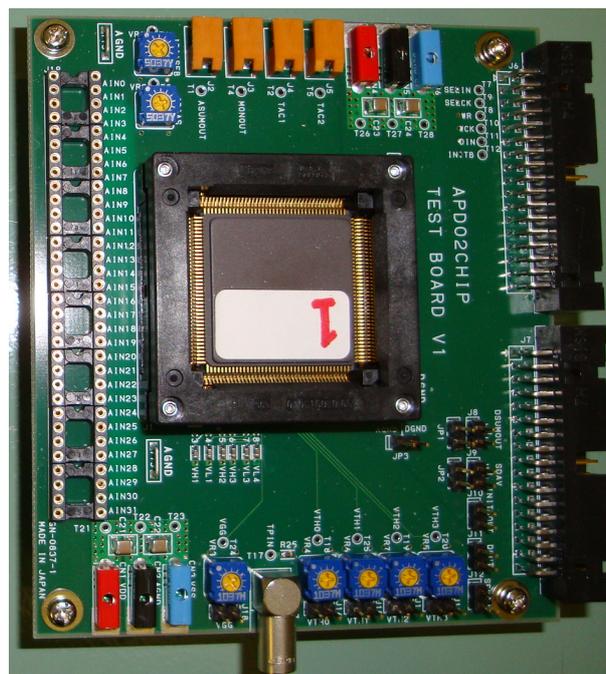


図 6.4: QFP パッケージ用の評価基板。基板サイズは 10 cm×11.5 cm である。

6.2.3 実験セットアップ

図 6.5 に実験のセットアップを示す。基本的には TIPPET08 のセットアップと同様だが、漏れ電流補償回路の直接制御用のバイアス電流導入端子である IBIASFB に $10 \mu\text{A}$ の電流を供給していること、前置増幅器の帰還要素のトランスファークゲート型 FET に印加するゲート電圧 VGG を -650 mV に設定していること、TTL から LVCMOS への変換回路が不要となったこと、等の違いがある。

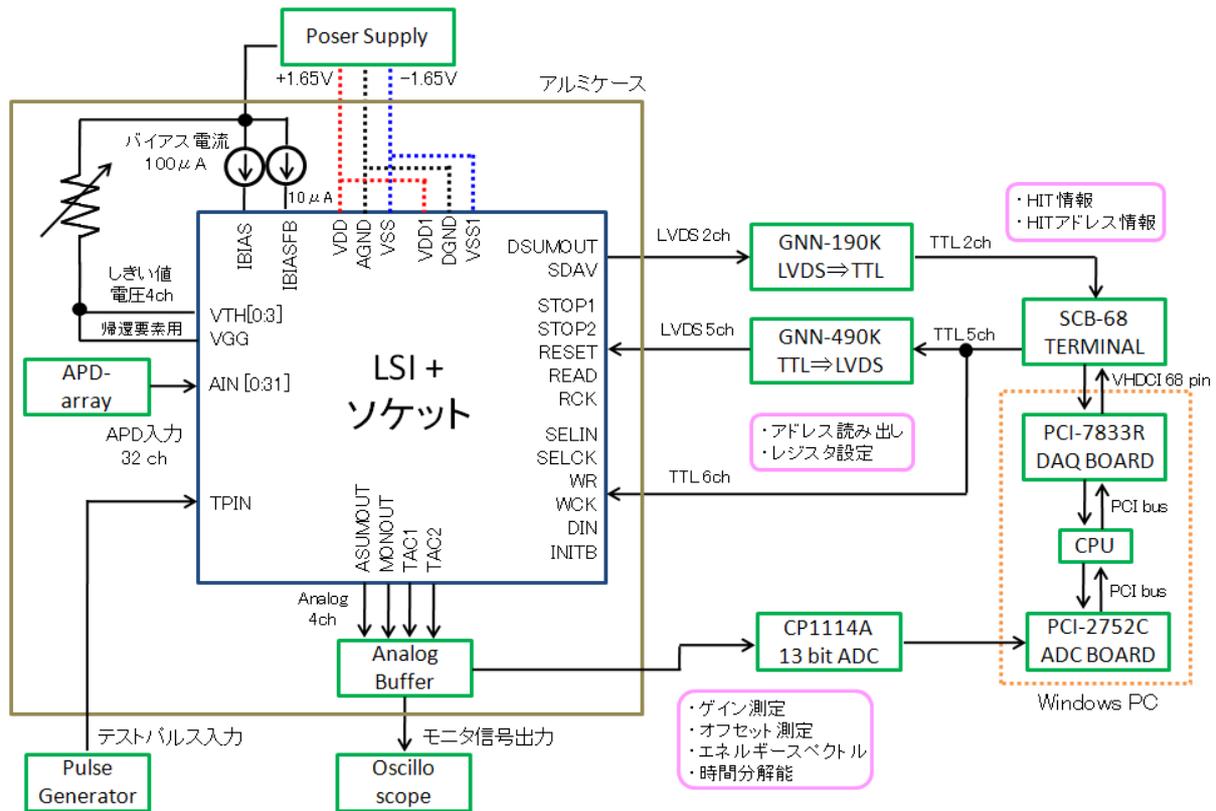


図 6.5: TIPPET32 の評価用セットアップ

6.3 基礎特性評価

バイアス電圧の確認

バイアス電圧は回路上の各トランジスタに対して指定した電流を流す定電流源となるよう設定するためのゲート電圧である。全てのチャンネルで信号処理動作が確認されているチップについてメインのバイアス電流 $IBIAS$ を $100 \mu A$ 、漏れ電流補償回路用のバイアス電流 $IBIASFB$ を $10 \mu A$ に設定し、バイアス電圧が適切に生成されているかどうかを確認した結果を表 6.1 に示す。VH は pMOSFET 用、VL は nMOSFET 用のバイアス電圧であり、各々の電圧値はゲート-ソース間電圧 V_{GS} を表している。結果を見るとシミュレーションとの誤差は最大でも 10 % 以内の範囲に収まっているが、全体的にプラス側にシフトしているため、製造プロセスの条件の違いにより想定していたよりもトランジスタの相互コンダクタンスが小さいことが分かった。

バイアス電圧	対象	シミュレーション値 [mV]	測定値 [mV]	誤差 [%]
VH1	pMOS	-1626	-1733	+6.5
VL1	nMOS	1377	1482	+7.6
VH2	pMOS	-617	-672	+9.8
VH3	pMOS	-1347	-1433	+6.4
VL3	nMOS	1115	1184	+6.2
VL4	nMOS	693	717	+3.5

表 6.1: TIPPET32 のバイアス電圧の確認

消費電力

LSI チップの消費電力は LSI に電力を供給する各電源の電圧値と、電源から定常的に流れ出す電流値の積で表すことができる。各電源の消費電力を測定した結果を表 6.2 に示す。

電源	電圧 [V]	電流 [mA]	消費電力 [mW]
アナログ回路用正極電源 (VDD)	1.65	51.0	84.2
アナログ回路用負極電源 (VSS)	-1.65	65.0	107.3
デジタル回路用正極電源 (VDD1)	1.65	6.0	9.9
デジタル回路用負極電源 (VSS1)	-1.65	5.0	8.3
アナログ系総合	1.65	116.0	191.4
デジタル系総合	1.65	11.0	18.2
総計	1.65	127.0	209.6

表 6.2: TIPPET32 の消費電力

従って TIPPET32 チップの消費電力はアナログ系で 191.4 mW、デジタル系で 18.2 mW となり、合計で 209.6 mW 程度であることがわかった。これはアナログ系 208.1 mW、デジタル系 13.4 mW、合計 221.5 mW というシミュレーションから得られた見積と比べるとアナログ系についてはやや小さく、デジタル系についてはやや大きな値である。読み出し回路 1 チャンネルあたりの消費電力は 6.6 mW 程度となり、1 チャンネルあたり 6.8 mW 程度であった TIPPET08 よりも低消費電力化に成功した。

信号波形

511 keV のガンマ線を検出した際に LSI 入力される電荷量 (+16 fC) に相当するテストパルスを入力し、信号の波形を確認した。シミュレーション結果と実際の波形を比較した図を図 6.6 に示す。なお LSI の信号波形は一度に 1 種類の信号しかモニタできないため、図 6.6 右の図はテストパルスを入力してから一定時間後の信号を 4 つ重ねてプロットしている。実測波形はシミュレーション結果を概ね反映しており、ゲインや整形時定数に若干の違いが見られるものの、動作上は影響の無いレベルであった。

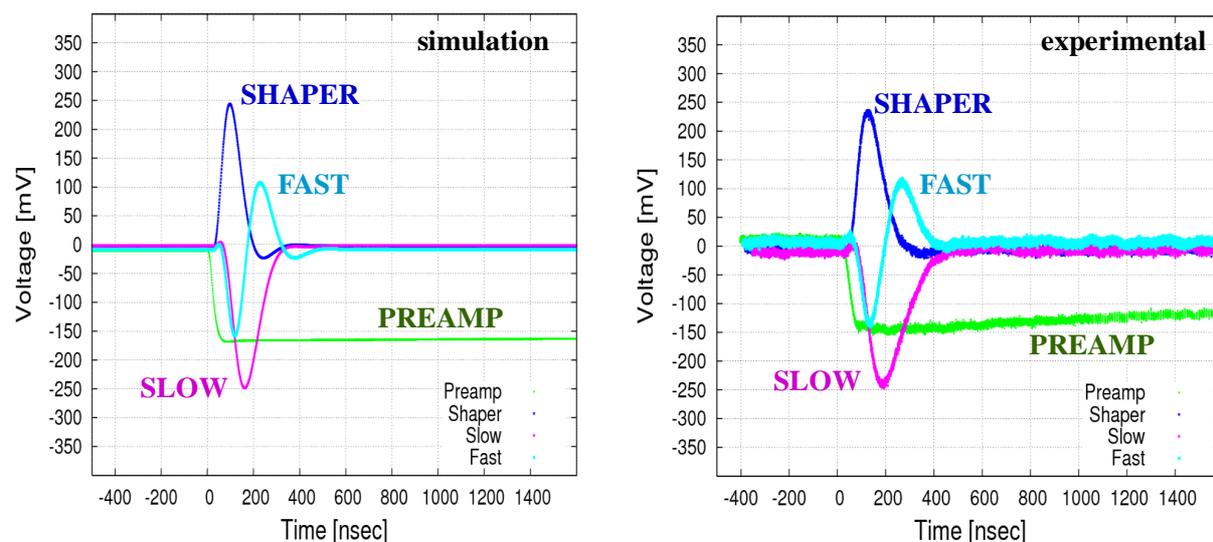


図 6.6: 511 keV に相当するテストパルスを入力した際の信号波形。PREAMP は前置増幅器、SHAPER は波形整形回路、SLOW はローパスフィルタ回路、FAST は微分回路のそれぞれの出力信号を表している。ゲインや整形時定数に若干の違いが見られるが、概ねシミュレーション結果を反映した波形になっていることが分かる。

(左) シミュレーション結果 (右) 実測結果

6.4 ばらつき評価

オフセット電圧の分布

32 チャンネル × 10 チップ、全 320 チャンネルのオフセット電圧のばらつきを評価するため、各チップの PREAMP、SLOW、FAST のモニタ信号についてオフセット電圧の測定を行った。電圧の測定は DAQ ボードに搭載されている 16bit の ADC を用いて、100 回分の測定値の平均値をオフセット電圧として記録した。PREAMP の結果を図 6.7 に、SLOW の結果を図 6.8 に、FAST の結果を図 6.9 にそれぞれ示す。

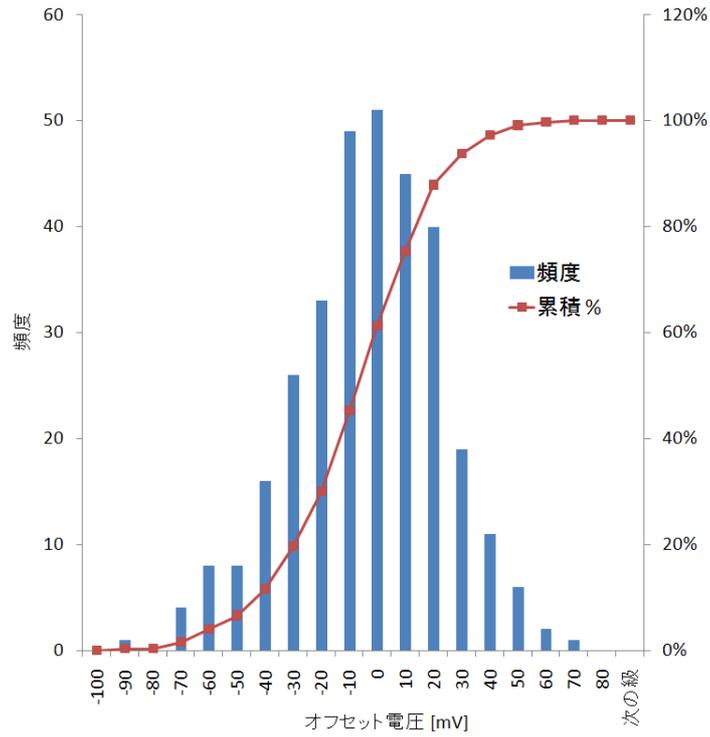


図 6.7: 前置増幅器出力 (PREAMP) のオフセット電圧の分布

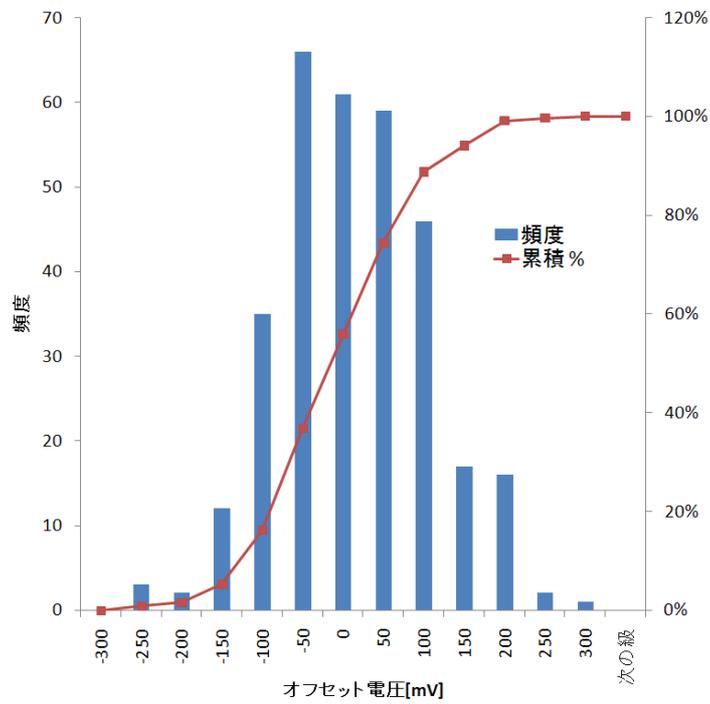


図 6.8: ローパスフィルタ出力 (SLOW) のオフセット電圧の分布

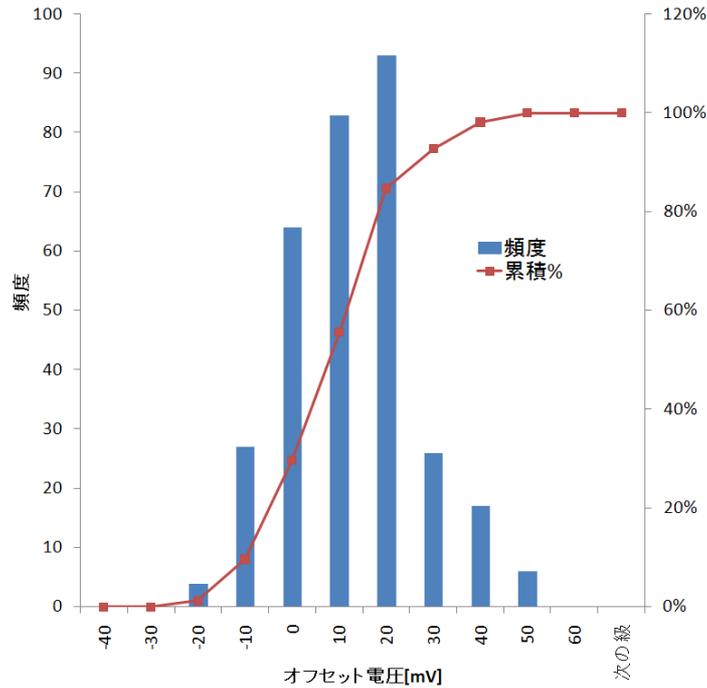


図 6.9: 微分回路出力 (FAST) のオフセット電圧の分布

以上 320 チャンネルについては、すべてのチャンネルで信号処理波形を確認することができた。TIPPET08 では前置増幅器の帰還が不十分でオフセット電圧が電源に張り付いてしまっているチャンネルが 320 チャンネル中 29 チャンネル、設定により帰還量を最大に増やしても 3 チャンネル存在していたのに比べ、TIPPET32 では標準の設定のままで 100% の歩留まりを得ることができた。これは帰還抵抗としてトランスファークゲート型 FET を用いたこと、漏れ電流補償回路のバイアス電流を別に設けたことによる功績である。

図 6.7 を見ると、PREAMP 出力のオフセットの分布は GND を基準にしてほぼ左右対称な形をしていることがわかる。全チャンネルの PREAMP 出力のオフセット電圧の平均値は -7.9 mV 、最大値は $+69 \text{ mV}$ 、 -91 mV となった。

図 6.8 を見ると、SLOW 出力のオフセットの分布は PREAMP 出力に比べてややばらつきが大きいものの、ほぼ GND を中心とした分布になっていることがわかる。全チャンネルの SLOW 出力のオフセット電圧の平均値は -11.5 mV 、最大値は $+260 \text{ mV}$ 、 -278 mV となった。SLOW のオフセット電圧は、レジスタの設定を変えることで $0 \sim \pm 230 \text{ mV}$ まで、また前段の SHAPER 出力のオフセット電圧も $0 \sim \pm 350 \text{ mV}$ まで調整可能であるため、全てのチャンネルに対してオフセット電圧のばらつきを打ち消すことが可能である。

図 6.9 を見ると、FAST 出力のオフセットの分布は全体的にややプラス側寄りになっている。全チャンネルの FAST 出力のオフセット電圧の平均値は $+8.4 \text{ mV}$ 、最大値は $+47$

mV、 -27 mV となった。FAST のオフセット電圧は、レジスタの設定を変えることで $0 \sim \pm 230\text{ mV}$ まで調整可能であるため、全てのチャンネルに対してオフセット電圧のばらつきを打ち消すことが可能である。

ゲイン分布

次に各チャンネル毎の前置増幅器のゲインのばらつきを測定した。ゲインのばらつきは、各チャンネルに対してテストパルスを入力した時のアナログ加算回路の波高を ADC で記録し、ピークの波高を全チャンネルの波高の平均値で割った値を相対ゲインとした。2 チップ計 64 チャンネルのゲインのばらつきを測定した結果を図 6.10 に示す。

結果を見ると、大部分のチャンネルは平均値から $\pm 0.5\%$ 以内の範囲に含まれており、チャンネル毎の特性は非常に良く揃っていると言える。これはテストパルスの入力端子を各チャンネルの APD 入力端子から離して配置することで、干渉を抑えたことによる効果である。ただしその影響が完全に無くなったというわけではなく、図中に示すように最もテストパルス入力端子に近い 2 チャンネルだけ $+1\%$ ほど大きなゲインが測定された。

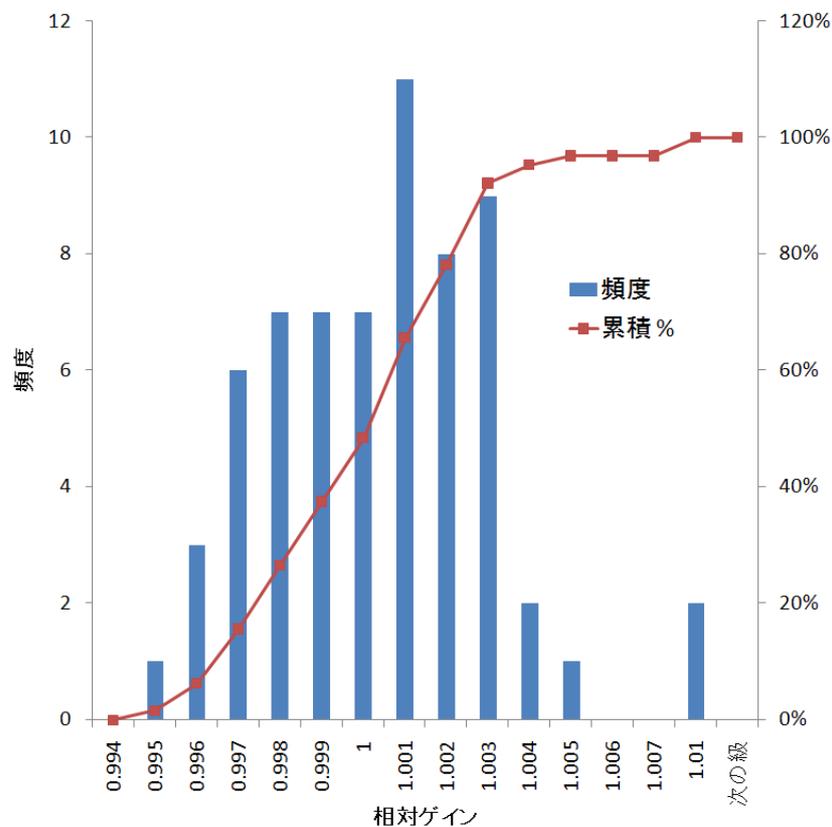


図 6.10: 64 個のチャンネルについて測定した相対的なゲインのばらつき

6.5 アナログ回路評価

線形性評価

エネルギー弁別に用いる事になるローパスフィルタ出力信号 (SLOW) について、0 から -40 fC までの範囲 (0 ~ 1280 keV 相当) のテスト電荷に対してどの程度まで線形性が保たれているかを評価した。図 6.11 に結果を示す。なお直線で示されているのは入力電荷量 18 fC (511 keV+12.5 %に相当) のピーク波高と 0 V の原点を結んだ線であり、残差は直線とのずれの大きさを 18 fC におけるピーク波高値で割った割合である。結果としては 0 ~ 23 fC (0 ~ 735 keV に相当) までの範囲で ± 3 %以内の線形性が保たれており、TIPPET08 の結果 (図 4.42) に比べると線形性が向上していることが分かった。

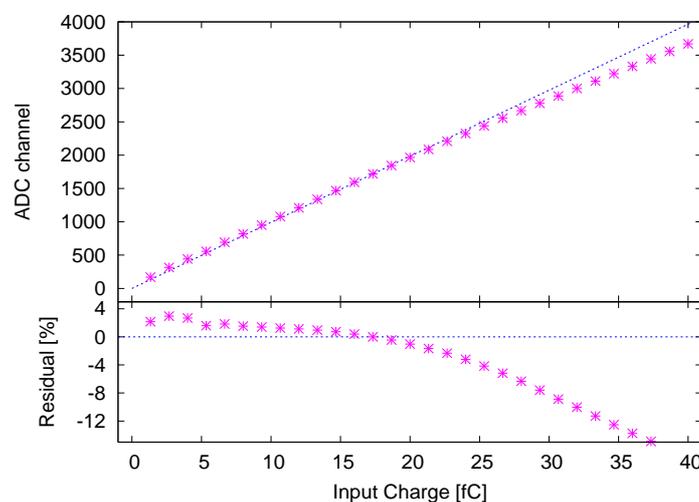


図 6.11: ローパスフィルタ出力 (SLOW) の線形性評価

雑音評価

ローパスフィルタ出力である SLOW 信号のモニタ出力を用いて、雑音レベルの評価を行った。一般に雑音は回路の入力容量である検出器容量に対して依存性を持つため、本実験では評価基板に検出器容量を模擬した 0 ~ 47 pF の入力容量を接続して評価を行った。評価方法としてはテスト電荷として 511 keV 相当である 160 mV (16 fC) のテストパルスを入力し、モニタ信号の電圧スペクトルに対してガウシアンによるフィッティングを行い、 1σ に相当する電圧値を雑音電圧とした。横軸に検出器容量、縦軸に等価雑音電子数 (ENC) をプロットしシミュレーション結果と比較した結果を図 6.12 に示す。

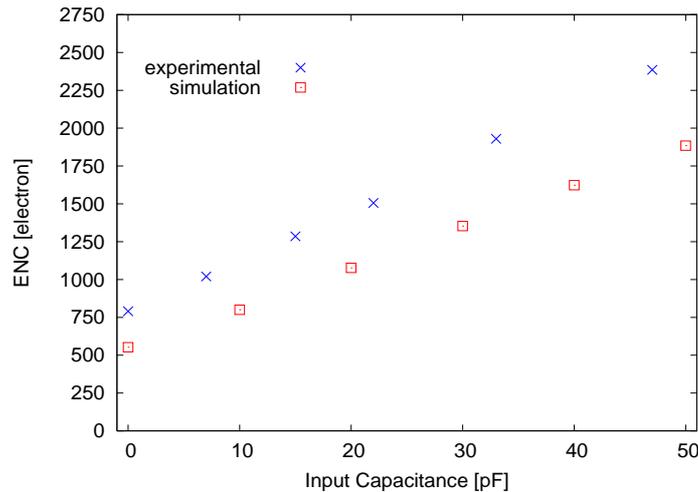


図 6.12: ローパスフィルタ出力 (SLOW) の雑音評価。シミュレーション結果と比べると、浮遊容量の影響により雑音レベルはかなり悪化していることが分かる。

図 6.12 を見ると、実験結果の雑音レベルはシミュレーション結果に比べてかなり大きい。これはシミュレーション結果が真の性能を示しているとは仮定した場合に、10 pF 程度に相当する浮遊容量が雑音に影響を与えているためであると考えられる。等価雑音電子数に換算した雑音レベルはシミュレーション結果の $550 + 27 e^-/pF$ に対して実験結果は $790 + 34 e^-/pF$ となった。この結果は TIPPET08 の実験結果である $660 + 28 e^-/pF$ と比べてもかなり大きな値であり、何らかの対策が必要である。

浮遊容量の主な原因としては、LSI のパッケージ内部の配線容量と評価基板上の配線容量の 2 つの可能性が考えられる (図 6.13 左)。それらの配線の長さはチャンネルの配置に依存するため、もし LSI のチャンネル位置と雑音の大きさに相関があれば、それらの浮遊容量が雑音悪化の主因であると特定することができる。そこで 32 チャンネル全ての SLOW 出力について等価雑音電子数を測定し、雑音のチャンネル依存性を調べた。結果を図 6.13 右に示す。

結果の図を見るとチャンネル毎に ENC の値が大きく異なっており、配線が最短となる中央のチャンネルで最小に、配線が最長となる両端部のチャンネルで最大となり配線の長さとの明らかな相関があることが分かった。これらの結果はパッケージ内部配線と基板配線の両方の寄生容量が足し合わされたものであり、これだけの情報ではどちらが支配的であるかを特定することはできない。しかし評価基板は TIPPET08 とほぼ同じ構造であること、TIPPET08 ではチャンネル毎の雑音に目立った違いは現れなかったこと [57] から、評価用に用いた $37 \times 37 \text{ mm}^2$ というチップに対してかなり大きなセラミックパッケージの内部配線が特に問題であると考えられる。

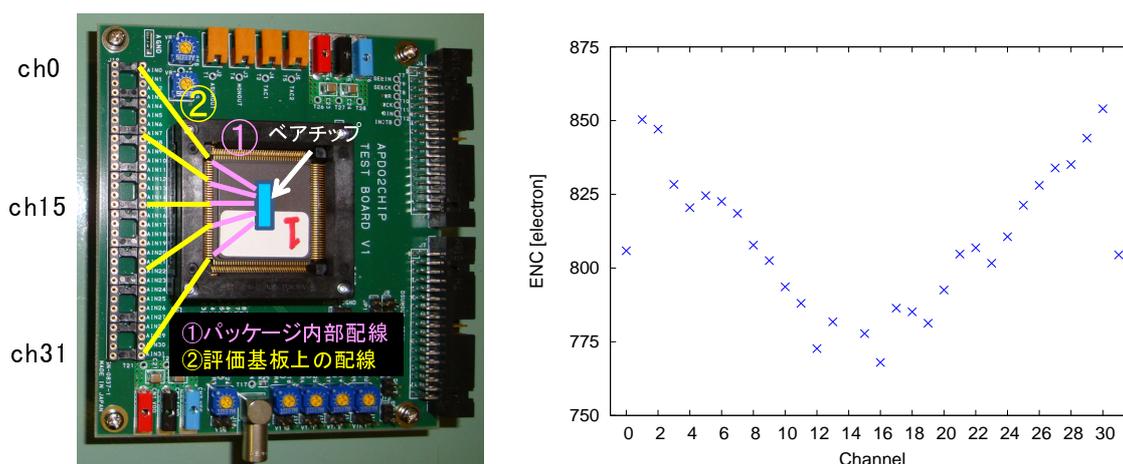


図 6.13: 雑音増加の原因を調べるために浮遊容量の測定を行った。(左) 浮遊容量の原因としてはペアチップから金属端子までの間のパッケージ内部配線、及び金属端子から APD 入力端子までの評価基板上の配線の 2 種類が考えられる。どちらの配線の長さもチャンネルの位置関係に依存し、中央のチャンネル 15 で最短に、両端のチャンネル 0 と 31 で最長になる。(右) 全 32 チャンネルの ENC の分布。中央で最小、両端部で最大となり、配線の長さと明らかな相関がある。

6.6 時間特性評価

Time-jitter 評価

Time-jitter とは、信号ラインに重畳する雑音による影響で信号がスレッシュホールド電圧を跨ぐタイミングが変動してしまう現象である。TIPPET08 の評価時と同様にテストパルスは 511 keV 相当の 160 mV に固定した状態でゼロクロスコンパレータのしきい値電圧 V_{th0} を -100 mV から 90 mV までの範囲で変化させ、それに伴うゼロクロス時間の変化を高精度な TAC モジュールで検出した。結果を図 6.14 に示す。

Time-jitter は V_{th0} を -20 mV に設定した場合に最小となり、その値は 595.5 ps であった。また図 6.14 右に示すとおり広い範囲のしきい値にわたって 1 ns 以内の時間分解能を維持しており、信号の対称性を改善したことによって時間特性が大幅に向上していることが分かる。しかしながら、前章で述べたとおり無負荷状態における Time-jitter のシミュレーション結果からの見積りは 340 ps であり、無負荷状態で 600 ps 程度という結果は必ずしも最適な値とは言えない。シミュレーションからは 13.6 pF の入力容量を仮定した場合に Time-jitter は 570 ps 程度になることが予想されているため、やはり 10 pF 以上の浮遊容量による影響を受けて時間分解能が悪化しているものと考えられる。

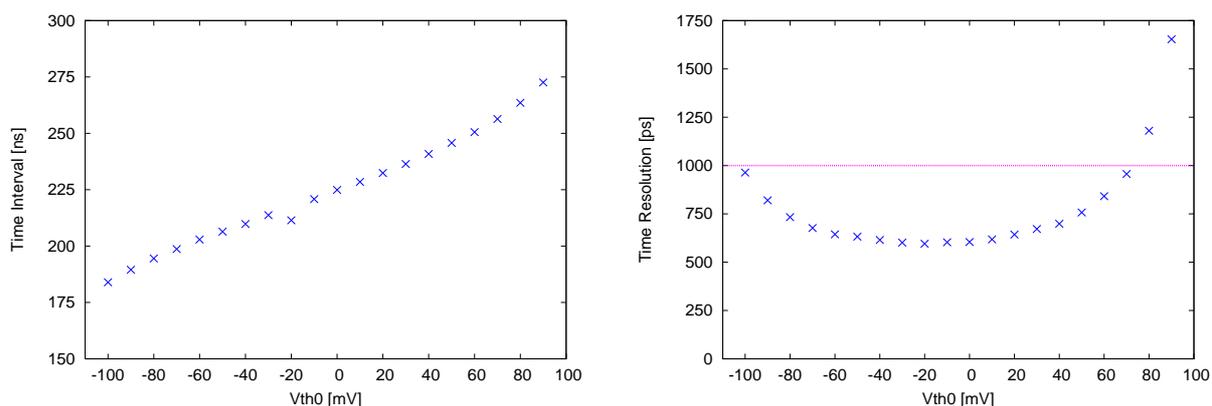


図 6.14: TIPPET32 の Time-jitter の測定。(左) 信号が入力されてからゼロクロスコンパレータが立ち上がるまでの時間差。しきい値電圧 V_{th0} を変化させた時の傾きが小さいほどゼロクロス時の信号の傾きは大きいことになる。(右) V_{th0} を変化させた時の時間分解能の変化。広い範囲で 1 ns 以内の時間分解能を確保できている。

Time-walk 評価

Time-walk とは、入力信号の大きさが変動することによって信号がしきい値電圧を跨ぐタイミングが変動してしまう現象である。TIPPET08 の評価時と同様にテストパルスを 140 mV から 180 mV まで (511 keV \pm 12.5 %に相当) 変化させると同時に、しきい値電圧 V_{th0} を 50 mV 刻みで変化させ、それらの walk に対して最も影響の少ないしきい値電圧を吟味した。Time-walk が最小となるしきい値電圧 25 mV に対してシミュレーション結果との比較を行った結果を図 6.15 に示す。Time-walk の程度はシミュレーション値の 92 ps に比べて実測値では 214 ps とやや悪化しているものの、Time-jitter に対して無視できる程に小さな値となった。

6.7 光学ユニットとの組合せ

実際の PET 検出器としての性能を評価するため、 ^{137}Cs から放出される 662 keV のガンマ線を 2 mm 角単ピクセルの APD + LYSO シンチレータで検出し、アナログサム出力を ADC に入力してエネルギー分解能の評価を行った。得られたエネルギースペクトルを図 6.16 に示す。エネルギー分解能は 662 keV のガンマ線に対し 10.0 % (FWHM) という結果が得られ、必要十分な性能は確保できていることが分かった。

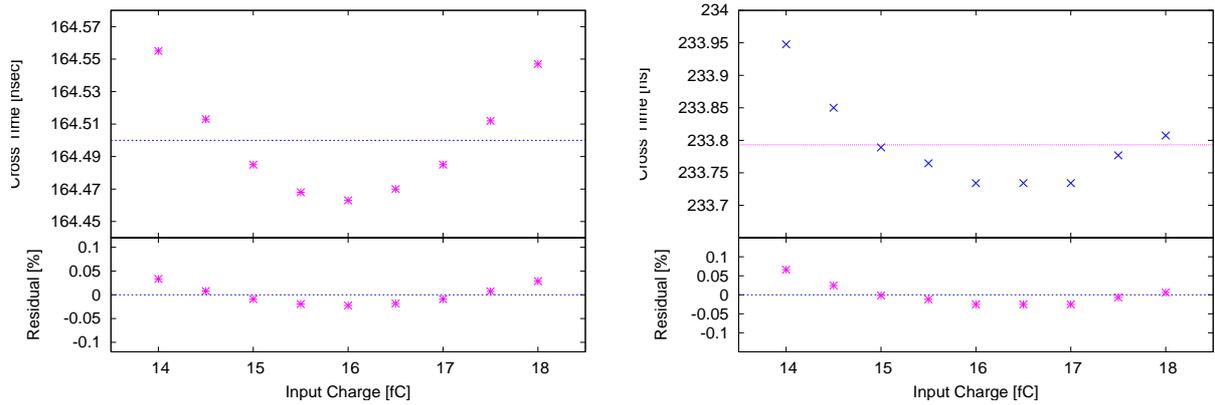


図 6.15: TIPPET32 の Time-walk の測定。(左) 無負荷状態における Time-walk のシミュレーション結果。ゼロクロス時間のばらつきは 92 ps となった。(右) 無負荷状態における Time-walk の実測結果。ゼロクロス時間のばらつきは 214 ps となった。

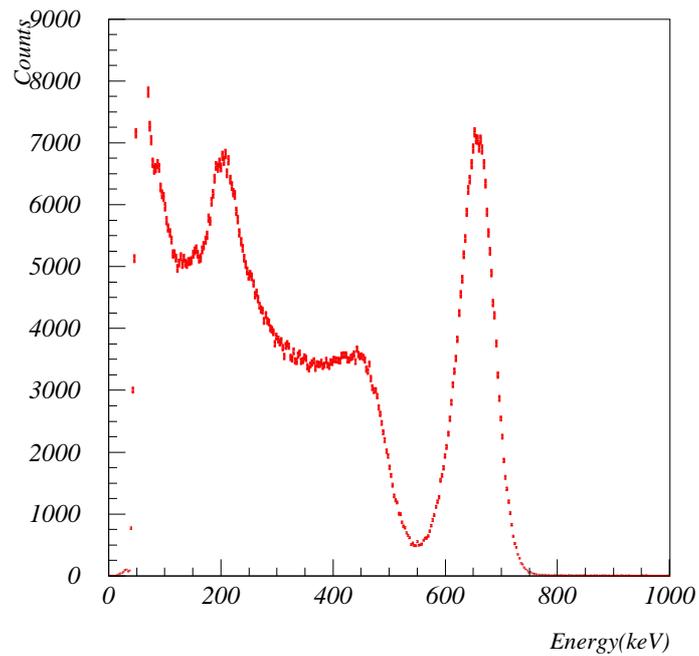


図 6.16: TIPPET32 と単素子光学ユニットで取得したガンマ線スペクトル。エネルギー分解能は 662 keV で 10.0 % (FWHM) という結果が得られた。

6.8 性能評価結果のまとめ

新規に開発を行った TIPPET32 について、TIPPET08 と同様の評価試験を行ったところ以下に示すような結果が得られた。まずバイアス電圧のばらつきについては、シミュレーション値に対して $\pm 10\%$ 程度であり製造プロセスに問題は無かったが、全体的にプラス側にシフトしており想定していたよりもトランジスタの相互コンダクタンスが小さいことが分かった。消費電力はチップ全体で 210 mW、1 チャンネルあたりでは 6.6 mW となり、十分な低消費電力を実現している。テストパルス入力に対する信号処理波形は概ねシミュレーション通りの波形となった。TIPPET08 では 320 チャンネル中どうしても動作不能なチャンネルが 3 つ存在したが、TIPPET32 では帰還要素の改良により全てのチャンネルで信号処理波形を確認することができ、歩留まりは 100 % であった。オフセット電圧のばらつきは PREAMP、SLOW、FAST 共にオフセット電圧調整回路で補償可能な範囲内に収まっていた。ゲインのばらつきは $\pm 0.5\%$ 以内であり、特性は非常によく揃っていた。エネルギー弁別に用いるローパスフィルタ出力は 0 ~ 23 fC まで $\pm 3\%$ 以内の線形性を確保しており、0 ~ 735 keV の範囲をカバーしている。PET 検出器としての性能を評価するため LSI と単素子の LYSO 及び APD 光学ユニットを組合せて 662 keV のガンマ線のエネルギー分解能を評価したところ、10.0 % (FWHM) という結果が得られた。

しかしながら、回路の雑音レベルはセラミックパッケージによる浮遊容量の影響を受けて $790 + 34 e^-/pF$ という値になり、シミュレーション結果や TIPPET08 の結果と比べてもかなり大きな値となった。時間分解能については Time-jitter が 600 ps 以内、Time-walk が 220 ps 以内であり目標とする範囲内には収まっているものの、やはり雑音による影響を受けて理論値よりも悪化していることが分かった。

以上の結果から、TIPPET32 は TIPPET08 で問題となった点を全てクリアし、既に PET 検出器用の信号処理回路として十分な性能を有しているが、評価用セラミックパッケージに起因する浮遊容量を削減することができれば雑音特性及び時間特性がさらに改善されることが分かった。そこで、TIPPET32 専用パッケージの開発に着手することとなった。

6.9 TIPPET32 専用パッケージの開発

6.9.1 開発目的

TIPPET32 について詳細な性能評価を行ったところ、4センチ角程度という大きさの評価用パッケージが浮遊容量の原因となり、雑音特性及び時間特性に悪影響を及ぼしていることが分かった。また我々のプロジェクトで目指すところの「小型・拡張型検出器ユニット」を実現するためには、回路部分のさらなる小型化が求められる。そこで TIPPET32 に最適化された専用の小型パッケージを開発することとなった。

6.9.2 低温同時焼成セラミックス

専用パッケージを開発するにあたり我々が注目したのは、低温同時焼成セラミックス (LTCC: Low Temperature Co-fired Ceramics) 技術を使用した多層基板パッケージである。LTCC とは導電抵抗の小さい銀や銅を内層導体として使えるようにこれらの金属の融点よりも低い900度以下の「低温」で焼成を行うセラミックス基板であり、アルミナ (Al_2O_3) とホウケイ酸ガラス ($\text{SiO}_2\text{-B}_2\text{O}_3\text{-CaO-Al}_2\text{O}_3$) を組み合わせた結晶化ガラスを主成分とする。我々が評価用に使用した QFP パッケージは図 6.17 左に示されるようにベアチップとリードフレームの間をワイヤボンディングで接合し、セラミックスで封止した単純な構造になっている。パッケージ内部の配線に用いられる 42 Alloy は鉄とニッケルの合金であり、比抵抗は $6.35 \times 10^{-7} \Omega \cdot \text{m}$ 程度である (表 6.3)。一方 LTCC パッケージは図 6.17 右に示されるような多層基板構造になっている。パッケージ内部の配線に用いられる銀の比抵抗は $1.59 \times 10^{-8} \Omega \cdot \text{m}$ 程度と 42 Alloy より一桁以上小さいため、抵抗損失が少なく高密度な配線が可能である。

配線材料	42 Alloy	銀	銅
組成	Fe, Ni (42 %)	Ag	Cu
比抵抗 [$\Omega \cdot \text{m}$]	6.35×10^{-7}	1.59×10^{-8}	1.71×10^{-8}
熱伝導率 [$\text{W}/(\text{m} \cdot \text{K})$]	14.6	429	401
融点 [$^{\circ}\text{C}$]	1430	960	1080

表 6.3: パッケージ内部配線に用いられる導体の特性 [73]。Ag と Cu は電気伝導率、熱伝導率が高く導体として優れた特性を有するが、42 Alloy に比べて融点が低いため従来のセラミックス焼成技術ではパッケージ内部の配線材料として利用することができなかった。

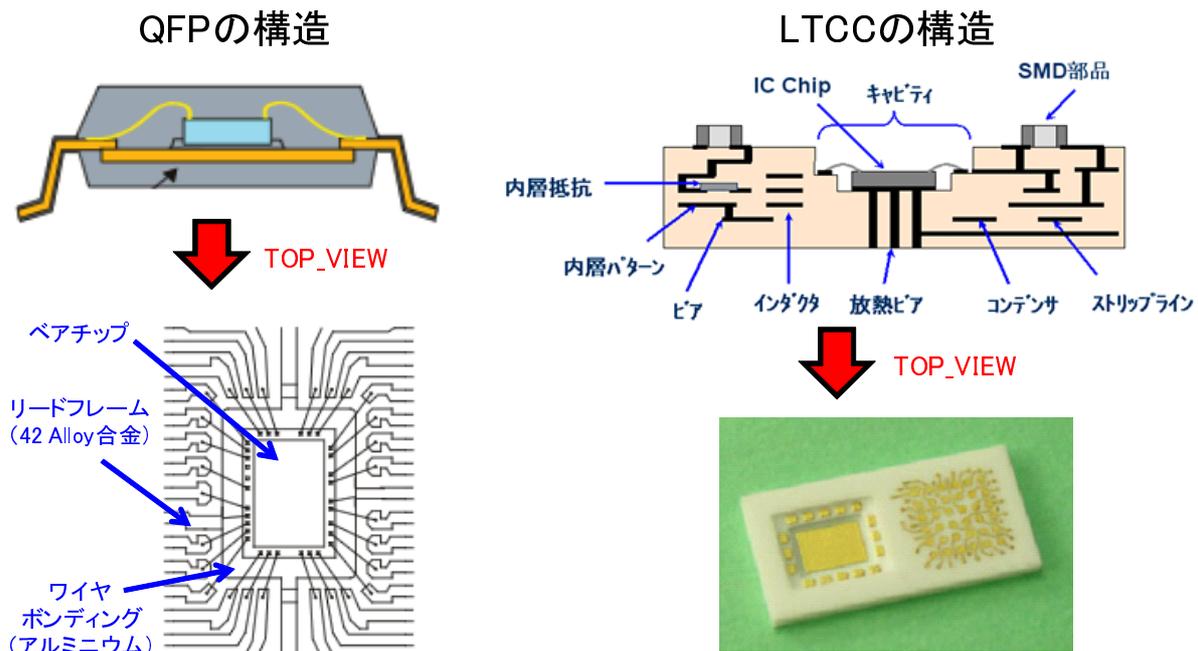


図 6.17: (左) 評価用に使用した QFP パッケージの構造 [74]。ベアチップとリードフレームの間をワイヤボンディングで接合し、セラミックスで封止した単純な構造となっている。(右)LTCC パッケージの構造 [75]。多層基板構造となっており、素子内部に抵抗やコンデンサ等の受動部品を内蔵することができる。配線材料には電気抵抗の小さい銀が使用される。

TIPPET32 専用パッケージとして LTCC を用いることのメリットを以下にまとめる。

- 導電性の高い Ag をパッケージ内部の配線材料に用いることにより、直列抵抗成分による損失が小さくなり APD からの電荷の収集速度が向上する。また高密度な配線によりパッケージの大幅な小型化が可能となり、配線長の短縮に繋がる。
- 多層基板の内部に抵抗やコンデンサといった受動素子を内蔵できるので、LSI の周辺に置く必要のあった LVDS 受信用の抵抗やバイパスコンデンサをパッケージに内蔵することで周辺回路の小型化が可能となる。またチップの直近にバイパスコンデンサを配置できるため雑音に対する感度を下げることができ低雑音化も可能となる。
- 高周波用の低容量なセラミックスを使用するため寄生容量が減少し低雑音化に効果が期待できる。
- サーマルビアを搭載することで放熱特性が改善される。

我々は LTCC パッケージの小ロット試作が可能な KOA 株式会社に製作を依頼した。

6.9.3 パッケージ概要

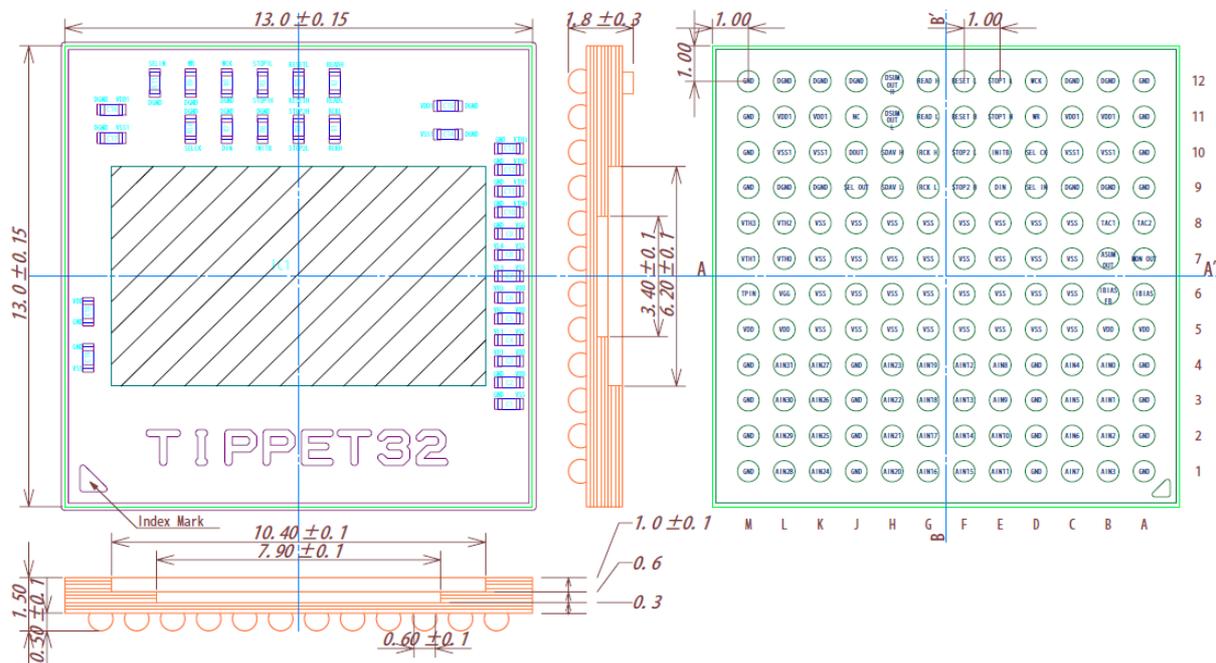


図 6.18: TIPPET32 専用 LTCC パッケージの外形図。144 pin の BGA 形式となった。

TIPPET32 専用に設計を行った LTCC パッケージの外形図を図 6.18 に示す。パッケージの外形は $13 \times 13 \text{ mm}^2$ となり、 $37 \times 37 \text{ mm}^2$ であった評価用 QFP パッケージから大幅に小型化された。図 6.19 にパッケージサイズの比較を示す。ピンの引き出しはパッケージの周辺にランドの必要な 160 pin の QFP から 144 pin の BGA (Ball Grid Array) に変更されたことでチップサイズの実装が可能になり、基板への実装面積を大幅に削減することができた事に加え、最小の配線長で基板側と接続することが可能になった。BGA の端子となる銅ボールの直径は 0.6 mm、端子間のピッチは 1.0 mm であり、 12×12 列に配置されている。パッケージの基板層数は 11 層、厚みは 1.8 mm であり、5 個の LVDS 受端抵抗 (100Ω)、6 個のプルダウン抵抗 ($1.8 \text{ k}\Omega$)、19 個のバイパスコンデンサ ($0.1 \mu\text{F}$) を内蔵している。出力端子側の中央部分にはサーマルビアが用意されており、32 本の VSS 端子 (アナログ回路用負極電源) が引き出されている。これは回路の体積上の大部分を占める p 型半導体のサブストレータが最低電位である VSS 端子に接続されているためであり、抵抗損失によって生じた熱を速やかに基板側に逃がすことができる。電源用とグランド用のピン配置は左右対称になっており、層間ビアの共通化により実装用基板の両側の同じ位置に実装することが可能である。

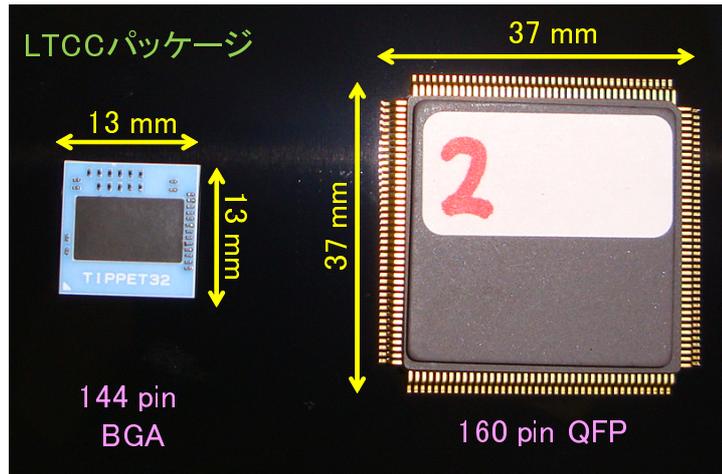


図 6.19: パッケージのサイズ比較。LTCC はパッケージの外形が 13 mm 角となり小型化された事に加え、ピンの引き出しが 144 pin の BGA となりチップサイズの実装が可能になった。

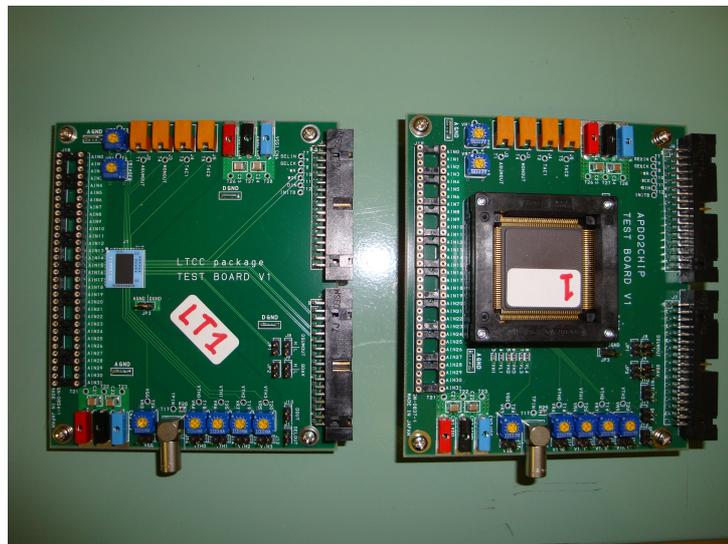


図 6.20: LTCC パッケージ用の評価基板 (左) と QFP パッケージ用の評価基板 (右)。LTCC パッケージは直接評価基板への実装を行った。

6.9.4 性能評価

セットアップ

80 個生産された TIPPET32 のうち 40 個について LTCC パッケージへの封入を行い、うち 2 チップについて性能の評価を行った。図 6.20 に評価用に作成した基板の外観図を示す。なお LTCC は専用パッケージということで適合するソケットの入手が困難だったため、今回は直接評価基板への実装を行った。

雑音評価

ローパスフィルタ出力である SLOW 信号のモニタ出力を用いて、雑音レベルの評価を行った。横軸に検出器容量、縦軸に等価雑音電子数 (ENC) をプロットし、シミュレーション結果及び QFP パッケージでの結果と比較した図を図 6.21 に示す。

結果としては、QFP パッケージで $790 + 34 e^-/pF$ だった容量勾配は LTCC 化により $560 + 30 e^-/pF$ まで劇的に改善され、シミュレーション結果である $550 + 27 e^-/pF$ に肉薄するほどの低雑音化に成功した。

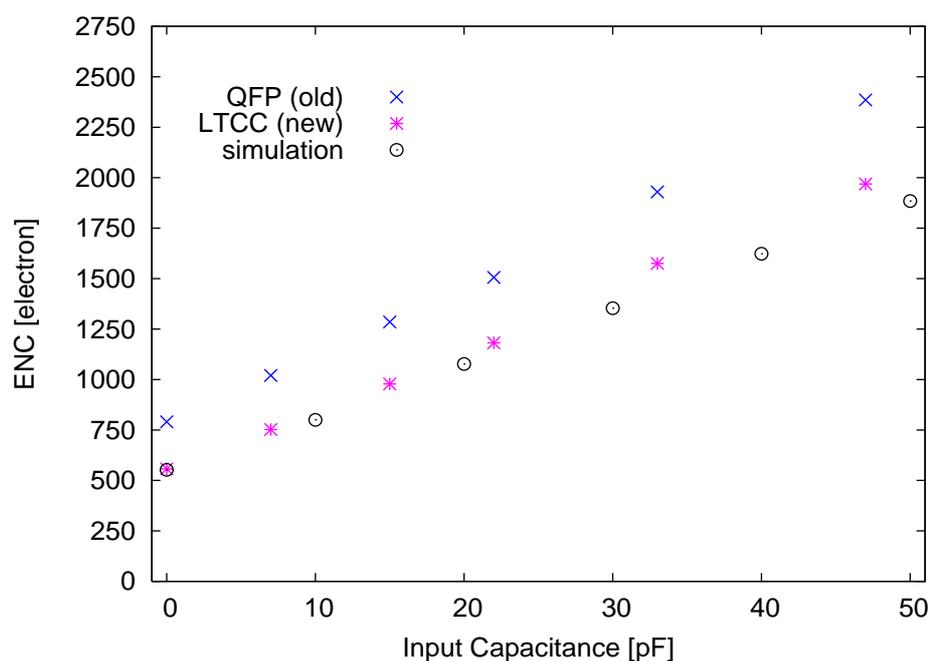


図 6.21: LTCC パッケージの雑音評価。LTCC 化によって大幅な低雑音化に成功した。

時間特性評価

Time-jitter 評価

LTCC パッケージの導入により大幅な低雑音化に成功したため、時間特性についても同様の改善が見込まれる。Time-jitter の評価を行った結果を図 6.22 に示す。しきい値電圧が -80 mV から 60 mV までの範囲で 600 ps 以内、 -70 mV から 40 mV までの範囲で 500 ps 以内という結果が得られた。また Time-jitter が最小となるのは -10 mV にしきい値を設定した場合であり、時間分解能は 407 ps という結果になった。これはシミュレーション結果である 340 ps に近い値であり、大幅に性能が向上していることを確認することができた。

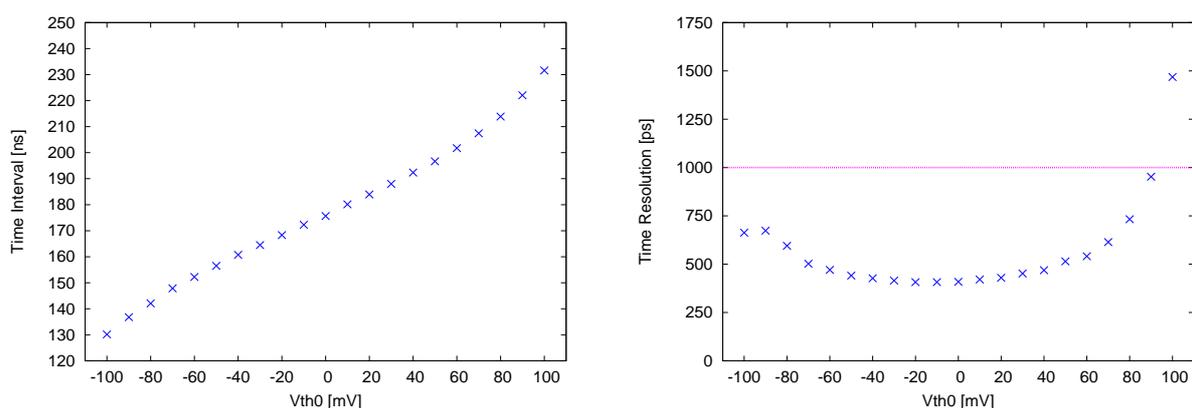


図 6.22: LTCC パッケージの Time-jitter の測定結果。(左) 信号が入力されてからゼロクロスコンパレータが立ち上がるまでの時間差。(右) V_{th0} を変化させた時の時間分解能の変化。殆ど全ての範囲で 1 ns 以内の時間分解能を確保できている。

Time-walk 評価

同様に Time-walk の評価を行った結果を図 6.23 左に示す。ゼロクロスコンパレータのしきい値電圧 V_{th0} は 33 mV に設定した。結果としては $511 \text{ keV} \pm 12.5 \%$ の変動に対する Time-walk は 165 ps となり、QFP パッケージでのベストな測定結果である 214 ps に比べて 20 % 以上改善された。

Time-jitter については図 6.22 より V_{th0} が -10 mV の時に、Time-walk については図 6.23 左より V_{th0} が 33 mV の時にそれぞれ最小になることが分かった。しかし実際の PET 検出器としての時間分解能は、ある一定の V_{th0} におけるそれぞれの寄与を総合したものになる。そこで Time-walk が最小となる 33 mV にしきい値を設定し、Time-jitter と合わせた総合的な時間分解能を調べた。結果を図 6.23 右に示す。Time-jitter は 455 ps、Time-walk は 165 ps であるため、総合的な時間分解能は以下のように求められる。

$$\sigma_{total} = \sqrt{\sigma_{jitter}^2 + \sigma_{walk}^2} = 484 \text{ ps} \quad (6.1)$$

従って無負荷状態における Jitter と Walk を合わせた総合的な時間分解能は最小で 484 ps となることが分かった。また 1 mm 角 APD1 素子に相当する 3 pF の入力容量を挿入すると、時間分解能は 100 ps 程度悪化するが目標とする 600 ps 以内の精度を維持していることが分かった。

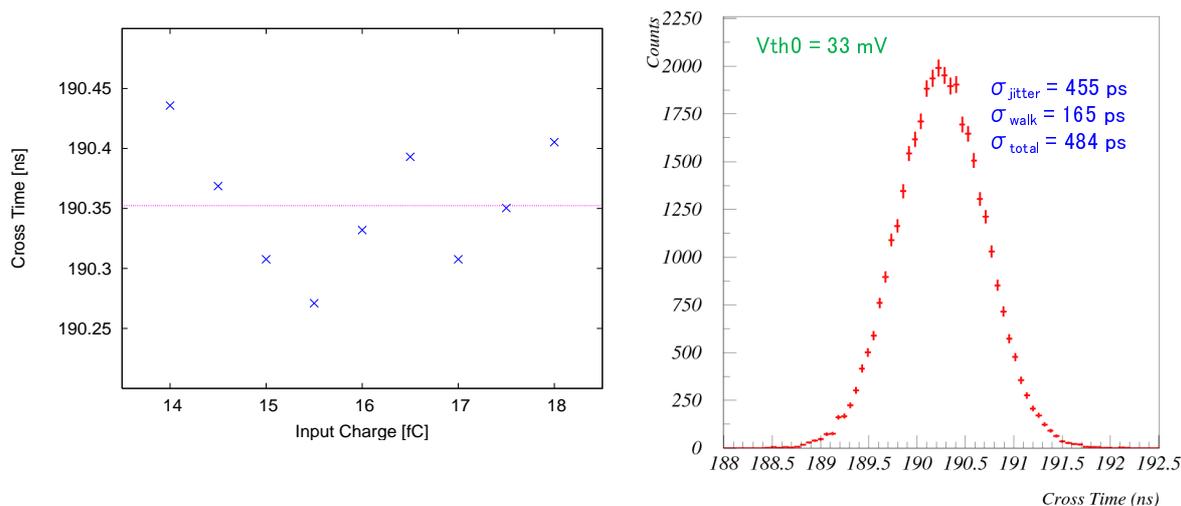


図 6.23: LTCC パッケージの Time-walk の測定結果 (左)Time-walk は $511 \text{ keV} \pm 12.5 \%$ の変動に対して 165 ps 以内であった。(右)Vth0 を 33 mV に固定して Walk と Jitter を測定した結果。横軸は TAC 電圧を時間に変換した値で、縦軸は ADC のカウント数を表している。Time-jitter は 455 ps 、Time-walk は 165 ps で、総合すると 484 ps という結果になった。

6.9.5 まとめ

TIPPET32 の本来の性能を引き出すために、LTCC 技術を用いて専用のパッケージを製作し、性能評価を行った。雑音については浮遊容量が減少したことにより $560 + 30 \text{ e}^-/\text{pF}$ まで低雑音化に成功した。それに伴い時間特性も改善され、Time-jitter については最小で 407 ps 、Time-walk については最小で 165 ps となり、同じしきい値電圧に対して両者の寄与を総合した時間分解能は 500 ps 程度という結果になった。また 1 mm 角 APD に相当する負荷容量に対しても 600 ps 程度の時間分解能を維持しており、TOF 型 PET として実用的なレベルに到達することができたと言える。ここでは特に触れなかったが、LTCC パッケージについてもオフセット電圧やゲインのばらつきを測定し、QFP と同程度のばらつきの範囲内に収まっていることを確認できた。これにより LSI 単体の開発は成功裏に終了し、次の段階としていよいよ PET 検出器のユニット化へ向けた開発を行うこととなった。

第7章 APD-PETユニットの開発

7.1 目的

我々の提案する「拡張型高速PET」装置の実用化のためには、ピクセルシンチレータアレー、APDアレー、信号処理回路の全ての要素を小型のAPD-PETユニットとして組み上げ、独立性、汎用性の高いモジュールとして供給する必要がある。そのうちAPDとLYSOを組み上げた光学ユニットについては、第4章で述べたとおり既に実用十分なレベルの技術的成功を収めている。しかしながらその後段のAPDアレーと信号処理LSIの接続方法について検討を行ったところ、従来のAPDアレーでは個々のピクセルからの信号線がピンで出力されていたため、後段の回路基板と接続するためには実装の都合上配線を一度アレーの外側に引き出す必要があり実装面積と配線容量の増加が懸念された。そこで新たな構造として、図7.1に示すような「カセット式」のアレーと、TIPPET32を2個実装し1枚で64チャンネル分の信号処理を行う4枚のフロントエンドカード(FEC)、さらにそれらを統括するためのFPGAを搭載する1枚のコントロールカード(CC)を組み合わせる方式を考案した。この方式により配線が最短になり浮遊容量の影響を抑えられ、かつ3 cm×3 cmの限られた空間を有効に活用することが可能となる。

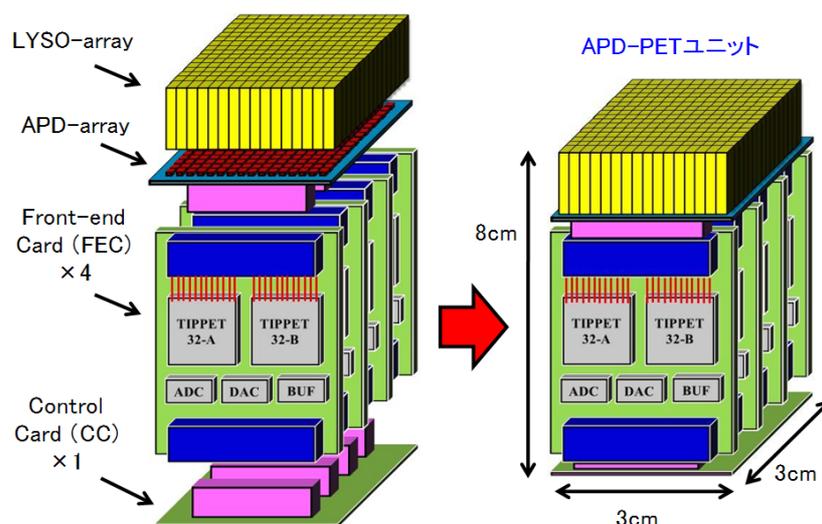


図 7.1: カセット式 APD アレーを用いた拡張型 APD-PET ユニットの概念

7.2 64チャンネルフロントエンドカードの開発

7.2.1 開発目的

TIPPET32のLTCC化によってアナログ信号処理LSIについては必要十分な性能を確保することができたが、実際にLSIを装置の中に組み込むためには電源やバイアス電流源、各種制御信号の生成回路などの周辺回路を含む共通のマザー基板上に素子を実装する必要がある。そこでTIPPET32のマザー基板として、TIPPET32を2チップ搭載し64チャンネル分の信号処理能力を持つフロントエンドカード(FEC)の開発を行った。

FECに求められる機能としては、TIPPET32のAPD入力端子とAPDアレーの各素子を高密度のコネクタで接続すること、TIPPET32及び周辺回路へ安定な電源供給を行うこと、TIPPET32の各種しきい値電圧や帰還量調整用のゲート電圧を高精度で設定できること、アナログで出力されるモニタ信号やテストパルス入力用の端子を備えること、アナログで出力されるTAC回路出力を高精度でA/D変換しシリアル形式で出力することなどが挙げられ、かつ小型ユニット化のためには以上の機能を満たしつつ3cm×6cm以内のコンパクトな基板サイズに収める事が要求される。

7.2.2 回路構成

以上の目標を達成するため、図7.3のように回路を構成した。FECのメインとなるのは1枚の基板につき2個搭載されたTIPPET32であり、それぞれA系、B系とし区別した。32チャンネルのAPD入力端子は70pinの高密度コネクタを通してAPDアレーの個々のピクセルと接続されており、FEC1枚で64チャンネル分の信号を処理することができる。信号波形の確認やオフセット電圧の確認などに用いるアナログ加算回路出力(ASMUOUT)及び信号モニタ出力(MONOUT)は出力端子の直近に配置されたアナログバッファ回路を通して外部に出力される。ゼロクロスコンパレータのしきい値電圧 V_{th0} 、エネルギー弁別回路のしきい値電圧 $V_{th1} \sim V_{th3}$ 、及びトランスファージェート型帰還要素のゲート電圧VGGは、16bitの分解能で8チャンネルの出力を持つデジタル/アナログ変換器(DAC)であるAD5362により、0.15mV/bitの高精度で値を設定可能である。

ガンマ線の飛行時間情報をアナログで出力する2系統のTAC出力は、まずアナログバッファ回路でインピーダンス変換された後、ローパスフィルタを通して高周波雑音の除去が行われる(図7.2)。この際信号の極性が反転してしまうため、DAC回路出力により適切なオフセット電圧を設定できるようにした。

ローパスフィルタを通過後の信号は、12 bit の分解能で 4 MSPS の高速サンプリングが可能なアナログ/デジタル変換器 (ADC) である ADS7881 によりデジタル化される。ダイナミックレンジは 2.5 V に設定されており、0.6 mV/bit の高精度で電圧値の測定が可能である。ただし ADS7881 のデジタル出力はパラレル形式のため、8 bit のシフ

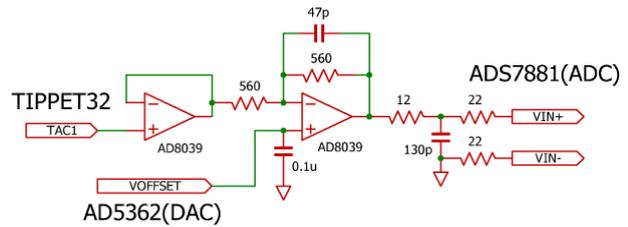


図 7.2: FEC に搭載されたローパスフィルタの回路図。時定数は 26 ns に設定されており、DAC を用いてオフセット電圧を変更できる。

トレジスタである SN74LV165 を 2 個直列に接続し、パラレル/シリアル変換を行うことで信号本数の削減を行っている。基板上には 10 ~ 47 μ F のコンデンサが各 IC のメイン電源用のバイパスコンデンサとして設置されている。

FEC からの情報の読み出しは周期が 256 ns のメジャークロックと、周期が 16 ns のマイナークロックを用いて行う。各クロック信号は後述する同時計数回路にて生成される。

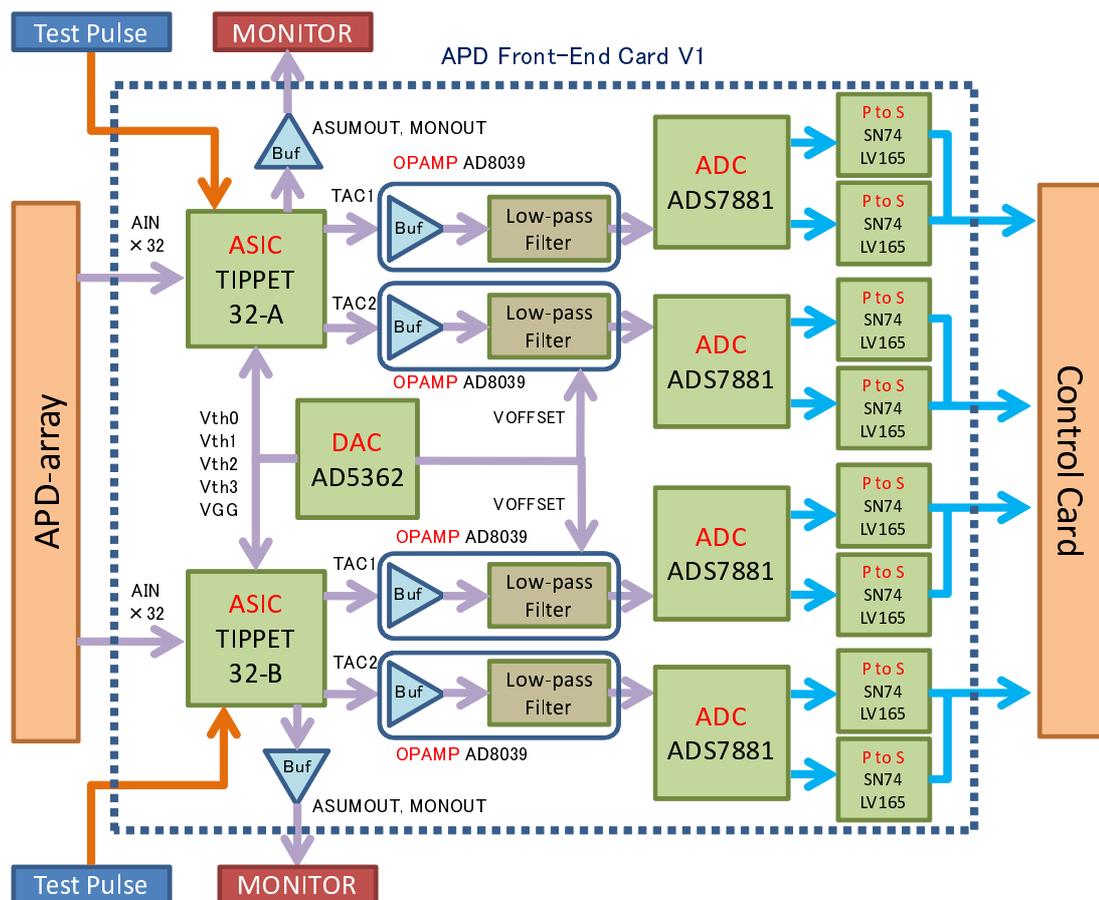


図 7.3: FEC の回路構成。1 枚の FEC で 64 チャンネル分の APD の読み出しが可能である。

7.2.3 信号処理の流れ

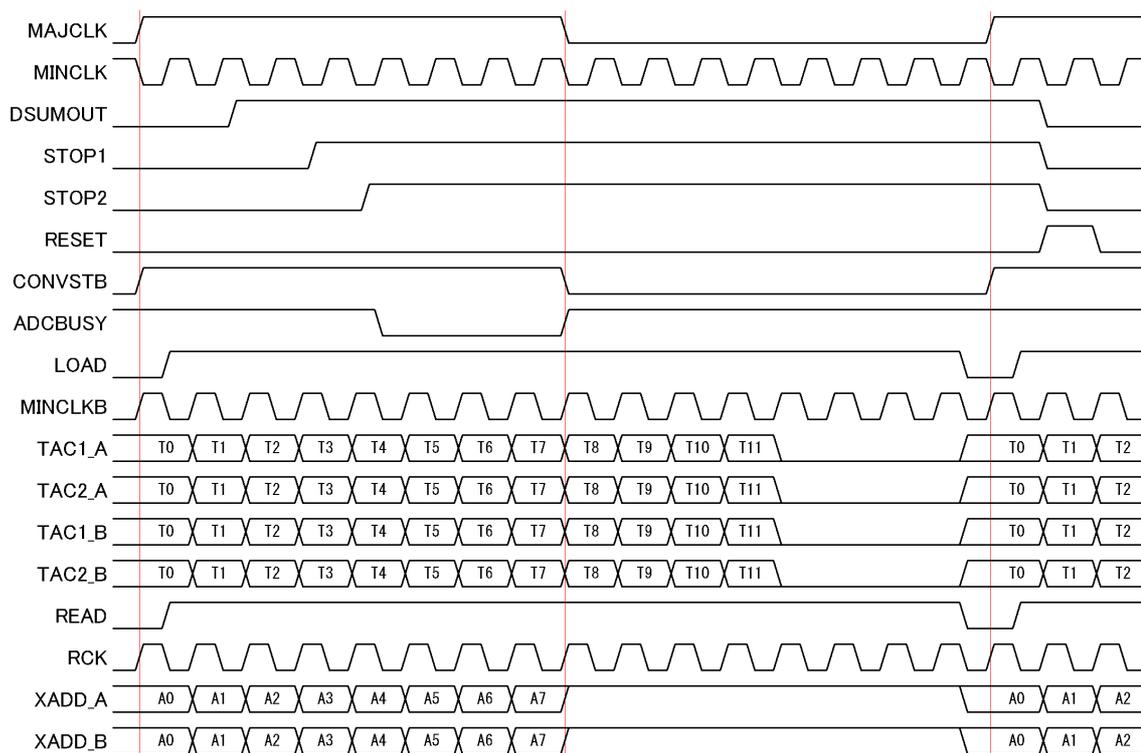


図 7.4: FEC の信号処理タイムチャート

FEC の信号処理タイムチャートを図 7.4 に示す。256 ns の周期を持つメジャークロック (MAJCLK) と、16 ns の周期を持つマイナークロック (MINCLK) は後段の同時計数回路から入力される。DSUMOUT はイベントが起こったフラグを表しており、STOP1 と STOP2 が入力されるとヒット時間情報を持つ TAC 信号がアナログで出力される。CONVSTB は TAC 出力を ADC でアナログ/デジタル変換するための信号であり、CONVSTB の立ち下がりで変換が開始され、変換が終了するまでの間 ADCBUSY が HI になる。ただし ADC の出力はパラレル形式であるため、後段のシフトレジスタを用いてさらにシリアル変換を行う。LOAD はシリアル変換のデータロード信号であり、LOAD が LO の時に ADC の出力がラッチされ、LOAD が HI の時に MINCLKB が立ち上がるとデータが 1 bit 分ずつシフトする。TAC 信号は 2 チップに 2 系統ずつ存在するため、一度に 4 本出力される。

一方 READ はヒット位置情報を読み出すための信号であり、READ が LO の時にアドレス情報がラッチされ、READ が HI の時に RCK が立ち上がるとデータが 1 bit ずつシフトしシリアルで出力される。FEC1 枚につき TIPPET32 は 2 チップ存在するため、アドレス情報は 2 本同時に出力される。全ての時間情報と位置情報の読み出しが終了すると RESET が立ち上がり全てのレジスタの値が初期化され、次のイベントに備える。

7.2.4 外観図

完成した FEC の外観図を図 7.5 及び図 7.6 に示す。基板の製作及び素子の実装は有限会社ジー・エヌ・ディーに依頼した。基板層数を 12 層とすることで、基板サイズは 3 cm×6 cm に収まっている。基板 1 枚あたりの消費電力は 900 mW 程度となった (表 7.1)。

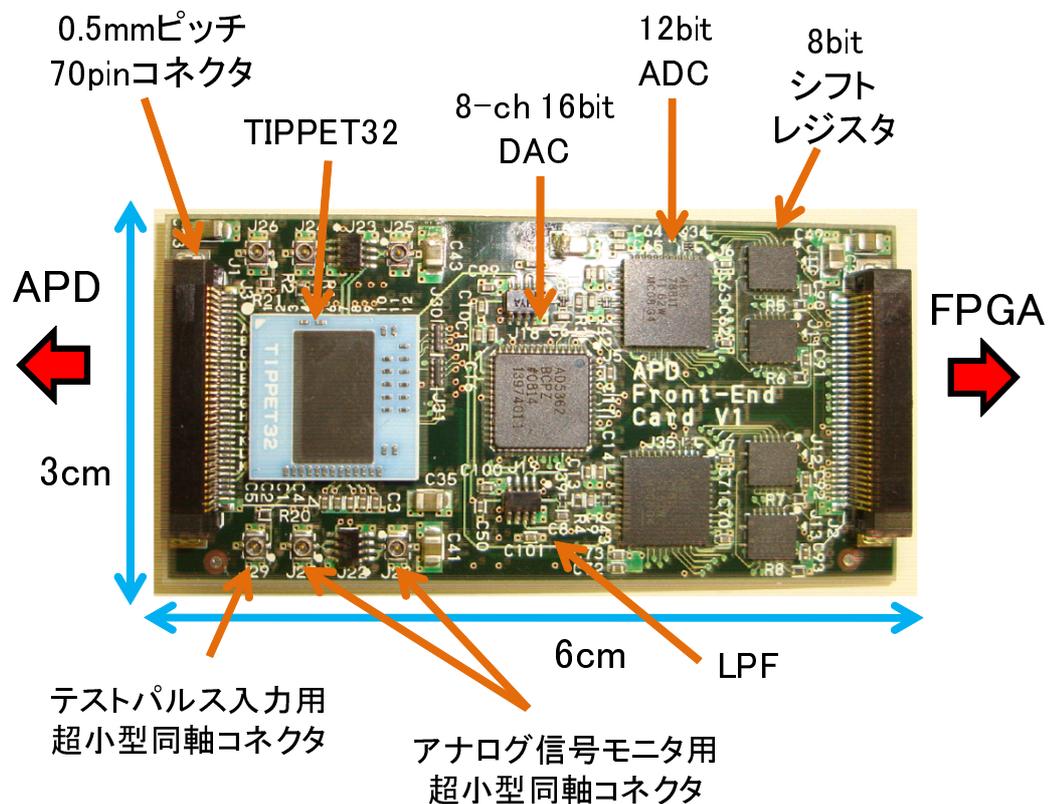


図 7.5: FEC の外観図。12 層基板の採用によりサイズは 3 cm×6 cm に収まっている。

電源	電圧 [V]	電流 [mA]	消費電力 [mW]
TIPPET32 用正極電源 (VDD+VDD1)	1.65	104	171.6
TIPPET32 用負極電源 (VSS+VSS1)	-1.65	128	211.2
ADC、オペアンプ用正極電源 (VDD2)	5	63	315
ADC、オペアンプ用負極電源 (VSS2)	-5	18	90
DAC 用負極電源 (VDD3)	12	5	60
DAC 用負極電源 (VSS3)	-12	4	48
デジタル回路用電源 (DVCC)	3.3	1	3.3
総計			899.0

表 7.1: FEC の消費電力

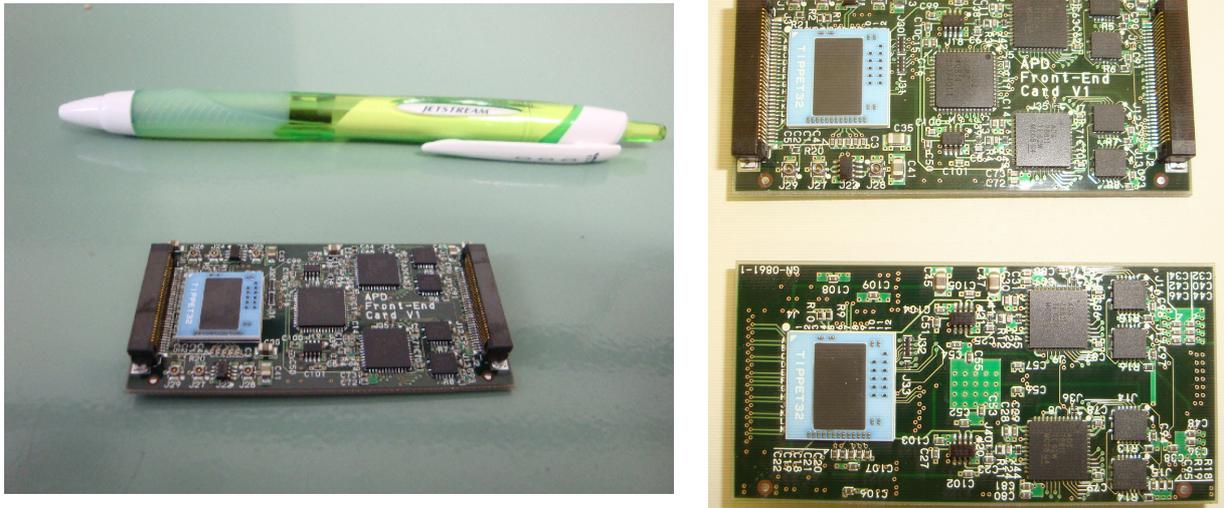


図 7.6: FEC の外観図。(左)3 cm×6 cm の非常にコンパクトなサイズに収まっている。(右) 基板の両面の様子。TIPPET32 は基板両面の対称な位置に実装されている。

7.3 カセット式 APD アレーの開発

従来型のピンタイプの APD アレーは読み出し回路と組み合わせる際に基板のサイズが大きくなってしまい最適な方法ではないことが判明したため、より小型ユニット化に適したカセット式の APD アレーの試作を行った。カセット式 APD アレーの基本仕様を表 7.2 に、外観図を図 7.7 左に、フロントエンドカードとの接続を図 7.7 右にそれぞれ示す。基本性能はピンタイプとほぼ同等であった。

素子サイズ [mm ²]	2×2	1×1
素子数	8×8	16×16
素子間ギャップ [mm]	0.3	0.4
運用電圧 V_R [V]	350	343
降伏電圧 V_B [V]	393	378
検出器容量 [pF]	12-15	3-5
暗電流 [nA]	0.5-1.2	0.1-0.4
素子の種類	リバーstype	

表 7.2: カセット式 APD アレーの仕様。運用電圧 V_R は APD の増幅率が 50 倍となる電圧値であり、降伏電圧 V_B はガイガーモードに移行してしまう電圧値である。

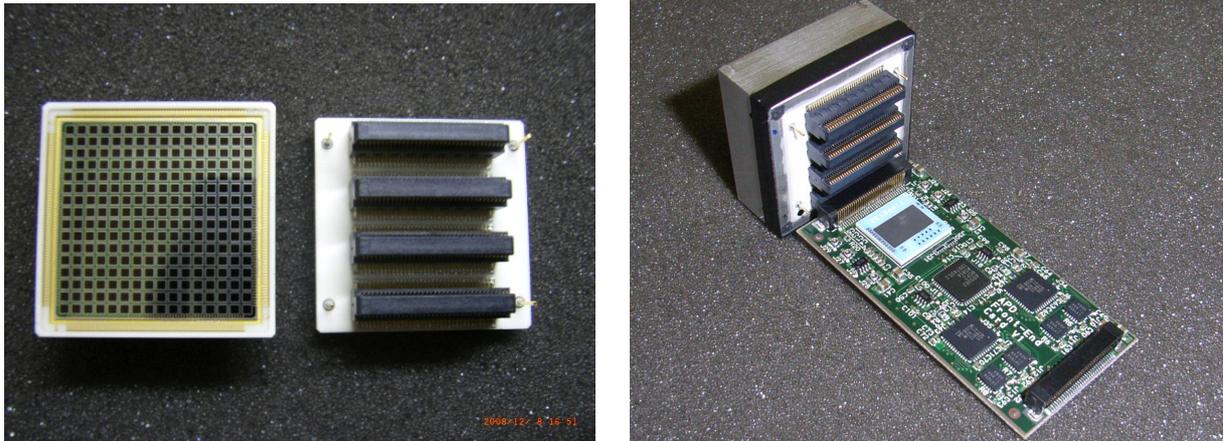


図 7.7: カセット式 APD アレーの外観図。(左) 両面の様子。並列に 4 個設置された 70 pin のコネクタで信号の引き出しを行う。パッケージの 4 隅には高電圧印加用のカソードコモン端子が配置されている。(右)FEC とカセット式光学ユニットの接続。カセット式の採用により APD の直近に回路を配置することが可能となった。

7.4 フロントエンドカードによる APD 読み出し試験

新規に開発を行ったカセット式 APD は信号の引き出しに 0.5 mm ピッチの高密度な 70 pin コネクタを用いているため、隣接チャンネル間の信号干渉が懸念された。そこで実際に FEC を用いてカセット式 APD の信号を読み出せる事を確認するため、図 7.8 に示すように FEC 用の評価基板と FEC、カセット式光学ユニットを組み合わせ、 ^{137}Cs から放出される 662 keV のガンマ線のエネルギースペクトルの分布を調べた。結果を図 7.9 に示す。



図 7.8: FEC 評価基板に FEC とカセット式光学ユニットをセットし、FEC のアナログ加算回路出力端子から全てのチャンネルのガンマ線スペクトルを調べた。

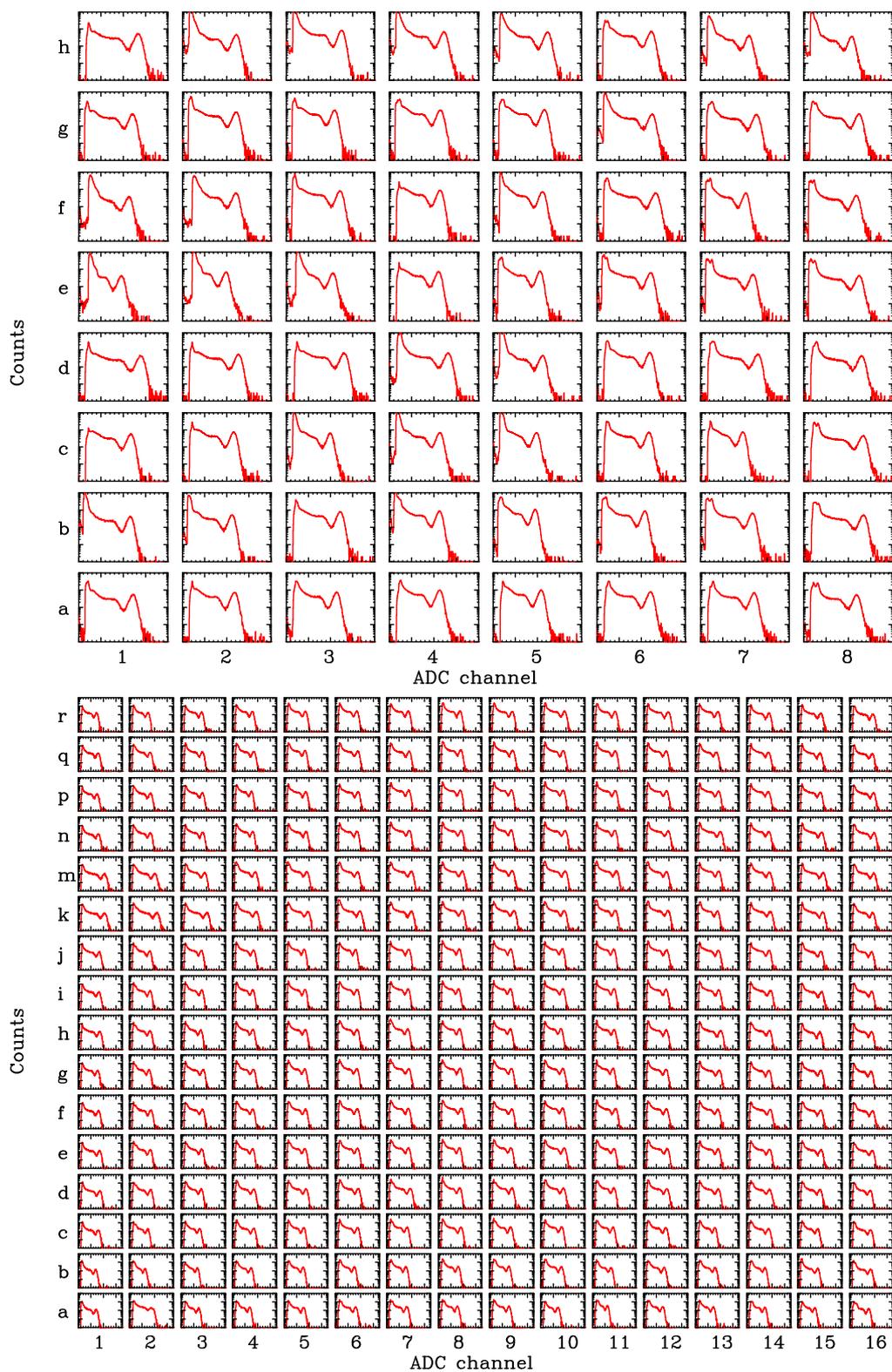


図 7.9: カセット式光学ユニットと FEC を組み合わせて取得した ^{137}Cs のエネルギースペクトルの分布 (測定の詳細は石橋卒論 [62])。 (上)8×8 チャンネル (下)16×16 チャンネル

図 7.9 から得られた結果によると、8×8 チャンネルのカセット型光学ユニットを FEC で読み出した時の光量のばらつきは 238 ± 20 ch、相対誤差は 8.4 %以内であり、エネルギー分解能のばらつきは 11.7 ± 0.7 %、相対誤差は 6.0 %以内であった。同様に 16×16 チャンネルのカセット型光学ユニットを FEC で読み出した時の光量のばらつきは 176 ± 15 ch、相対誤差は 8.4 %以内であり、エネルギー分解能のばらつきは 13.7 ± 1.1 %、相対誤差は 7.8 %以内であった。この結果は表 7.3 に示すようにピン型の光学ユニットを単独の読み出し回路で読み出すよりもカセット型の光学ユニットを FEC 上の TIPPET32 の各チャンネルで読み出した方が一様な撮像性能が得られることを示しており、カセット型 APD と FEC 共に性能に問題が無いことが分かった。

光学ユニット	光量 [ch]	相対誤差 [%]	エネルギー分解能 [%]	相対誤差 [%]
ピン型 8×8 ch	563 ± 53	9.5	10.4 ± 0.5	4.5
カセット型 8×8 ch	238 ± 20	8.4	11.7 ± 0.7	6.0
ピン型 16×16 ch	499 ± 52	10.5	15.2 ± 1.4	9.4
カセット型 16×16 ch	176 ± 15	8.4	13.7 ± 1.1	7.8

表 7.3: ピン型とカセット型で比較した光学ユニットの全チャンネルの光量及びエネルギー分解能のばらつき。カセット型の光学ユニットを使用することでチャンネル間の性能のばらつきはむしろ小さくなることが分かった。

7.5 コントロールカードの開発

7.5.1 開発目的

コントロールカード (CC) は APD-PET ユニットの統括する基板であり、4 枚の FEC から入力される HIT アドレス情報と HIT 時間情報に対して FPGA による適切な情報処理を行った後に同時計数回路に信号を送信する役割を担っている。また CC は各チップへ供給するしきい値電圧等の設定や TAC 電圧の A/D 変換前のオフセット電圧調整、それらの制御を行うための TTL から LVDS への信号レベル変換回路などを備えており、総合的な機器制御を行う。ただし FPGA を含む基板の設計にはコア電圧とバス電圧のシビアな制御や熱設計、高速なクロックラインの引き回しなどが必要となり敷居が高い。そこで今回は信頼性と入手性を考慮し、市販の FPGA 基板を孫基板として流用することで対応することとした。

7.5.2 FPGA の選定

コントロールカードの開発にあたり、まずは使用する FPGA 基板の選定を行った。FEC は1枚あたり LVTTTL で21本、LVDS で18本、総計39本のデジタル信号入出力を必要とするため、4枚の基板で共通化できる部分については全て共通化し信号本数を削減したとしても FPGA の I/O 端子は100本程度は必須となる。そこで、このような大規模な I/O 端子を備える FPGA ブレッドボードとして ALTERA 社の FPGA である Cyclone3 を搭載したヒューマンデータ製の ACM-105 シリーズを採用することとした (図 7.10)。ACM-105 は 43 mm×53 mm というコンパクトな基板に FPGA、電源回路、クロック源、汎用スイッチや LED を備えており、128本の I/O 端子をユーザー定義で自由に使用することができる。



図 7.10: ヒューマンデータ製の FPGA ブレッドボードである ACM-105 を選択した。

7.5.3 回路構成

コントロールカードの回路構成を図 7.11 に示す。信号の流れとしては、まず同時計数回路から周期 256 ns のメジャークロックと周期 16 ns のマイナークロックを受け取り、メジャークロックの周期を1フレームとする信号を生成し LVTTTL から LVDS に変換して FEC に入力する。各 FEC からの時間情報、アドレス情報は LVDS から LVTTTL に変換されて FPGA に入力された後、メジャークロック、マイナークロックに同期して同時計数回路に出力される。FPGA のコンフィギュレーションは基板上の JTAG 端子から行う。

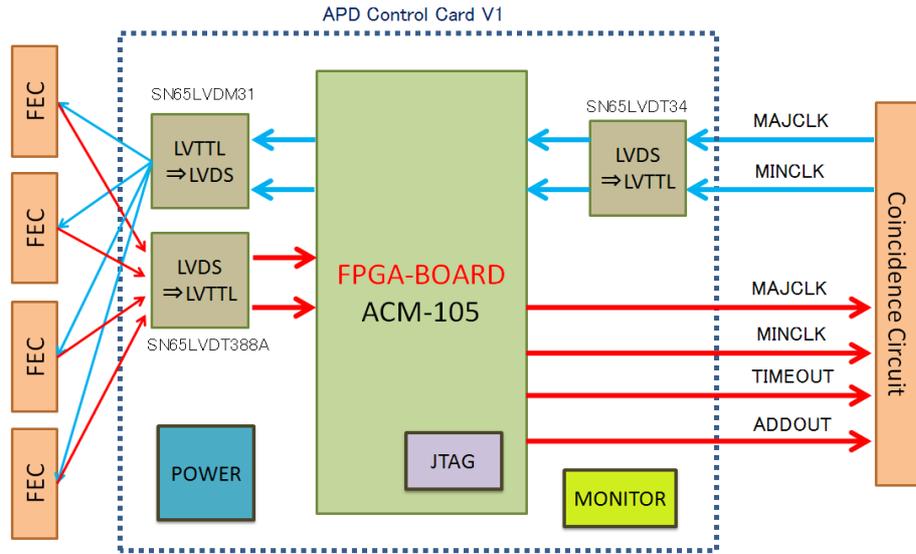


図 7.11: コントロールカードの回路構成。大規模 FPGA が搭載された FPGA ボードで主要な信号処理を行い、イベントの時間情報と位置情報を同時計数回路に出力する。

7.5.4 出力信号仕様

コントロールカードの出力信号仕様を図 7.12 に示す。256 ns の周期を持つメジャークロック (MAJCLK) 及び 16 ns の周期を持つマイナークロック (MINCLK) は同時計数回路から入力される信号に正確に同期して出力される。TIMEOUT はヒット時間情報の出力信号であり、VALID なイベントの場合にはまず最初の VALID FLAG が HI になる。VALID FLAG が LO の場合には、いかなる信号であっても同時計数処理は行われぬ。次の 7 bit の CLOCK COUNTS はメジャークロックの 1 周期のうち何カウント目のマイナークロ

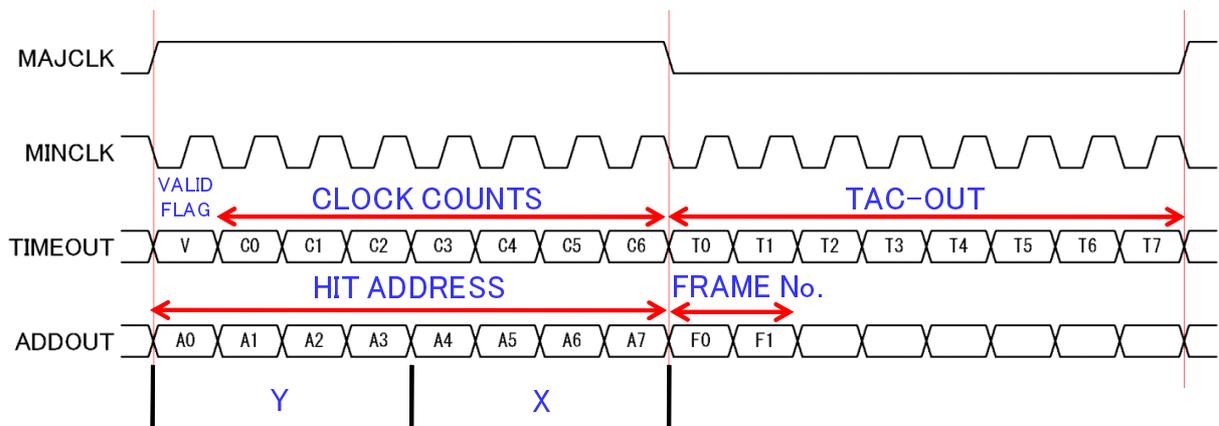


図 7.12: コントロールカードの出力信号仕様

クの位置で VALID なイベントがあったのかを表すものであり、大まかな同時計数処理に使用する。8 bit の TAC-OUT は FEC から入力される 12 bit の TAC 出力のうちの下位 8 bit を抜粋したものであり、将来的に TOF 型 PET として用いる際には数百 ps オーダーの精度を持つ時間情報として用いる。ADDOUT はヒット位置情報の出力信号であり、8 bit、64 チャンネル分のヒットアドレス情報を出力する。FEC から入力されるアドレス情報は FPGA 内部で符号化処理され、イベントのあったピクセルのアレー上の 2 次元座標が Y、X の順にそれぞれ 4 bit ずつ出力される。FRAME No. は出力信号のフレーム番号を表す信号である。TIPPET32 にはダブルストップ方式に対応して TAC が 2 系統内蔵されているが、後段の同時計数回路の時間信号入力端子は 1 つしかないため、メジャークロックを 2 回分使用し 2 枚のフレームで TAC 出力を転送している。

7.5.5 外観図

コントロールカードの完成により、APD-PET ユニットの全ての要素が揃った。各要素の外観図を図 7.13 左に、実際にユニットとして組み上げた際の外観図を図 7.13 右にそれぞれ示す。なおコントロールカードについては現在動作評価中である。

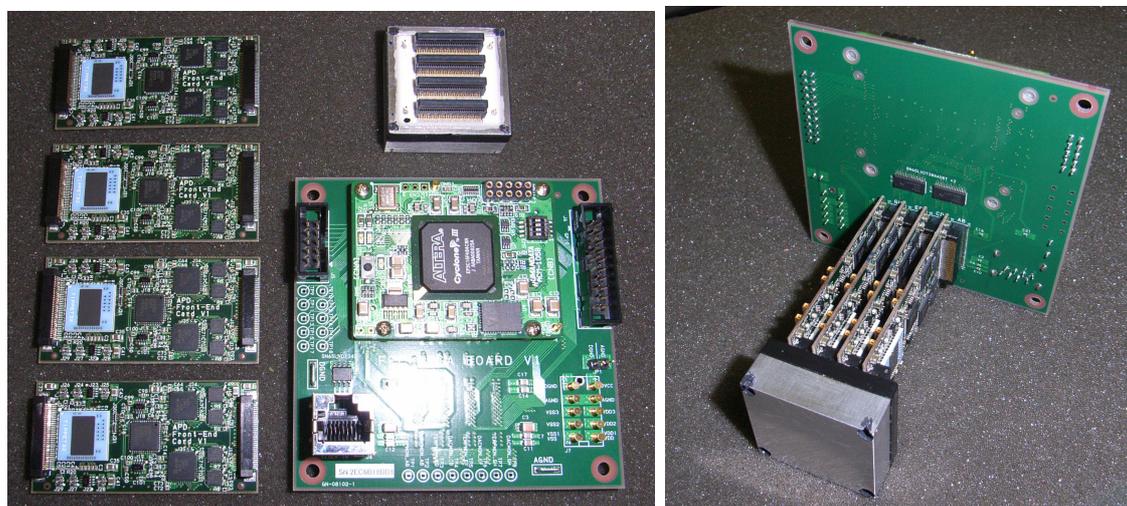


図 7.13: APD-PET ユニットの構成要素 (左) と実際に組み上げた際の外観図 (右)。コントロールカードの基板サイズは 85 mm×85 mm である。FPGA 基板については市販品を使用した。それ以外の基板は全て自前で回路設計を行いジー・エヌ・ディー社に製作を依頼した。

7.6 同時計数処理

7.6.1 同時計数回路の概要

以上の成果をもって APD-PET ユニットの完成したが、最終的な PET 画像を得るためには複数の APD-PET ユニットからのイベント情報を統合し、それらがある一定の時間幅の中で「同時」に起こったイベントであるかどうかを判定する同時計数回路と、PC 上でそのイベント情報を画像に焼き直すためのソフトウェアが必要となる。同時計数により真のイベントであると判定されたイベントについてはその位置情報と時間情報がメモリー上に記録され、逐次 PC に転送される。図 7.14 に同時計数回路の役割を示す。本プロジェクトでは浜松ホトニクス社に依頼し、APD-PET ユニットのワンペア計数用の同時計数回路を製作した。同システムは既に放医研グループをはじめ多くの納入実績があり、回路の設定に若干の変更を加えるだけで APD-PET の計測用に使用することができる。

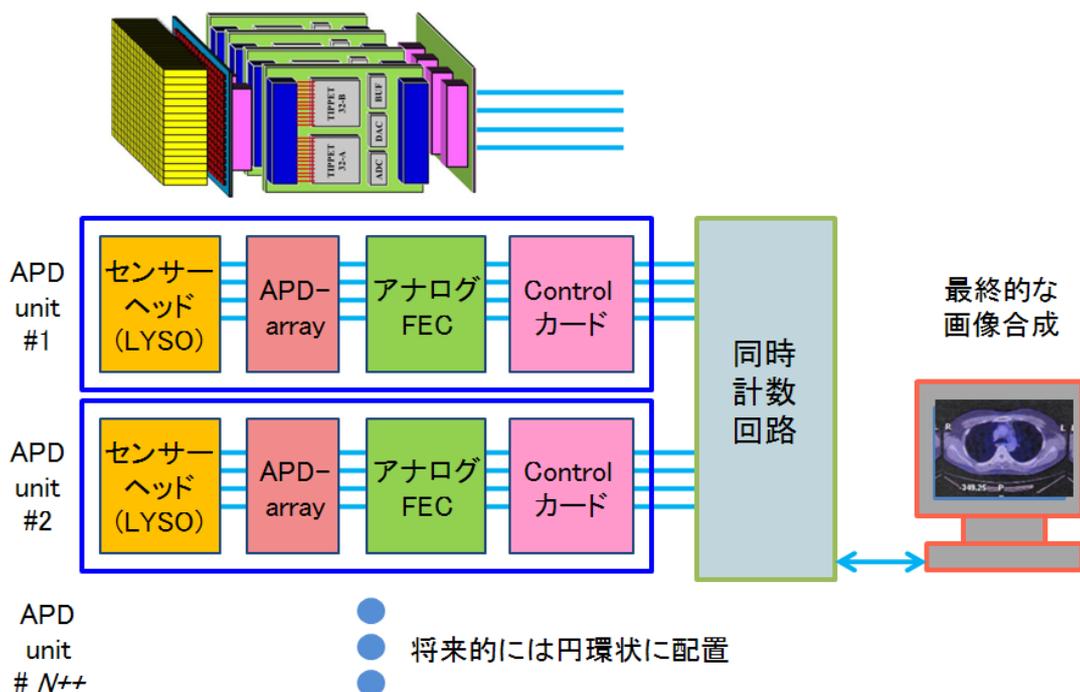


図 7.14: 同時計数回路の役割。各 APD-PET ユニットから入力されるイベント情報について、ある一定の時間幅の中で起こったものであれば真のイベントであると判定し、情報の転送を行う。同時計数判定の時間幅は可変であり、使用するシンチレータの特性や検出器の時間分解能を考慮して設定される。LYSO シンチレータを用いた全身用 PET 装置の場合には典型的に 10 ~ 20 ns 程度の値が選択されている [76]。

7.6.2 回路構成

図 7.15 に装置の回路ブロック図を、図 7.16 に装置の外観図をそれぞれ示す。

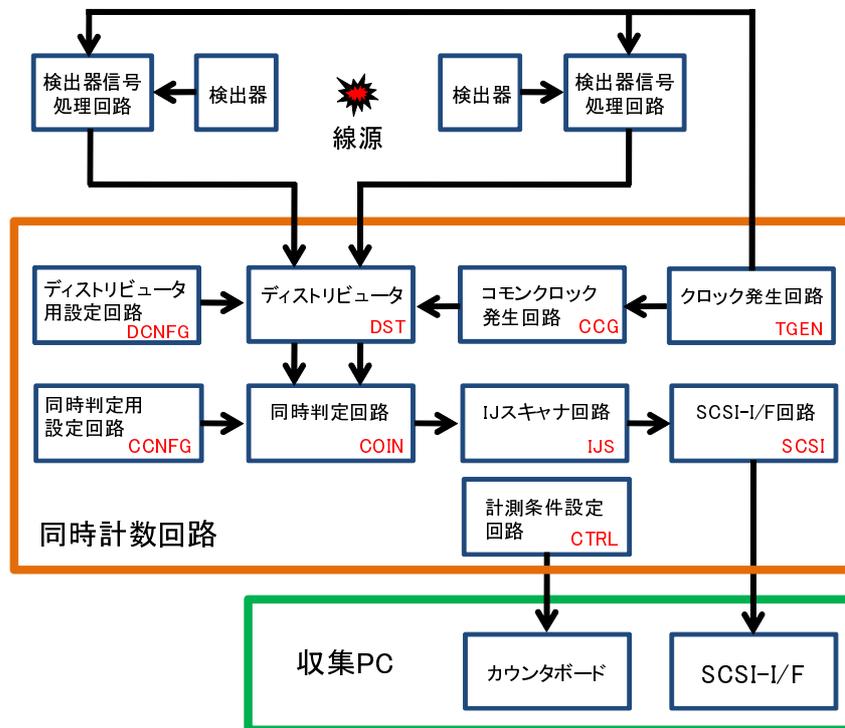


図 7.15: 同時計数回路の回路ブロック図 [77]

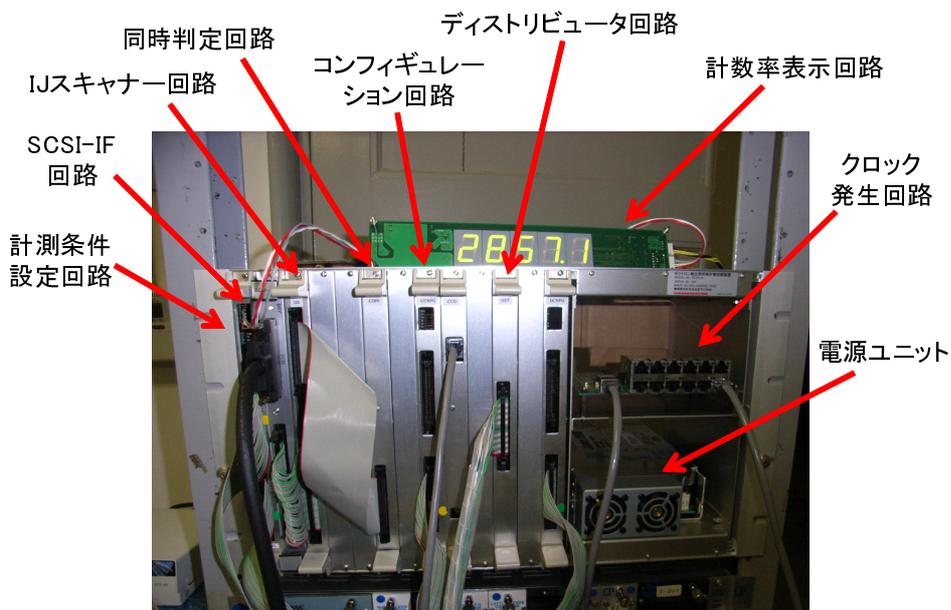


図 7.16: 同時計数回路の装置外観図。7枚のメイン基板の他にクロック発生回路、電源ユニット等から構成され、全ての要素はNIMピンと共通サイズの19インチのラックに収められている。

同時計数回路は主にクロック発生回路 (TGEN)、コモンクロック生成回路 (CCG)、ディストリビュータ (DST)、同時判定回路 (COIN)、コンフィギュレーション回路 (DCNFG 及び CCNFG)、IJ スキャナー回路 (IJS)、SCSI インターフェース回路 (SCSI)、計測条件設定回路 (CTRL) から構成されている。

クロック発生回路 (TGEN) は各検出器ユニットを含むシステム全体に信号処理の基準となるクロック信号を供給するための回路であり、周期 256 ns のメジャークロックと周期 16 ns のマイナークロックの 2 種類のクロック信号を生成する。コモンクロック生成回路 (CCG) は上記のメジャークロックを受け取り、フレーム開始パルスと 16 週倍したマイナークロックを生成し、デスキュー処理のためディストリビュータ回路へ出力する。ディストリビュータ回路 (DST) は各検出器ユニット毎の信号の伝達遅延を補償するための回路であり、入力データをメジャークロックの立ち上がりで再ラッチしてデスキュー処理を行い、同時判定回路へ出力する。同時判定回路 (COIN) は 2 つの検出器のヒット時間情報を比較してあらかじめ設定した時間の範囲内のイベントであるかどうかの判定を行い、同時事象であれば検出器データを FIFO メモリに格納する。

コンフィギュレーション回路 (DCNFG 及び CCNFG) はディストリビュータ回路及び同時判定回路内部の FPGA に対してシステム起動時にデータの書き込みを行う。IJ スキャナー回路 (IJS) は同時判定回路の FIFO メモリからデータを読み出し、時刻データと組み合わせて任意のデータフォーマットに変換した後、SCSI-IF 回路 (SCSI) を介して収集 PC へデータの転送を行う。計測条件設定回路 (CTRL) は同時計数判定の時間幅、出力タイミングデータの選択、同時判定を行わないシングルモードへの変更などの設定をスイッチにより行う (表 7.4)。また同時判定時に生成されるトリガ信号を出力しているため、収集 PC 内のカウンタボードを使用して計数を行うことで 1 秒あたりの計数率を常時モニタすることが可能である。

我々はデータ収集用 PC として Plamo Linux をインストール済みの PC を使用し、SCSI インターフェース基板としては Adaptec 社の SCSI ASC-29160 を用いた。

SW8-7	SW6	SW5	SW4-3	SW2 SW1
未使用	ON : COIN. を出力 OFF : SINGLE を出力	ON : TAC-OUT を出力 OFF : CLOCK COUNTS を出力	未使用	

SW2 SW1 同時計数判定の時間幅
OFF ON 16 ns 単位、C3 まで有効
ON ON 8 ns 単位、C4 まで有効
OFF OFF 2 ns 単位、C6 まで有効

表 7.4: 計測条件設定回路のスイッチ設定一覧表。同時判定の有無、TAC 使用の有無、同時判定時間幅などの計測条件の設定を行うことができる。

7.6.3 収集データ仕様

今回製作した同時計数回路の収集データ仕様を図 7.17 に示す。イベントのデータは 64 bit ずつ格納される。[0:7] までは検出器 2 の、[8:15] までは検出器 1 のそれぞれのイベントのヒットアドレス情報が、[16:23] までは検出器 2 の、[24:31] までは検出器 1 のそれぞれのイベントのヒット時間情報が、それぞれ書き込まれる。ただし時間情報についてはマイナークロックのカウント数を用いる簡易計数モードと、高精度な TAC 情報を用いる TAC モードの 2 種類のモードが存在し、計測条件設定回路のスイッチ設定によりモード変更を行うことができる。

[32:33] は検出器 1 と 2 のどちら側に先にイベントが起こったのかを表す情報 (HIT ORDER) であり、その順番は表 7.5 のように定義されている。[34:35] はダブルストップ TAC 方式を用いる場合に TAC1 と TAC2 のどちらの値であるかを識別するための情報 (FRAME No.) であり、フレームの識別は表 7.6 のように定義されている。[36] は遅延一致フラグ (DELAYED COINCIDENCE FLAG) であり、この値が 1 の場合には遅延一致による判定が行われたことを表している。遅延一致とは片方の検出器信号について一定時間遅延させた信号を同時判定に用いることであり、偶発同時計数率の見積りに用いられる。[37:63] は測定開始後の経過時間を表しており、1 ms 経過する毎に 1 bit ずつ値が増加していく。

これらの仕様に基づき時系列に沿って記録された情報はリストモードデータと呼ばれ、薬剤の放射能の時間変化や体動補正を併せて行うことが可能である。

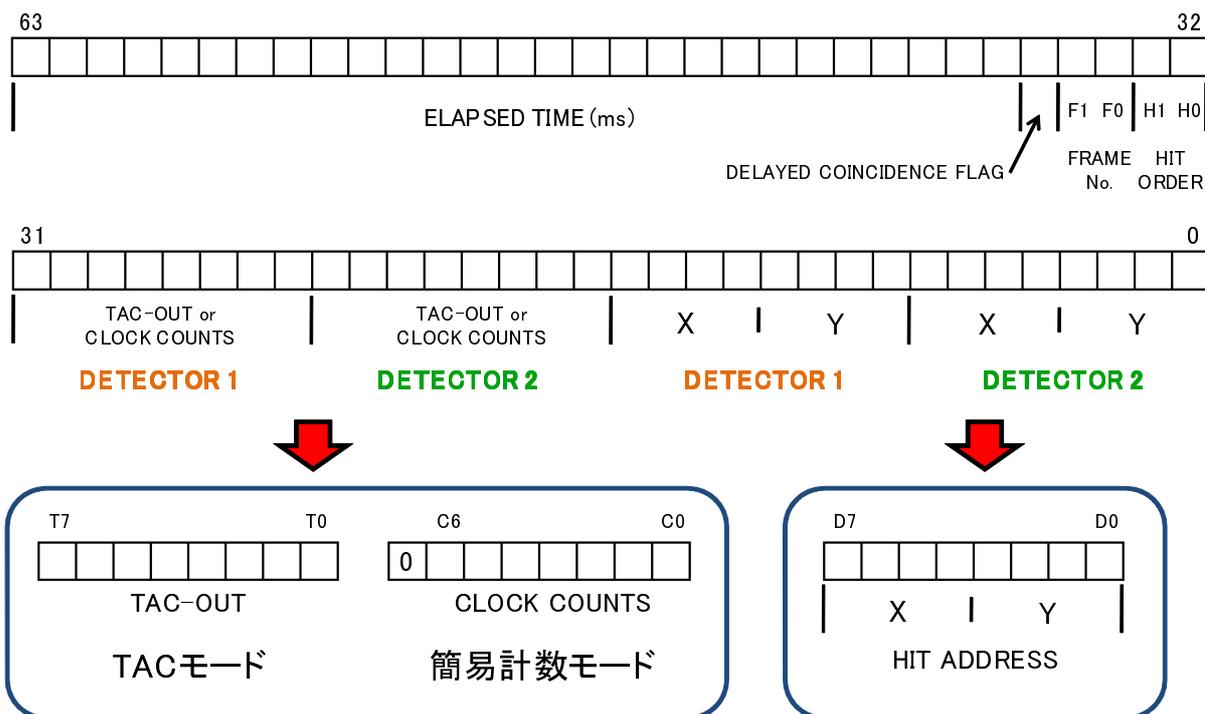


図 7.17: 同時計数回路の収集データ仕様

H1	H0	定義
0	0	N/A
0	1	DETECTOR 1 に先にヒット
1	0	DETECTOR 2 に先にヒット
1	1	同時にヒット

表 7.5: 同時計数回路における HIT ORDER の定義

F1	F0	定義
0	0	シングルフレームモード
0	1	N/A
1	0	ダブル TAC モード、フレーム 0
1	1	ダブル TAC モード、フレーム 1

表 7.6: 同時計数回路におけるフレームナンバーの定義

第8章 まとめ

本研究では、低価格かつ高い汎用性を持つ「拡張型モバイルPET」を実現するため、アバランシェ・フォトダイオードの読み出し用に特化した低雑音・高速・多チャンネルの信号処理LSI及びその周辺回路の開発を行った。

APD-PET用8チャンネルLSIの開発

宇宙航空研究開発機構の池田博一教授と共同でAPD-PET用に8チャンネルのアナログ信号処理LSI (TIPPET08)を開発し、詳細な性能評価を行った。その結果、1チャンネルあたり6.8 mWという低消費電力を実現しながら、APD、LYSOと組み合わせて信号の読み出しを行った場合に511 keVのガンマ線に対して9.7% (FWHM)という良好なエネルギー分解能が得られた。しかしながら時間分解能は最小で1 ns程度であり飛行時間情報を利用するTOF型PETに用いるためには性能が不足していること、また前置増幅器の帰還要素に不具合があり動作しないチャンネルが存在することが問題となった。

APD-PET用32チャンネルLSIの設計

TIPPET08の評価により明らかになった問題点について、それを克服すべくTSMCの0.35 μm CMOSプロセスに対応したOpen-IPを用いて32チャンネルのアナログ信号処理LSI (TIPPET32)の設計を行った。主な変更点としては、時間分解能を向上させるためにフィルタの次数を増やし雑音の抑制と信号の高速化を図ったこと、また確実に帰還を行えるよう漏れ電流補償回路の強化とトランスファークローク型帰還要素の導入を行った点が挙げられる。チャンネル数は将来的に小型ユニット化することを想定し32チャンネルへの拡張を行ったが、それに伴いイベントの起こったチャンネルの位置情報の読み出し時間の増加が懸念されたため情報の圧縮を行うプライオリティチェーンエンコーダが実装された。

APD-PET 用 32 チャンネル LSI の性能評価

完成した TIPPET32 について詳細な性能評価を行ったところ、帰還要素の改良により全てのチャンネルが完全に動作しており歩留まりは 100 %に向上したこと、ゲインのばらつきは ± 0.5 %以内でありチャンネル毎の特性が非常に良く揃っていることなどが分かったが、パッケージに起因する浮遊容量による影響で雑音特性及び時間特性が悪化していることが判明した。そこで LTCC 技術を用いて TIPPET32 専用の小型パッケージを製作し評価を行ったところ、シミュレーション結果に肉薄するほどの低雑音化に成功し、総合的な時間分解能は 500 ps 程度まで改善された。

拡張型 APD-PET ユニットの開発

「拡張型高速 PET」装置の実現に向けて、APD-PET ユニットの開発を行った。まず TIPPET32 を 2 個搭載し、その動作に必要な周辺回路も含んだ小型のフロントエンドカードを開発し動作確認を行った。APD アレーに関しては従来のピンタイプでは小型ユニット化に適さないことが判明したため、新たにカセット式 APD アレーの開発を行い、TIPPET32 を 2 個搭載したフロントエンドカードと組み合わせて一様な撮像性能が得られることを確認した。さらにそれらの要素を統括するための FPGA を搭載するコントロールカードを開発したことにより、ユニット化に必要な全ての要素を揃えることができた。将来的には APD-PET ユニットの PET 装置としての撮像性能評価を行う必要があるため、浜松ホトニクス社に依頼しデータ収集に用いる同時計数回路の製作を行った。

今後の予定

以上の成果により APD を用いた PET 検出器に必要な要素が全て揃い、小型かつ独立性の高い「拡張型 APD-PET ユニット」が完成した。今後の予定としては、APD-PET が空間分解能、検出感度、時間特性等について高い性能を持つことを実証するための撮像評価試験に向けて、放射線医学総合研究所、浜松ホトニクス中央研究所のご協力を得ながら準備を進めている段階である。

付録A 略語集

A.1 略語集

略語	正式名称	意味
APD	Avalanche Photo Diode	アバランシェ・フォトダイオード
ASIC	Application Specific Integrated Circuit	特定用途向け IC
CCR	Central Control Register	CHAIN2 のレジスタ群
CMOS	Complementary Metal Oxide Semiconductor	相補型金属酸化膜半導体
CT	Computed Tomography	コンピュータ断層撮影
DAQ	Data AcQuisition	データ収集
DRC	Design Rule Check	デザインルールチェック
EDA	Electronic Design Automation Tools	設計自動化ツール
ENC	Equivalent Noise Charge	等価雑音電荷
FDG	Fluorine DeoxyGlucose	フルオロデオキシグルコース
FET	Field Effect Transistor	電界効果トランジスタ
FPGA	Field Programmable Gate Array	再構成可能な LSI
HDL	Hardware Description Language	ハードウェア記述言語
IP	Intellectual Property	知的財産
LCR	Local Control Register	CHAIN1 のレジスタ群
LOR	Line of Response	反応した 2 つの検出器間の直線
LSI	Large Scale Integration circuit	大規模集積回路
LTCC	Low Temperature Co-fired Ceramics	低温焼成セラミックス
LVS	Layout Versus Schematic	レイアウト対図面検証
MOS	Metal Oxide Silicon	金属酸化膜半導体
MRI	Magnetic Resonance Imaging	核磁気共鳴画像法
PET	Positron Emission Tomography	陽電子放出断層撮影
PMT	PhotoMultiplier Tube	光電子増倍管
QFP	Quad Flat Package	クアドフラットパッケージ
RMS	Root Mean Square	二乗平均平方根
SPICE	Simulation Program with Integrated Circuit Emphasis	スパイス
TOF	Time of Flight	ガンマ線の飛行時間
TSMC	Taiwan Semiconductor Manufacturing Company	台湾積体電路製造

付録B TIPPET32の仕様

B.1 パッド対応図

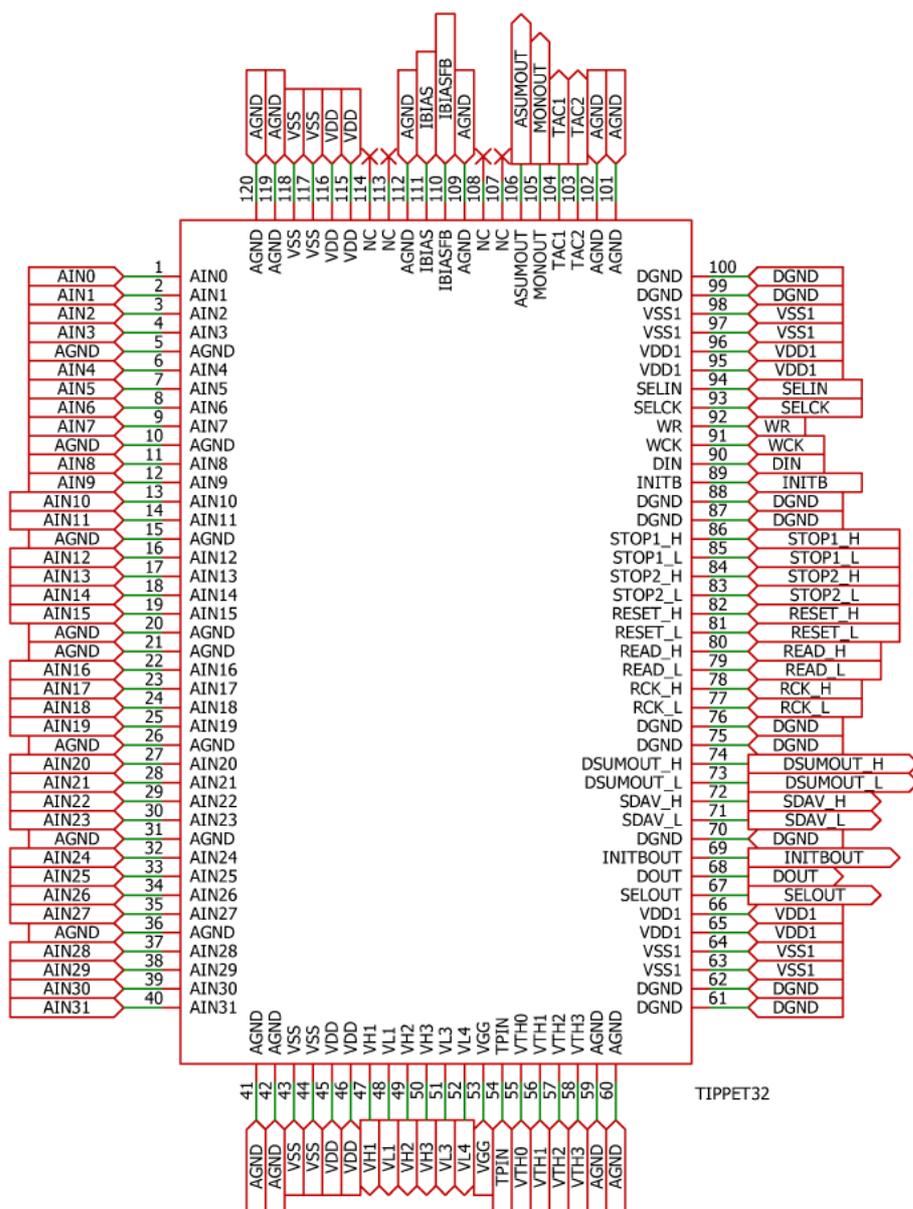


図 B.1: TIPPET32 のパッド対応図

B.2 パッド配置一覧表

パッド番号	パッド種別	信号名称	内容
1	PAD, 低容量パッド	AIN0	APD 信号入力
2	PAD, 低容量パッド	AIN1	APD 信号入力
3	PAD, 低容量パッド	AIN2	APD 信号入力
4	PAD, 低容量パッド	AIN3	APD 信号入力
5	PATH	AGND	アナロググランド (0 V)
6	PAD, 低容量パッド	AIN4	APD 信号入力
7	PAD, 低容量パッド	AIN5	APD 信号入力
8	PAD, 低容量パッド	AIN6	APD 信号入力
9	PAD, 低容量パッド	AIN7	APD 信号入力
10	PATH	AGND	アナロググランド (0 V)
11	PAD, 低容量パッド	AIN8	APD 信号入力
12	PAD, 低容量パッド	AIN9	APD 信号入力
13	PAD, 低容量パッド	AIN10	APD 信号入力
14	PAD, 低容量パッド	AIN11	APD 信号入力
15	PATH	AGND	アナロググランド (0 V)
16	PAD, 低容量パッド	AIN12	APD 信号入力
17	PAD, 低容量パッド	AIN13	APD 信号入力
18	PAD, 低容量パッド	AIN14	APD 信号入力
19	PAD, 低容量パッド	AIN15	APD 信号入力
20	PATH	AGND	アナロググランド (0 V)
21	PAD	AGND	アナロググランド (0 V)
22	PAD, 低容量パッド	AIN16	APD 信号入力
23	PAD, 低容量パッド	AIN17	APD 信号入力
24	PAD, 低容量パッド	AIN18	APD 信号入力
25	PAD, 低容量パッド	AIN19	APD 信号入力
26	PATH	AGND	アナロググランド (0 V)
27	PAD, 低容量パッド	AIN20	APD 信号入力
28	PAD, 低容量パッド	AIN21	APD 信号入力
29	PAD, 低容量パッド	AIN22	APD 信号入力
30	PAD, 低容量パッド	AIN23	APD 信号入力
31	PATH	AGND	アナロググランド (0 V)
32	PAD, 低容量パッド	AIN24	APD 信号入力
33	PAD, 低容量パッド	AIN25	APD 信号入力
34	PAD, 低容量パッド	AIN26	APD 信号入力
35	PAD, 低容量パッド	AIN27	APD 信号入力
36	PAD	AGND	アナロググランド (0 V)
37	PAD, 低容量パッド	AIN28	APD 信号入力
38	PAD, 低容量パッド	AIN29	APD 信号入力
39	PAD, 低容量パッド	AIN30	APD 信号入力

40	PAD, 低容量パッド	AIN31	APD 信号入力
41	PATH	AGND	アナロググランド (0 V)
42	PAD	AGND	アナロググランド (0 V)
43	PVSS	VSS	アナログ電源 (-1.65 V)
44	PAD	VSS	アナログ電源 (-1.65 V)
45	PVDD	VDD	アナログ電源 (+1.65 V)
46	PAD	VDD	アナログ電源 (+1.65 V)
47	PATH	VH1	基準電圧モニター
48	PATH	VL1	基準電圧モニター
49	PATH	VH2	基準電圧モニター
50	PATH	VH3	基準電圧モニター
51	PATH	VL3	基準電圧モニター
52	PATH	VL4	基準電圧モニター
53	PATH	VGG	減衰時間調整電圧
54	PATH	TPIN	テストパルス入力
55	PATH	VTH0	スレッシュホールド電圧
56	PATH	VTH1	スレッシュホールド電圧
57	PATH	VTH2	スレッシュホールド電圧
58	PATH	VTH3	スレッシュホールド電圧
59	PATH	AGND	アナロググランド (0 V)
60	PAD	AGND	アナロググランド (0 V)
61	PDTH	DGND	デジタルグランド (0 V)
62	PAD	DGND	デジタルグランド (0 V)
63	PVSS1	VSS1	デジタル電源 (-1.65 V)
64	PAD	VSS1	デジタル電源 (-1.65 V)
65	PVDD1	VDD1	デジタル電源 (+1.65 V)
66	PAD	VDD1	デジタル電源 (+1.65 V)
67	PDTH	SELOUT	LVC MOS 出力
68	PDTH	DOUT	LVC MOS 出力
69	PDTH	INITBOUT	LVC MOS 出力
70	PAD	DGND	デジタルグランド (0 V)
71	PDTH	SDAV_L	LVDS 出力
72	PDTH	SDAV_H	LVDS 出力
73	PDTH	DSUMOUT_L	LVDS 出力
74	PDTH	DSUMOUT_H	LVDS 出力
75	PDTH	DGND	デジタルグランド (0 V)
76	PAD	DGND	デジタルグランド (0 V)
77	PDTHR	RCK_L	LVDS 入力
78	PDTHR	RCK_H	LVDS 入力
79	PDTHR	READ_L	LVDS 入力
80	PDTHR	READ_H	LVDS 入力
81	PDTHR	RESET_L	LVDS 入力

82	PDTHR	RESET_H	LVDS 入力
83	PDTHR	STOP2_L	LVDS 入力
84	PDTHR	STOP2_H	LVDS 入力
85	PDTHR	STOP1_L	LVDS 入力
86	PDTHR	STOP1_H	LVDS 入力
87	PDTH	DGND	デジタルグランド (0 V)
88	PAD	DGND	デジタルグランド (0 V)
89	PDTHR	INITB	LVC MOS 入力
90	PDTHR	DIN	LVC MOS 入力
91	PDTHR	WCK	LVC MOS 入力
92	PDTHR	WR	LVC MOS 入力
93	PDTHR	SELCK	LVC MOS 入力
94	PDTHR	SELIN	LVC MOS 入力
95	PVDD1	VDD1	デジタル電源 (+1.65 V)
96	PAD	VDD1	デジタル電源 (+1.65 V)
97	PVSS1	VSS1	デジタル電源 (-1.65 V)
98	PAD	VSS1	デジタル電源 (-1.65 V)
99	PDTH	DGND	デジタルグランド (0 V)
100	PAD	DGND	デジタルグランド (0 V)
101	PATH	AGND	アナロググランド (0 V)
102	PAD	AGND	アナロググランド (0 V)
103	PATH	TAC2	アナログ出力
104	PATH	TAC1	アナログ出力
105	PATH	MONOUT	アナログ出力
106	PATH	ASUMOUT	アナログ出力
107	PAD	NC	
108	PAD	NC	
109	PAD	AGND	アナロググランド (0 V)
110	PATH	IBIASFB	基準電流入力
111	PATH	IBIAS	基準電流入力
112	PAD	AGND	アナロググランド (0 V)
113	PAD	NC	
114	PAD	NC	
115	PVDD	VDD	アナログ電源 (+1.65 V)
116	PAD	VDD	アナログ電源 (+1.65 V)
117	PVSS	VSS	アナログ電源 (-1.65 V)
118	PAD	VSS	アナログ電源 (-1.65 V)
119	PATH	AGND	アナロググランド (0 V)
120	PAD	AGND	アナロググランド (0 V)

表 B.1: TIPPET32 のパッド配置一覧表

B.3 チップレイアウト図

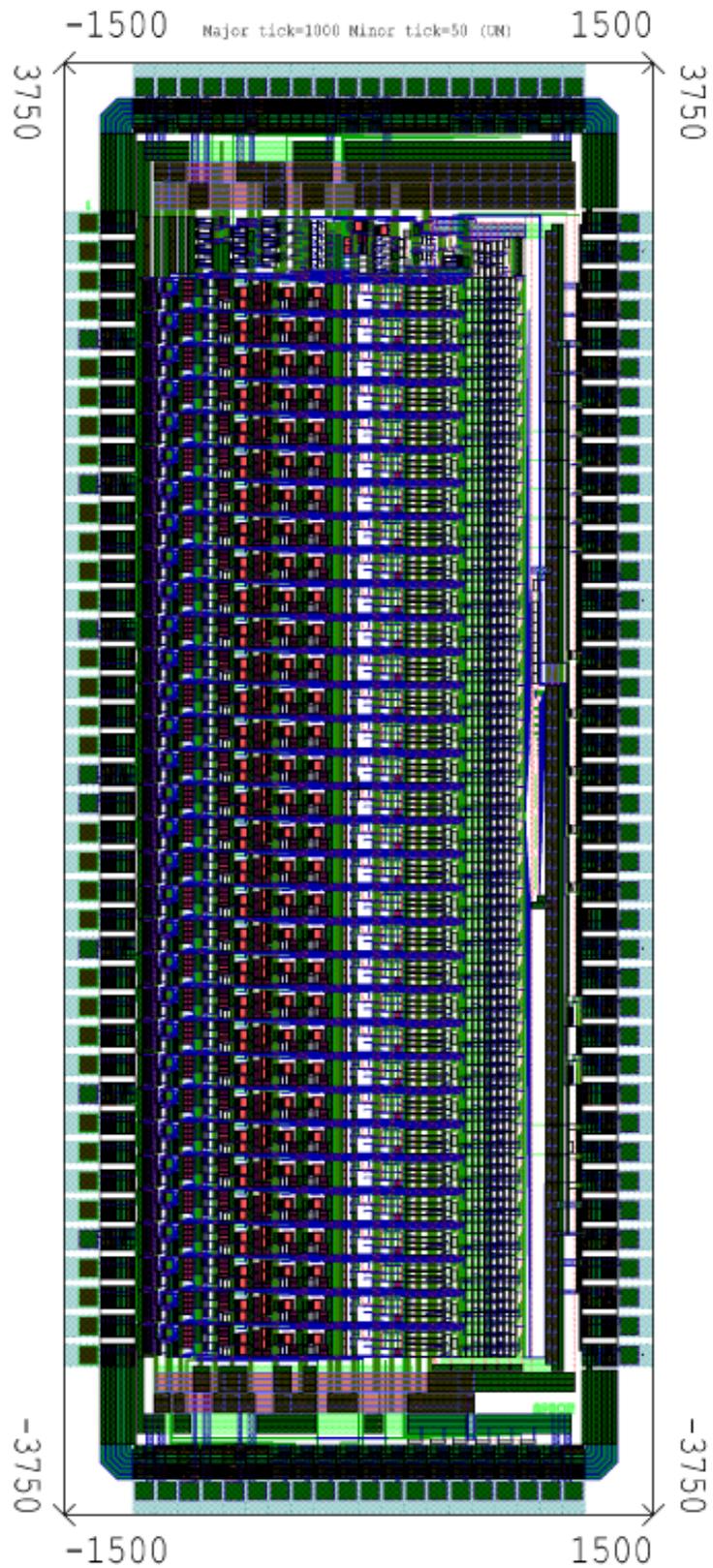


図 B.2: TIPPET32 のチップレイアウト図。チップサイズは 2.85 mm × 7.35 mm である。

B.4 LTCCパッケージの内部配線図

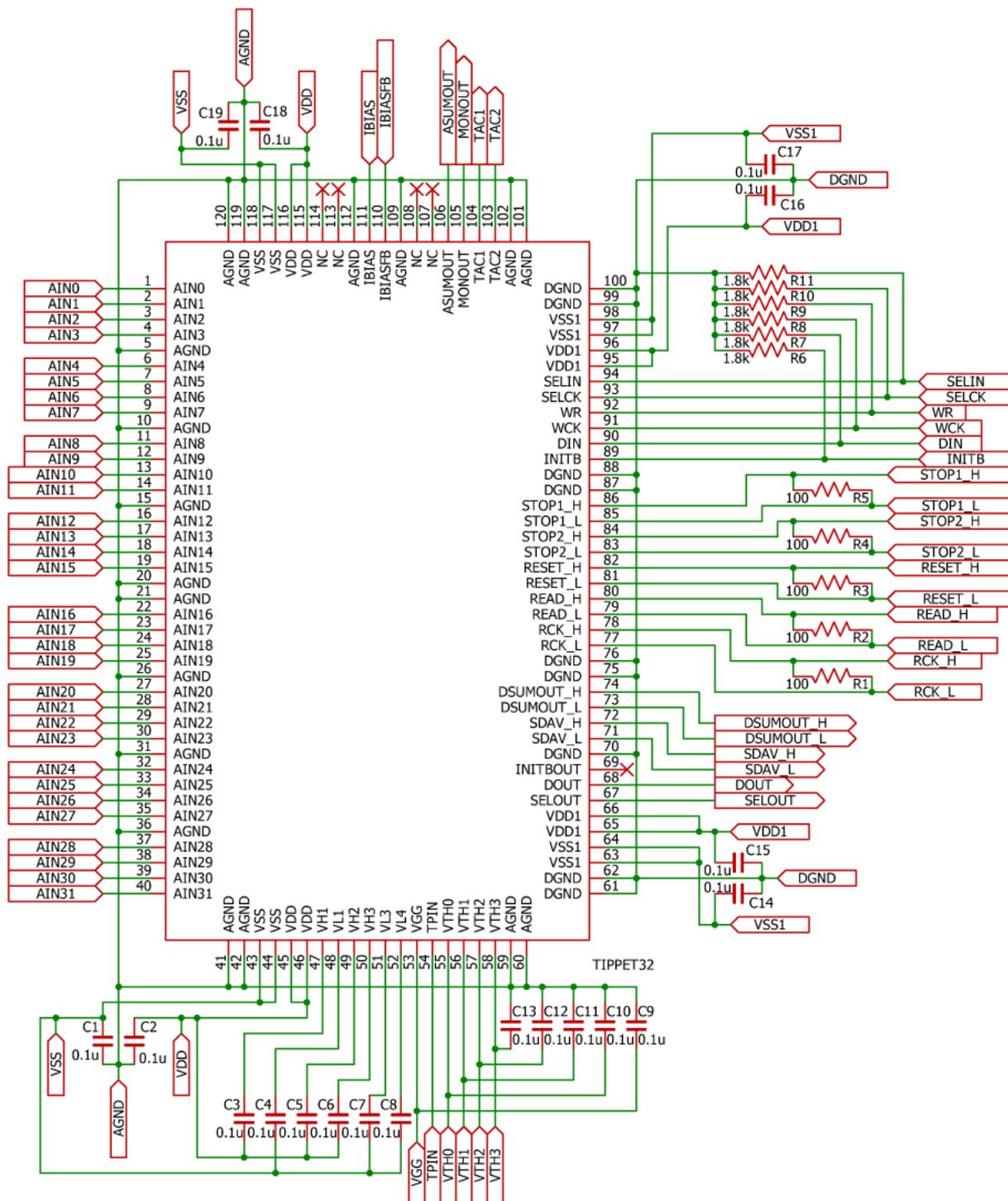


図 B.3: LTCCパッケージの内部配線図。19個のバイパスコンデンサと6個のLVDS受端抵抗、及び6個のプルダウ抵抗が内蔵されている。

B.5 LTCCパッケージのピン対応図

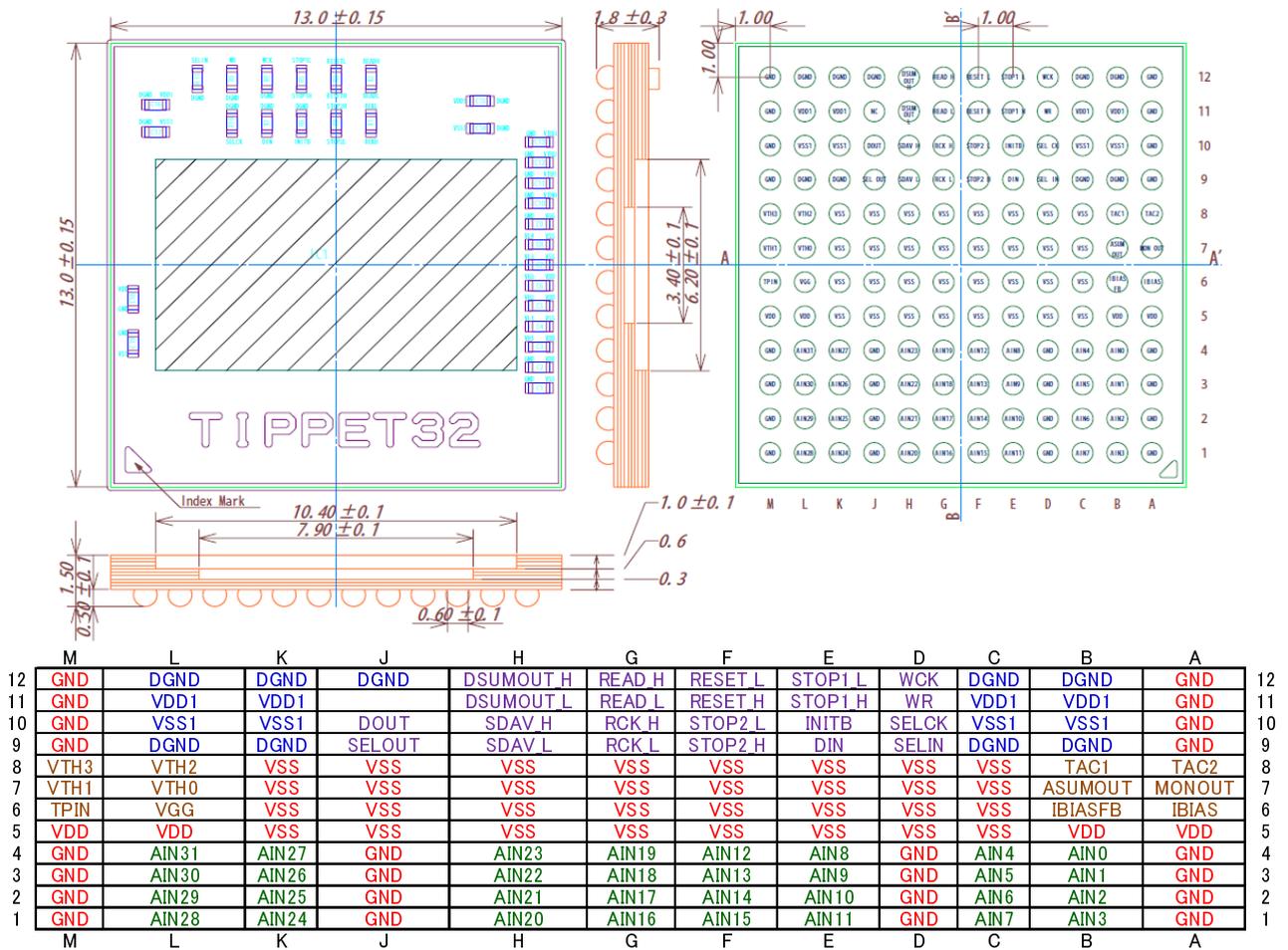


図 B.4: LTCCパッケージのピン対応図 (Bottom View)

B.6 LTCCパッケージのピン配置一覧表

BGA ピン番号	信号名称	内容
A1	AGND	アナロググランド (0V)
A2	AGND	アナロググランド (0V)
A3	AGND	アナロググランド (0V)
A4	AGND	アナロググランド (0V)
A5	VDD	アナログ用電源 (+ 1.65V)
A6	IBIAS	基準電流入力
A7	MONOUT	アナログ出力
A8	TAC2	アナログ出力
A9	AGND	アナロググランド (0V)
A10	AGND	アナロググランド (0V)
A11	AGND	アナロググランド (0V)
A12	AGND	アナロググランド (0V)
B1	AIN3	APD 信号入力
B2	AIN2	APD 信号入力
B3	AIN1	APD 信号入力
B4	AIN0	APD 信号入力
B5	VDD	アナログ用電源 (+ 1.65V)
B6	IBIASFB	基準電流入力
B7	ASUMOUT	アナログ出力
B8	TAC1	アナログ出力
B9	DGND	デジタルグランド (0V)
B10	VSS1	デジタル用電源 (- 1.65V)
B11	VDD1	デジタル用電源 (+ 1.65V)
B12	DGND	デジタルグランド (0V)
C1	AIN7	APD 信号入力
C2	AIN6	APD 信号入力
C3	AIN5	APD 信号入力
C4	AIN4	APD 信号入力
C5	VSS	アナログ用電源 (- 1.65V)
C6	VSS	アナログ用電源 (- 1.65V)
C7	VSS	アナログ用電源 (- 1.65V)
C8	VSS	アナログ用電源 (- 1.65V)
C9	DGND	デジタルグランド (0V)
C10	VSS1	デジタル用電源 (- 1.65V)
C11	VDD1	デジタル用電源 (+ 1.65V)
C12	DGND	デジタルグランド (0V)
D1	AGND	アナロググランド (0V)
D2	AGND	アナロググランド (0V)
D3	AGND	アナロググランド (0V)

D4	AGND	アナロググランド (0V)
D5	VSS	アナログ用電源 (- 1.65V)
D6	VSS	アナログ用電源 (- 1.65V)
D7	VSS	アナログ用電源 (- 1.65V)
D8	VSS	アナログ用電源 (- 1.65V)
D9	SELIN	LVC MOS 入力
D10	SELCK	LVC MOS 入力
D11	WR	LVC MOS 入力
D12	WCK	LVC MOS 入力
E1	AIN11	APD 信号入力
E2	AIN10	APD 信号入力
E3	AIN9	APD 信号入力
E4	AIN8	APD 信号入力
E5	VSS	アナログ用電源 (- 1.65V)
E6	VSS	アナログ用電源 (- 1.65V)
E7	VSS	アナログ用電源 (- 1.65V)
E8	VSS	アナログ用電源 (- 1.65V)
E9	DIN	LVC MOS 入力
E10	INITB	LVC MOS 入力
E11	STOP1.H	LVDS 入力
E12	STOP1.L	LVDS 入力
F1	AIN15	APD 信号入力
F2	AIN14	APD 信号入力
F3	AIN13	APD 信号入力
F4	AIN12	APD 信号入力
F5	VSS	アナログ用電源 (- 1.65V)
F6	VSS	アナログ用電源 (- 1.65V)
F7	VSS	アナログ用電源 (- 1.65V)
F8	VSS	アナログ用電源 (- 1.65V)
F9	STOP2.H	LVDS 入力
F10	STOP2.L	LVDS 入力
F11	RESET.H	LVDS 入力
F12	RESET.L	LVDS 入力
G1	AIN16	APD 信号入力
G2	AIN17	APD 信号入力
G3	AIN18	APD 信号入力
G4	AIN19	APD 信号入力
G5	VSS	アナログ用電源 (- 1.65V)
G6	VSS	アナログ用電源 (- 1.65V)
G7	VSS	アナログ用電源 (- 1.65V)
G8	VSS	アナログ用電源 (- 1.65V)
G9	RCK.L	LVDS 入力

G10	RCK_H	LVDS 入力
G11	READ_L	LVDS 入力
G12	READ_H	LVDS 入力
H1	AIN20	APD 信号入力
H2	AIN21	APD 信号入力
H3	AIN22	APD 信号入力
H4	AIN23	APD 信号入力
H5	VSS	アナログ用電源 (- 1.65V)
H6	VSS	アナログ用電源 (- 1.65V)
H7	VSS	アナログ用電源 (- 1.65V)
H8	VSS	アナログ用電源 (- 1.65V)
H9	SDAV_L	LVDS 出力
H10	SDAV_H	LVDS 出力
H11	DSUMOUT_L	LVDS 出力
H12	DSUMOUT_H	LVDS 出力
J1	AGND	アナロググランド (0V)
J2	AGND	アナロググランド (0V)
J3	AGND	アナロググランド (0V)
J4	AGND	アナロググランド (0V)
J5	VSS	アナログ用電源 (- 1.65V)
J6	VSS	アナログ用電源 (- 1.65V)
J7	VSS	アナログ用電源 (- 1.65V)
J8	VSS	アナログ用電源 (- 1.65V)
J9	SELOUT	LVC MOS 出力
J10	DOUT	LVC MOS 出力
J11	NC	
J12	DGND	デジタルグランド (0V)
K1	AIN24	APD 信号入力
K2	AIN25	APD 信号入力
K3	AIN26	APD 信号入力
K4	AIN27	APD 信号入力
K5	VSS	アナログ用電源 (- 1.65V)
K6	VSS	アナログ用電源 (- 1.65V)
K7	VSS	アナログ用電源 (- 1.65V)
K8	VSS	アナログ用電源 (- 1.65V)
K9	DGND	デジタルグランド (0V)
K10	VSS1	デジタル用電源 (- 1.65V)
K11	VDD1	デジタル用電源 (+ 1.65V)
K12	DGND	デジタルグランド (0V)
L1	AIN28	APD 信号入力
L2	AIN29	APD 信号入力
L3	AIN30	APD 信号入力

L4	AIN31	APD 信号入力
L5	VDD	アナログ用電源 (+ 1.65V)
L6	VGG	減衰時間調整電圧
L7	VTH0	スレッシュホールド電圧
L8	VTH2	スレッシュホールド電圧
L9	DGND	デジタルグランド (0V)
L10	VSS1	デジタル用電源 (- 1.65V)
L11	VDD1	デジタル用電源 (+ 1.65V)
L12	DGND	デジタルグランド (0V)
M1	AGND	アナロググランド (0V)
M2	AGND	アナロググランド (0V)
M3	AGND	アナロググランド (0V)
M4	AGND	アナロググランド (0V)
M5	VDD	アナログ用電源 (+ 1.65V)
M6	TPIN	テストパルス入力
M7	VTH1	スレッシュホールド電圧
M8	VTH3	スレッシュホールド電圧
M9	AGND	アナロググランド (0V)
M10	AGND	アナロググランド (0V)
M11	AGND	アナロググランド (0V)
M12	AGND	アナロググランド (0V)

表 B.2: LTCC パッケージのピン配置一覧表

付録C 周辺回路の仕様

C.1 コントロールカードのピン配置一覧表

ピン番号	ラベル	信号名称	IO仕様	内容
A3	IOA0	DACSDO_CD	IO/DIFFIO_T3n/DATA10/B8	DAC制御
B3	IOA1	DACSYNCB_CD	IO/DIFFIO_T3p/DATA11/B8	DAC制御
A4	IOA2	DOUT_C	IO/DIFFIO_T5n/B8	TIPPET32制御
B4	IOA3	INITB_CD	IO/DIFFIO_T5p/DATA8/B8	TIPPET32制御
A6	IOA4	SELIN_D	IO/DIFFIO_T10n/PADD19/B8	TIPPET32制御
B6	IOA5	SELIN_C	IO/DIFFIO_T10p/DATA15/B8	TIPPET32制御
A7	IOA6	DACSDO_AB	IO/DIFFIO_T11n/PADD18/B8	DAC制御
B7	IOA7	DACSYNCB_AB	IO/DIFFIO_T11p/DATA4/B8	DAC制御
A8	IOA8	DOUT_A	IO/DIFFIO_T12n/DATA2/B8	TIPPET32制御
B8	IOA9	INITB_AB	IO/DIFFIO_T12p/DATA3/B8	TIPPET32制御
A9	IOA10	SELIN_B	IO/DIFFIO_T13n/PADD16/B8	TIPPET32制御
B9	IOA11	SELIN_A	IO/DIFFIO_T13p/PADD17/B8	TIPPET32制御
B10	IOA12	DGND	IO/DIFFIO_T14p/PADD15/B8	デジタルグランド
A10	IOA13	DGND	IO/DIFFIO_T14n/B8	デジタルグランド
A13	IOA14	GPIO30	IO/DIFFIO_T17n/PADD11/B7	汎用IO
B13	IOA15	GPIO29	IO/DIFFIO_T17p/PADD12/B7	汎用IO
A14	IOA16	GPIO28	IO/DIFFIO_T18n/PADD9/B7	汎用IO
B14	IOA17	GPIO27	IO/DIFFIO_T18p/PADD10/B7	汎用IO
A15	IOA18	GPIO26	IO/DIFFIO_T20n/PADD5/B7	汎用IO
B15	IOA19	GPIO25	IO/DIFFIO_T20p/PADD6/B7	汎用IO
A16	IOA20	GPIO24	IO/DIFFIO_T24n/B7	汎用IO
B16	IOA21	GPIO23	IO/DIFFIO_T24p/B7	汎用IO
A17	IOA22	GPIO22	IO/DIFFIO_T25n/PADD1/B7	汎用IO
B17	IOA23	GPIO21	IO/DIFFIO_T25p/PADD2/B7	汎用IO
A18	IOA24	DGND	IO/DIFFIO_T27n/B7	デジタルグランド
B18	IOA25	DGND	IO/DIFFIO_T27p/PADD0/B7	デジタルグランド
B21	IOA26	MAJCLKOUT_H	IO/DIFFIO_R3p/PADD21/B6	メジャークロック出力
B22	IOA27	MAJCLKOUT_L	IO/DIFFIO_R3n/PADD22/B6	メジャークロック出力
C21	IOA28	MINCLKOUT_H	IO/DIFFIO_R4p/B6	マイナークロック出力
C22	IOA29	MINCLKOUT_L	IO/DIFFIO_R4n/B6	マイナークロック出力
D21	IOA30	TIMEOUT_H	IO/DIFFIO_R7p/B6	時間情報出力

D22	IOA31	TIMEOUT_L	IO/DIFFFIO_R7n/B6	時間情報出力
C1	IOA32	MINCLK_TAC	IO/DIFFFIO_L3n/B1	ADC 制御
C2	IOA33	MAJCLKB_TAC	IO/DIFFFIO_L3p/B1	ADC 制御
B1	IOA34	LOAD_TAC	IO/DIFFFIO_L1n/B1	ADC 制御
B2	IOA35	SDAVIN_A	IO/DIFFFIO_L1p/B1	位置情報入力
C3	IOA36	DSUMIN_A	IO/DIFFFIO_T2n/B8	位置情報入力
C4	IOA37	SDAVIN_B	IO/DIFFFIO_T2p/DATA12/B8	位置情報入力
F7	IOA38	DSUMIN_B	IO/DIFFFIO_T1n/B8	位置情報入力
G7	IOA39	SDAVIN_C	IO/DIFFFIO_T1p/B8	位置情報入力
C7	IOA40	DSUMIN_C	IO/DIFFFIO_T9p/DATA13/B8	位置情報入力
C8	IOA41	SDAVIN_D	IO/DIFFFIO_T9n/DATA14/B8	位置情報入力
F8	IOA42	DSUMIN_D	IO/DIFFFIO_T4n/DATA9/B8	位置情報入力
G8	IOA43	TAC2_A	IO/DIFFFIO_T4p/B8	時間情報入力
F9	IOA44	TAC1_A	IO/DIFFFIO_T6n/B8	時間情報入力
F10	IOA45	TAC2_B	IO/DIFFFIO_T6p/DATA6/B8	時間情報入力
F11	IOA46	TAC1_B	IO/DIFFFIO_T16p/PADD14/B7	時間情報入力
E11	IOA47	TAC2_C	IO/DIFFFIO_T16n/PADD13/B7	時間情報入力
C13	IOA48	TAC1_C	IO/DIFFFIO_T19n/PADD7/B7	時間情報入力
D13	IOA49	TAC2_D	IO/DIFFFIO_T19p/PADD8/B7	時間情報入力
D15	IOA50	TAC1_D	IO/DIFFFIO_T26n/B7	時間情報入力
E15	IOA51	RESET	IO/DIFFFIO_T26p/B7	TIPPET32 制御
E16	IOA52	READ	IO/DIFFFIO_T32p/B7	TIPPET32 制御
F16	IOA53	RCK	IO/DIFFFIO_T32n/B7	TIPPET32 制御
D19	IOA54	DGND	IO/DIFFFIO_T29p/B7	デジタルグランド
C19	IOA55	DGND	IO/DIFFFIO_T29n/B7	デジタルグランド
F19	IOA56	DGND	IO/DIFFFIO_R6p/B6	デジタルグランド
F20	IOA57	DGND	IO/DIFFFIO_R6n/nAVD/B6	デジタルグランド
C20	IOA58	DGND	IO/DIFFFIO_R2n/PADD20/B6	デジタルグランド
D20	IOA59	DGND	IO/DIFFFIO_R2p/B6	デジタルグランド
F21	IOA60	DGND	IO/DIFFFIO_R11p/B6	デジタルグランド
F22	IOA61	DGND	IO/DIFFFIO_R11n/B6	デジタルグランド
H21	IOA62	ADDOUT_H	IO/DIFFFIO_R13p/B6	位置情報出力
H22	IOA63	ADDOUT_L	IO/DIFFFIO_R13n/B6	位置情報出力
Y1	IOB0	DGND	IO/DIFFFIO_L25n/B2	デジタルグランド
Y2	IOB1	DGND	IO/DIFFFIO_L25p/B2	デジタルグランド
W1	IOB2	DGND	IO/DIFFFIO_L24n/B2	デジタルグランド
W2	IOB3	DGND	IO/DIFFFIO_L24p/B2	デジタルグランド
V5	IOB4	DSUMIN_H	IO/DIFFFIO_B3n/B3	位置情報入力
V6	IOB5	SDAVIN_H	IO/DIFFFIO_B3p/B3	位置情報入力
W6	IOB6	DSUMIN_G	IO/DIFFFIO_B7p/B3	位置情報入力
V7	IOB7	SDAVIN_G	IO/DIFFFIO_B7n/B3	位置情報入力
Y7	IOB8	DSUMIN_F	IO/DIFFFIO_B10n/B3	位置情報入力

W7	IOB9	SDAVIN_F	IO/DIFFIO_B10p/B3	位置情報入力
V8	IOB10	DSUMIN_E	IO/DIFFIO_B11n/B3	位置情報入力
U9	IOB11	SDAVIN_E	IO/DIFFIO_B11p/B3	位置情報入力
W10	IOB12	TAC1_H	IO/DIFFIO_B17n/B3	時間情報入力
V11	IOB13	TAC2_H	IO/DIFFIO_B17p/B3	時間情報入力
W13	IOB14	TAC1_G	IO/DIFFIO_B21p/B4	時間情報入力
Y13	IOB15	TAC2_G	IO/DIFFIO_B21n/B4	時間情報入力
U13	IOB16	TAC1_F	IO/DIFFIO_B26p/B4	時間情報入力
V14	IOB17	TAC2_F	IO/DIFFIO_B26n/B4	時間情報入力
W15	IOB18	TAC1_E	IO/DIFFIO_B27n/B4	時間情報入力
V15	IOB19	TAC2_E	IO/DIFFIO_B27p/B4	時間情報入力
W17	IOB20	STOP1	IO/DIFFIO_B29p/B4	TIPPET32 制御
Y17	IOB21	STOP2	IO/DIFFIO_B29n/B4	TIPPET32 制御
W19	IOB22	GPIO10	IO/DIFFIO_R34p/B5	汎用 IO
W20	IOB23	GPIO9	IO/DIFFIO_R34n/B5	汎用 IO
W21	IOB24	GPIO8	IO/DIFFIO_R31p/B5	汎用 IO
W22	IOB25	GPIO7	IO/DIFFIO_R31n/B5	汎用 IO
AA22	IOB26	GPIO6	IO/DIFFIO_R35n/B5	汎用 IO
AA21	IOB27	GPIO5	IO/DIFFIO_R35p/B5	汎用 IO
Y21	IOB28	GPIO4	IO/DIFFIO_R33p/B5	汎用 IO
Y22	IOB29	GPIO3	IO/DIFFIO_R33n/B5	汎用 IO
V16	IOB30	GPIO2	IO/VREFB4N0/B4	汎用 IO
W14	IOB31	GPIO1	IO/VREFB4N1/B4	汎用 IO
AA1	IOB32	DGND	IO/DIFFIO_L27n/B2	デジタルグランド
AA2	IOB33	DGND	IO/DIFFIO_L27p/B2	デジタルグランド
AB4	IOB34	DACSDO_EF	IO/DIFFIO_B8n/B3	DAC 制御
AA4	IOB35	DACSDO_GH	IO/DIFFIO_B8p/B3	DAC 制御
AB5	IOB36	DACS DI	IO/DIFFIO_B9n/B3	DAC 制御
AA5	IOB37	DACSCLK	IO/DIFFIO_B9p/B3	DAC 制御
AB7	IOB38	DACSYN CB_EF	IO/DIFFIO_B12n/B3	DAC 制御
AA7	IOB39	DACSYN CB_GH	IO/DIFFIO_B12p/B3	DAC 制御
AB8	IOB40	DACRESE TB	IO/DIFFIO_B15n/B3	DAC 制御
AA8	IOB41	DACCLRB	IO/DIFFIO_B15p/B3	DAC 制御
AB9	IOB42	INITB_EF	IO/DIFFIO_B16n/B3	TIPPET32 制御
AA9	IOB43	INITB_GH	IO/DIFFIO_B16p/B3	TIPPET32 制御
AB13	IOB44	DOUT_E	IO/DIFFIO_B19n/B4	TIPPET32 制御
AA13	IOB45	DOUT_G	IO/DIFFIO_B19p/B4	TIPPET32 制御
AB14	IOB46	SELIN_E	IO/DIFFIO_B20n/B4	TIPPET32 制御
AA14	IOB47	SELIN_F	IO/DIFFIO_B20p/B4	TIPPET32 制御
T10	IOB48	SELIN_G	IO/DIFFIO_B14p/B3	TIPPET32 制御
U10	IOB49	SELIN_H	IO/DIFFIO_B14n/B3	TIPPET32 制御
R14	IOB50	DIN	IO/DIFFIO_B32p/B4	TIPPET32 制御

R15	IOB51	WCK	IO/DIFFIO_B32n/B4	TIPPET32 制御
T14	IOB52	WR	IO/DIFFIO_B28p/B4	TIPPET32 制御
T15	IOB53	SELCK	IO/DIFFIO_B28n/B4	TIPPET32 制御
AA15	IOB54	GPIO20	IO/DIFFIO_B22p/B4	汎用 IO
AB15	IOB55	GPIO19	IO/DIFFIO_B22n/B4	汎用 IO
AA16	IOB56	GPIO18	IO/DIFFIO_B24p/B4	汎用 IO
AB16	IOB57	GPIO17	IO/DIFFIO_B24n/B4	汎用 IO
AA17	IOB58	GPIO16	IO/DIFFIO_B25p/B4	汎用 IO
AB17	IOB59	GPIO15	IO/DIFFIO_B25n/B4	汎用 IO
AA20	IOB60	GPIO14	IO/DIFFIO_B30p/B4	汎用 IO
AB20	IOB61	GPIO13	IO/DIFFIO_B30n/B4	汎用 IO
V9	IOB62	GPIO12	IO/VREFB3N0/B3	汎用 IO
Y4	IOB63	GPIO11	IO/VREFB3N1/B3	汎用 IO
B12	CLK0	MINCLKIN	CLK0/DIFFCLK_5p/B7	マイナークロック入力
A12	CLK1	MAJCLKIN	CLK1/DIFCLK_5n/B7	メジャークロック入力
G16	LED2	ULED0	IO/DIFFIO_T31p/B7	汎用 LED
G15	SW1	PSW0	IO/DIFFIO_T30n/B7	汎用スイッチ

表 C.1: コントロールカードのピン配置一覧表

参考文献

- [1] 厚生労働省大臣官房統計情報部 「人口動態統計」 平成 19 年度版
- [2] 東京西徳洲会病院 <http://www.tokyonishi-hp.or.jp/>
- [3] 斉藤孝男、修士論文 「2次元 APD array と VLSI を用いた X線・ γ 線用撮像検出器の開発」 東京工業大学 (2006)
- [4] J.Kataoka, et al. Nuclear Instruments and Methods,A, Vol.541, 398 (2005)
- [5] J.Marler, et al. Nuclear Instruments and Methods,A, Vol.449, 311 (2000)
- [6] C.Woody, et al. Nuclear Instruments and Methods,A, Vol.571, 102 (2007)
- [7] T.Kishishita, et al. Nuclear Instruments and Methods,A, Vol.580, 1363 (2007)
- [8] H.Ikeda, Nuclear Instruments and Methods,A, Vol.569, 98 (2006)
- [9] 日本エム・イー学会 編 「核医学イメージング」 コロナ社
- [10] 魚住クリニック <http://www.uozumi.or.jp/index.html>
- [11] 大西武雄 監修 「放射線医科学」 学会出版センター
- [12] 野口正安/富永洋 著 「放射線応用計測」 日刊工業新聞社
- [13] 浜松ホトニクス株式会社 技術資料
- [14] 株式会社 島津製作所 <http://www.med.shimadzu.co.jp/nmroom/kiso/kiso08.html>
- [15] 田中栄一 「PET 画像の再構成法の現状と展望」, 日放技学誌, Vol.62, No.6, 771-777 (2006)
- [16] Hye-Kyung Son, et al. IEEE Transactions on Nuclear Science, Vol.50, No.1, 37 (2003)
- [17] 株式会社 フリール <http://www.freeill.co.jp/>

- [18] 秋田大学教育文化学部 先端医療の科学
<http://science.is.akita-u.ac.jp/education/sentan/>
- [19] 画像工学・エックス線撮影技術学 第19章 MRI
<http://www.fujita-hu.ac.jp/sfujii/satuei/satuei19.html>
- [20] 江澤英史 「画像診断と死亡時医学検索」 モダンメディア 53巻8号 (2007)
- [21] W.W.Moses, S.E.Derenzo, Journal of Nuclear Medicine, Vol.34, 101 (1993)
- [22] S.E.Derenzo, W.W.Moses, et al. Quantification of Brain Function, Tracer Kinetics and Image Analysis in Brain PET, 25 (1993)
- [23] Roger Lecomte, Nuclear Instruments and Methods, A, Vol.527, 157 (2004)
- [24] 倉敷中央病院 <http://www.kchnet.or.jp/>
- [25] GE 横川メディカルシステム <http://japan.gehealthcare.com/cwcjapan/static/>
- [26] N.Kubo, S.Zhao, C.Katoh, et al. Journal of Nuclear Medicine, Vol.47, 398 (2006)
- [27] K.Ishii, et al. Nuclear Instruments and Methods, A, Vol.576, 435 (2007)
- [28] 日立製作所グループ 平成18年度次世代PET開発研究報告書
- [29] 村山秀雄 「次世代PET装置の開発-現状と今後の展開-」, 日放技学誌, Vol.62, No.6, 786-796 (2006)
- [30] N.Inadama, H.Murayama, M.Hamamoto, et al. IEEE NSS & MIC Record. J01-5 (2005)
- [31] 錦戸文彦、博士論文 「液体キセノンシンチレータを用いたタイムオブフライト型陽電子画像診断装置の開発」 早稲田大学 (2005)
- [32] 澁谷憲悟 他、「高速な γ 線検出器とTime-of-Flight PETへの応用」
RADIOISOTOPES, 55, 391-402 (2006)
- [33] 株式会社フィリップス <http://www.philips.co.jp/>
- [34] 渡辺英夫 著 「半導体工学」 コロナ社

- [35] 板谷道隆、修士論文「プリズム状光電面を持つ光電子増倍管の性能特性研究」
山形大学 (2003)
- [36] W.Van Roosbroeck, Physical Review Letters, Vol.139, A1702-A1716 (1965)
- [37] T.Ikagawa et al. Nuclear Instruments and Methods, A, Vol.515, 671-679 (2003)
- [38] T.Ikagawa et al. Nuclear Instruments and Methods, A, Vol.538, 640-650 (2005)
- [39] 米津宏雄 著「光通信素子工学」工学図書
- [40] J.P.Pansart, Nuclear Instruments and Methods, A, Vol.287, 186 (1997)
- [41] P.P.Webb, R.J.McIntyre, and J.Cornadi, RCA Review, Vol.35, 234 (1974)
- [42] Y.Yatsu, et al. Nuclear Instruments and Methods, A, Vol.564, 134-143 (2006)
- [43] Michael J. Paulus, et al. IEEE Conference Record of the 1994 Nuclear Science Symposium, Vol.4, 1864-1868 (1994)
- [44] A.Ochi, Y.Nishi, and T.Tanimori, Nuclear Instruments and Methods, A, Vol.378, 267 (1996)
- [45] S.Tanaka, et al. Nuclear Instruments and Methods, A, Vol.582, 562 (2007)
- [46] S.Kishimoto, et al. Nuclear Instruments and Methods, A, Vol.467-468, 1171 (2001)
- [47] J.Kataoka, et al. Nuclear Instruments and Methods, A, in press. (2008)
- [48] B.Pichler et al. IEEE Trans. Nucl. Sci., Vol.48, 1391-1396 (2001)
- [49] P.Vaska, et al. IEEE Trans. Nucl. Sci., Vol.51, 1318 (2004)
- [50] シーメンス株式会社 <http://w1.siemens.com/answers/jp/ja/>
- [51] C.Woody, et al. Nuclear Instruments and Methods, A, Vol.527, 166-170 (2004)
- [52] 株式会社ネオトロン <http://www.neotron.co.jp/index1.html>
- [53] 株式会社アペイス・サイエンス <http://www.apace-science.com/>
- [54] 古河機械金属株式会社 <http://www.furukawakk.co.jp/>

- [55] 日立化成工業株式会社 <http://www.hitachi-chem.co.jp/>
- [56] XCOM (Photon Cross Sections Database) Natlinal Institute of Standards and Technology <http://physics.nist.gov/PhysRefData/Xcom/Text/XCOM.html>
- [57] 田中識史、修士論文「アバランシェ・フォトダイオード・アレーを用いた次世代PETの開発」東京工業大学 (2008)
- [58] 福田承生「新規発光原理に基づく次世代シンチレータ結晶の開発」東北大学
- [59] H.Ogino, A.Yoshikawa, M.Nikl, A.Krashikov, K.Kamada, and T.Fukuda, Journal of Crystal Growth, Vol.287, 335-338 (2006)
- [60] J.Kataoka, et al. Nuclear Instruments and Methods, A, in press. (2008)
- [61] S.Kishimoto, et al. Nuclear Instruments and Methods, A, Vol.513, 193-196 (2003)
- [62] 石橋寛之、卒業論文「サブミリ分解能をもつ多画素シンチレータの性能評価」東京工業大学 (2009)
- [63] 伊藤健、修士論文「結晶シンチレータとSi半導体を用いた宇宙 γ 線位置検出器の基礎開発」東京大学 (2005)
- [64] 池田博一、「高度センサー信号処理のための Analog-VLSI Open-IP」宇宙航空研究開発機構 宇宙科学研究本部 (2004)
- [65] 池田博一、「ASICの製作」高エネルギー加速器研究機構 素粒子原子核研究所 (2003)
- [66] 小泉誠、卒業論文「アバランシェ・フォトダイオードを用いた次世代PET用LSIの開発」東京工業大学 (2007)
- [67] M.Koizumi, et al. Nuclear Instruments and Methods, A, in press. (2009)
- [68] 後田司、「電荷積分と時間-電圧変換回路搭載LSIの量産評価」長崎総合科学大学
- [69] 小川隆博、「節点解析法の基礎」株式会社エム・イー・エル (2004)
- [70] トランジスタ技術 SPECIAL 「わかる verilog HDL 入門」CQ出版社
- [71] Behzad Razavi 著、黒田忠広 監訳「アナログCMOS集積回路の設計」丸善株式会社

- [72] 谷口研二 著 「CMOS アナログ回路入門」 CQ 出版社
- [73] 有限会社電材マート <http://www.denzaimart.com>
- [74] NEC エレクトロニクス株式会社 http://www.necel.com/index_j.html
- [75] KOA 株式会社 <http://www.koanet.co.jp/>
- [76] 東京都老人総合研究所 http://www.tmig.or.jp/J_TMIG/J_index.html
- [77] 清水啓司 「信号処理-同時計数回路」 平成 14 年度次世代 PET 装置開発研究報告書 p.56

謝辞

本研究を進めるにあたって、たくさんの方々にお世話になりました。

片岡さんには大変責任ある仕事を任せていただき、感謝しております。国際学会での発表や論文投稿の機会を与えて頂いたり、仕事の進め方についても自分のペースで取り組めるよう配慮頂いたおかげで、モチベーションを高め続けることができました。APD-PET 実現のために奔走したこの2年半の経験は本当に密度の高いものであり、今後どのような道に進むとしてもベースになり得るものであると感じています。

JAXA の池田先生には LSI の開発のみならず本当に何から何までお世話になりました。常に明るい笑顔と大きな笑い声 (電車の中でも) で接して下さり、熱い職人魂と匠の技を見せて頂きました。回路データのサブミット直前のクリスマス合宿では、周囲のカップルお構いなしに教育や愛国心や国家戦略についてホットなご講義を頂いたことがとても印象に残っています。僕にとってかけがえのない人生の師匠です。また佐藤さん、岸下さんも LSI や LabVIEW について色々な事を教えて下さいました。

浜松ホトニクス山下さん、清水さん、石川さん、川端さんには出張のたびにお世話になりました。特に清水さんには同時計数回路の件で大変お世話になりました。放医研の村山先生には次世代 PET 研究会等での確なご助言と暖かい励ましのお言葉を頂きました。KEK の岸本さんには APD アレーの時間特性の評価試験の際に大変お世話になりました。

ジー・エヌ・ディーの宮沢さん、吉田さんには本当に沢山の回路を作って頂きました。回路図の書き方や寸法の指定などについて厳しくも愛のあるご指示を頂き、おかげ様で業界標準の書式を学ぶことができました。いつも品質の高い基板を製作いただき感謝しております。シリコンソーシアム株式会社の松根さん、株式会社デジアンテクノロジーの松本さん、成田さんには LSI 試作の件で大変お世話になりました。KOA 株式会社の中村さん、山本さん、木暮さんには LTCC パッケージの件で大変お世話になりました。ヒューマンデータの宇城さんにはいつも親切丁寧迅速な対応を頂き、高性能な FPGA 基板を提供して頂きました。

河合先生には研究室のゼミやミーティングで情熱的なご指導を賜りました。宇宙や物理にまつわる楽しいお話を紹介して下さい、先生のおかげで物理を心の底から好きになることができました。小永井さんはいつも眩しい笑顔で研究室の雰囲気明るく華やかなものにしてくれました。

中森さん、金井さんには、実験の進め方や論文の書き方について適切なご助言を頂き、ちょっとした疑問から始まる議論にも積極的に参加して下さいました。有元さん、下川辺さんには、よく身近な相談に乗って頂きました。ニコラスさんは、お酒を控え目にしたほうがいいと思います。特にテキーラは危険です。

4年生の石橋君、中嶋君、益田君は三者三様の個性的なキャラクター揃いで実に将来有望です。特に石橋君は一見シャイでクールに見えますが実は内に熱いソウルを秘めていることを僕は知っています。ロックと研究の両立を目指して今後とも頑張ってください。

同期の戸泉君、森さん、工藤君、栗田君とは苦しい中でもお互い励まし合い、切磋琢磨することができました。楽しい仲間と囲まれて実りある3年間を過ごすことができ本当に良かったです。重力10倍という噂の河合研での経験を生かして社会に出てますますの活躍を期待しています。

最後に、25年間支え続けてくれた両親に深く感謝したいと思います。子供の頃の誕生日におねだりをして買ってもらった「ふしぎ!なぜ?大図鑑」や、夏休みに富士山に連れて行ってもらい望遠鏡のレンズ越しに土星の輪を初めて目にした時の感動が、今の道に進むきっかけになったような気がします。

本論文を執筆するにあたり以下に挙げる素晴らしいフリーソフトのお世話になりました。

- 回路図エディタ「BSch3V」 <http://www.suigyodo.com/>
- verilog シミュレータ「veritak-Lite」 <http://japanese.sugawara-systems.com/>
- タイミングチャート清書ツール「tchart」 <http://www.mech.tohoku-gakuin.ac.jp/rde/contents/library/tchart/indexframe.html>

この場を借りて深く感謝致します。